

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191846

(P2017-191846A)

(43) 公開日 平成29年10月19日(2017.10.19)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 21/60 (2006.01) H O 1 L 21/60 3 2 1 E
H O 1 L 23/48 (2006.01) H O 1 L 23/48 S

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2016-80081 (P2016-80081)
 (22) 出願日 平成28年4月13日 (2016.4.13)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 太田 成人
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 曾田 真之介
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 横山 吉典
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

(54) 【発明の名称】 半導体装置

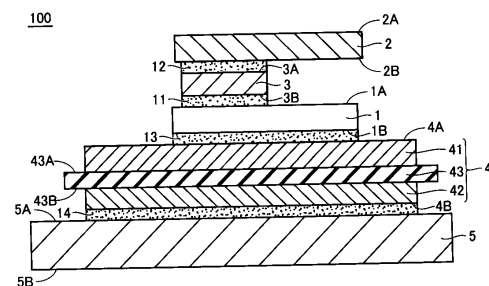
(57) 【要約】

【課題】温度サイクル下において半導体素子と外部電極との間をダイレクトリードボンディング方式により接合している接合部での異常発生が十分に抑制されている半導体装置を提供する。

【解決手段】第1主面1A(第1面)を有する半導体素子1と、第1面に面する第4主面2B(第2面)を有する外部電極2と、半導体素子1の第1面と外部電極2の第2面との間に配置されており、第1面に面する第6主面3B(第3面)と、第3面の反対側に位置し、かつ第2面に面する第5主面3A(第4面)とを有する緩衝部材3と、第1面と第3面とを接合している第1接合部材11と、第2面と第4面とを接合している第2接合部材12とを備える。緩衝部材3の熱膨張率は半導体素子1の熱膨張率と外部電極2の熱膨張率との間の値である。緩衝部材3の第3面および第4面の各面積は半導体素子1の第1面の面積の半分未満である。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

第 1 面を有する半導体素子と、
前記第 1 面に面する第 2 面を有する外部電極と、
前記半導体素子の前記第 1 面と前記外部電極の前記第 2 面との間に配置されており、前記第 1 面に面する第 3 面と、前記第 3 面の反対側に位置し、かつ前記第 2 面に面する第 4 面とを有する緩衝部材と、
前記第 1 面と前記第 3 面とを接合している第 1 接合部材と、
前記第 2 面と前記第 4 面とを接合している第 2 接合部材とを備え、
前記緩衝部材の熱膨張率は、前記半導体素子の熱膨張率と前記外部電極の熱膨張率との間の値であり、
前記緩衝部材の前記第 3 面および前記第 4 面の各面積は、前記半導体素子の前記第 1 面の面積の半分未満である、半導体装置。

【請求項 2】

前記第 3 面および前記第 4 面の各面積は、前記半導体素子の前記第 1 面の面積の 4 % 以上 45 % 以下である、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 3 面および前記第 4 面の平面形状は、4 辺と前記 4 辺の間を繋ぐ角部とからなる矩形形状であって、前記角部が丸みを帯びており、
前記角部の曲率半径の下限は 0.5 mm であり、
前記角部の前記曲率半径の上限は前記角部で接続されている 2 辺のうちの短辺の長さの半分である、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記第 3 面および前記第 4 面の平面形状は、円形状または楕円形状である、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 5】

前記半導体素子の熱膨張率は、前記外部電極の熱膨張率よりも小さく、
前記緩衝部材は、前記第 3 面を有する第 1 緩衝部と、前記第 3 面に垂直な方向において前記第 1 緩衝部上に形成されておりかつ前記第 4 面を有する第 2 緩衝部とを含み、
前記第 1 緩衝部の熱膨張率は、前記第 2 緩衝部の熱膨張率よりも小さい、請求項 1 ~ 請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記緩衝部材の熱膨張率は、前記半導体素子の熱膨張率と前記外部電極の熱膨張率との平均値の -30 % 以上 +20 % 以下の数値範囲に入る、請求項 1 ~ 請求項 5 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置に関し、特に半導体素子と外部電極とがダイレクトリードボンディング方式により接合されている半導体装置に関する。

【背景技術】**【0002】**

一般的に半導体装置は、半導体素子の表面電極部が外部電極（外部端子）を介して半導体装置の外部と電気的に接続可能に設けられている。従来、半導体素子の表面電極部と外部電極（外部端子）との接続方式として、例えばワイヤボンディング方式およびダイレクトリードボンディング方式が知られている。

【0003】

ダイレクトリードボンディング方式では、半導体素子の表面電極部と外部電極としてのリードフレームとがはんだなどの接合材を介して直接接合される。一般的に、ダイレクトリードボンディング方式では、半導体素子と熱膨張率の差が大きい材料で構成されている

リードフレームが使用される。半導体装置が温度サイクルに曝されたとき等に、半導体素子とリードフレームとの熱膨張率の差に起因して生じる応力は、これらの間を接合する接合材または表面電極部にクラックを生じさせたり、接合材と半導体素子またはリードフレームとの間の剥離を生じさせる。

【 0 0 0 4 】

特開 2 0 0 5 - 1 9 6 9 4 号公報には、ダイレクトリードボンディング方式により接合された S i チップの電極部と端子部との接合部において、温度サイクルによる破損発生を抑制するため、電極部と端子部との間に応力緩衝部が挿入されたパワーモジュールが開示されている。

【 先行技術文献 】

10

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 5 - 1 9 6 9 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

しかしながら、例えばワイドバンドギャップ半導体からなるパワー半導体素子を備える半導体装置など要求される最大動作温度が比較的高い半導体装置では、使用に際し、パワー半導体素子と外部電極との間をダイレクトリードボンディング方式により接合している接合部に生じる応力も大きくなる。このような半導体装置は、特開 2 0 0 5 - 1 9 6 9 4 号公報に記載の構成を採用しても、接合部に生じる応力を十分に抑制してすることが困難であり、当該接合部においてクラックまたは剥離などの異常発生を抑制することが困難である。

20

【 0 0 0 7 】

本発明は、上記のような課題を解決するためになされたものである。本発明の主たる目的は、使用に際して生じる温度サイクル下において、半導体素子と外部電極との間をダイレクトリードボンディング方式により接合している接合部での異常発生が十分に抑制されている半導体装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 8 】

30

本発明に係る半導体装置は、第 1 面を有する半導体素子と、第 1 面に面する第 2 面を有する外部電極と、半導体素子の第 1 面と外部電極の第 2 面との間に配置されており、第 1 面に面する第 3 面と、第 3 面の反対側に位置し、かつ第 2 面に面する第 4 面とを有する緩衝部材と、第 1 面と第 3 面とを接合している第 1 接合部材と、第 2 面と第 4 面とを接合している第 2 接合部材とを備える。緩衝部材の熱膨張率は、半導体素子の熱膨張率と外部電極の熱膨張率との間の値であり、緩衝部材の第 3 面および第 4 面の各面積は、半導体素子の第 1 面の面積の半分未満である。

【 発明の効果 】

【 0 0 0 9 】

本発明によれば、使用に際して生じる温度サイクル下において、半導体素子と外部電極との間をダイレクトリードボンディング方式により接合している接合部での異常発生が十分に抑制されている半導体装置を提供する。

40

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】 実施の形態 1 に係る半導体装置を示す断面図である。

【 図 2 】 実施の形態 1 に係る半導体装置の半導体素子、外部電極、および緩衝部材の相対的な位置関係を示すための平面図である。

【 図 3 】 実施の形態 1 に係る半導体装置の半導体素子および緩衝部材の相対的な位置関係を示すための平面図である。

【 図 4 】 実施の形態 1 に係る半導体装置の変形例を示す平面図である。

50

【図 5】実施の形態 1 に係る半導体装置の変形例を示す平面図である。

【図 6】実施の形態 2 に係る半導体装置を示す断面図である。

【発明を実施するための形態】

【0011】

以下、図面を参照して、本発明の実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

【0012】

(実施の形態 1)

<半導体装置の構成>

図 1 および図 2 を参照して、実施の形態 1 に係る半導体装置 100 について説明する。半導体装置 100 は、半導体素子 1、外部電極 2、緩衝部材 3、DBC (Direct Bond Copper) 4、および金属ベース板 5 と、これらの部材間を接合する接合部材 11, 12, 13, 14 とを備える。図 1 は、半導体装置 100 の断面図である。図 2 は、半導体素子 1、外部電極 2、および緩衝部材 3 の相対的な位置関係を示す平面図である。図 2 において、半導体装置 100 を構成する他の部材は図示しない。以下熱膨張率 (線膨張係数) の値を示している箇所では、 $\times 10^{-6}$ を省略して記載している。

10

【0013】

半導体素子 1 は、第 1 主面 1 A (第 1 面) と、第 1 主面 1 A の反対側に位置する第 2 主面 1 B とを有している。第 1 主面 1 A の少なくとも一部上には、図示しない表面電極が形成されている。表面電極を含む第 1 主面 1 A の一部領域は、後述する第 1 接合部材 11 を介して緩衝部材 3 の第 6 主面 3 B (第 3 面) と接合されている。第 1 接合部材 11 と接合されている第 1 主面 1 A の一部領域は、第 1 主面 1 A 上において、任意の場所に形成され得るが、好ましくは半導体素子 1 の第 1 主面 1 A の外周端部よりも内側に位置する領域上に形成されている。第 2 主面 1 B は、後述する第 3 接合部材 13 を介して DBC 4 の第 7 主面 4 A と接合されている。半導体素子 1 の熱膨張率 (線膨張係数) α は、例えば 3 以上 5 以下程度である。半導体素子 1 は、任意の半導体材料で構成された任意の半導体素子であればよいが、例えば Si または SiC からなる IGBT (Insulated Gate Bipolar Transistor)、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、ダイオードなどである。

20

30

【0014】

外部電極 2 は、第 3 主面 2 A と、第 3 主面の反対側に位置する第 4 主面 2 B (第 2 面) とを有している。第 4 主面 2 B は、半導体素子 1 の第 1 主面 1 A (第 1 面) に面している。第 4 主面 2 B の一部領域は、後述する第 1 接合部材 11 を介して緩衝部材 3 と接合されている。外部電極 2 の当該一部領域は、例えば第 4 主面 2 B の外周端部よりも内側に位置している。外部電極 2 を構成する材料は、導電性を有する任意の材料であればよいが、例えば銅 (Cu) またはアルミニウム (Al) を含んでいる。外部電極 2 の熱膨張率 (線膨張係数) α は、例えば 17 以上 21 以下程度である。外部電極 2 の熱膨張率は、半導体素子 1 の熱膨張率よりも大きい。

40

【0015】

緩衝部材 3 は、第 5 主面 3 A (第 4 面) と、第 5 主面 3 A の反対側に位置する第 6 主面 3 B (第 3 面) とを有している。第 6 主面 3 B は、半導体素子 1 の第 1 主面 1 A (第 1 面) に面している。第 5 主面 3 A は、外部電極 2 の第 4 主面 2 B (第 2 面) に面している。緩衝部材 3 の熱膨張率は、半導体素子 1 の熱膨張率と外部電極 2 の熱膨張率との間の値であり、具体的には、半導体素子 1 の熱膨張率よりも大きく外部電極 2 の熱膨張率よりも小さい。好ましくは、緩衝部材 3 の熱膨張率は、半導体素子 1 の熱膨張率および外部電極 2 の熱膨張率の平均値の -30% 以上 +20% 以下 (平均値の 70% 以上 120% 以下) の値である。異なる観点から言えば、緩衝部材 3 の熱膨張率は、半導体素子 1 の熱膨張率と外部電極 2 の熱膨張率との中間値の -30% 以上 +20% 以下の値であるのが好ましい。

50

【0016】

緩衝部材 3 を構成する材料は、その熱膨張率が半導体素子 1 の熱膨張率と外部電極 2 の熱膨張率との間の値を示し、かつ導電性を有する任意の材料であればよく、例えば C I C (C o p p e r I n v a r C o p p e r) や銅モリブデン (C u M o) 、クロム銅 (C u C r) などの合金である。上述のように、緩衝部材 3 の第 6 主面 3 B は、第 1 接合部材 1 1 を介して半導体素子 1 の第 1 主面 1 A と接合されている。緩衝部材 3 の第 5 主面 3 A は、第 2 接合部材 1 2 を介して外部電極 2 の第 4 主面 2 B と接合されている。すなわち、半導体素子 1 と外部電極 2 とは、第 1 接合部材 1 1 、緩衝部材 3 および第 2 接合部材 1 2 を介して接合されている。なお、半導体装置 1 0 0 を第 1 主面 1 A に垂直な方向から平面視したときに、第 5 主面 3 A および第 6 主面 3 B は、例えば、第 1 接合部材 1 1 および第 2 接合部材 1 2 の周囲に露出していない。

10

【 0 0 1 7 】

図 2 を参照して、緩衝部材 3 は、第 5 主面 3 A および第 6 主面 3 B (図 1 参照) に垂直な方向から半導体装置 1 0 0 (図 1 参照) を平面視したときに、第 5 主面 3 A および第 6 主面 3 B の外周端部が半導体素子 1 および外部電極 2 の各外周端部よりも内側に配置されている。

【 0 0 1 8 】

緩衝部材 3 の第 6 主面 3 B (第 3 面) の面積は、半導体素子 1 の第 1 主面 1 A (第 1 面) の面積の半分未満である。緩衝部材 3 の第 6 主面 3 B の面積は、好ましくは第 1 主面 1 A の面積の 3 % 以上 4 6 % 以下であり、より好ましくは第 1 主面 1 A の面積の 4 % 以上 4 5 % 以下である。緩衝部材 3 の第 5 主面 3 A (第 4 面) の面積は、半導体素子 1 の第 1 主面 1 A の面積の半分未満である。緩衝部材 3 の第 5 主面 3 A の面積は、好ましくは第 1 主面 1 A の面積の 3 % 以上 4 6 % 以下であり、より好ましくは第 1 主面 1 A の面積の 4 % 以上 4 5 % 以下である。緩衝部材 3 は、任意の構造を有していればよいが、例えば図 1 に示されるように直方体形状を有している。すなわち、第 5 主面 3 A と第 6 主面 3 B とは、例えば図 2 に示されるように平面形状が矩形状であり、かつ面積が互いに等しい。

20

【 0 0 1 9 】

D B C 4 は、第 7 主面 4 A と、第 7 主面 4 A の反対側に位置する第 8 主面 4 B とを有している。D B C 4 は、第 7 主面 4 A を有する銅部材 4 1 と、第 8 主面 4 B を有する銅部材 4 2 と、セラミックス基板 4 3 とを含む。D B C 4 は、銅部材 4 1 と銅部材 4 2 とが第 7 主面 4 A に垂直な方向においてセラミックス基板 4 3 を挟むように積層された構造を有している。銅部材 4 1 , 4 2 は、例えば、半導体素子 1 の第 2 主面 1 B に面するセラミックス基板 4 3 の表面上および金属ベース板 5 の第 9 主面 5 A に面するセラミックス基板 4 3 の表面上に形成された配線パターンとして構成されている。セラミックス基板 4 3 を構成する材料は、電気的絶縁性を有している任意の材料であればよいが、例えば、窒化珪素、窒化アルミニウムまたはアルミナ等の高熱伝導性の板材を使用することができる。上述のように、第 7 主面 4 A は、後述する第 3 接合部材 1 3 を介して半導体素子 1 の第 2 主面 1 B と接合されている。第 8 主面 4 B は、後述する第 4 接合部材 1 4 を介して金属ベース板 5 の第 9 主面 5 A と接合されている。

30

【 0 0 2 0 】

金属ベース板 5 は、第 9 主面 5 A と、第 9 主面 5 A の反対側に位置する第 1 0 主面 5 B とを有している。上述のように、第 9 主面 5 A は、第 4 接合部材 1 4 を介して D B C 4 の第 8 主面 4 B と接合されている。金属ベース板 5 を構成する材料は、任意の金属材料であればよいが、例えば C u または A l を含む。この金属ベース板 5 を介して、冷却機構に接続してもよいし、また、この金属ベース板 5 自体が冷却機構であることもある。

40

【 0 0 2 1 】

第 1 接合部材 1 1 は、上述のように、半導体素子 1 において表面電極を含む第 1 主面 1 A の一部領域と緩衝部材 3 の第 6 主面 3 B とを接合している。第 2 接合部材 1 2 は、上述のように、外部電極 2 の第 4 主面 2 B の一部領域と緩衝部材 3 の第 5 主面 3 A とを接合している。第 3 接合部材 1 3 は、上述のように、半導体素子 1 の第 2 主面 1 B と D B C 4 の第 7 主面 4 A とを接合している。第 4 接合部材 1 4 は、上述のように、D B C 4 の第 8 主

50

面 4 B と金属ベース板 5 の第 9 主面 5 A とを接合している。第 1 接合部材 1 1、第 2 接合部材 1 2、第 3 接合部材 1 3、および第 4 接合部材 1 4 を構成する材料は、例えば錫 (S n) と C u とを含む S n - C n はんだなどであってもよいし、S n - 銀 (A g) - C u はんだや、ニッケル (N i) やアンチモン (S b) が添加されたはんだなどであってもよいし、A g または C u などを含む合金材料であってもよいし、ろう材であってもよい。

【 0 0 2 2 】

半導体素子 1 において、第 1 接合部材 1 1 を介して緩衝部材 3 の第 6 主面 3 B と接合されている第 1 主面 1 A の一部領域の面積は、第 1 主面 1 A の面積の半分未満である。第 1 主面 1 A の当該一部領域の面積は、好ましくは第 1 主面 1 A の面積の 3 % 以上 4 6 % 以下であり、より好ましくは第 1 主面 1 A の面積の 4 % 以上 4 5 % 以下である。外部電極 2 において、第 2 接合部材 1 2 を介して緩衝部材 3 の第 5 主面 3 A と接合されている第 4 主面 2 B の一部領域の面積は、半導体素子 1 の第 1 主面 1 A の面積の半分未満である。第 4 主面 2 B の当該一部領域の面積は、好ましくは第 1 主面 1 A の面積の 3 % 以上 4 6 % 以下であり、より好ましくは第 1 主面 1 A の面積の 4 % 以上 4 5 % 以下である。

10

【 0 0 2 3 】

< 半導体装置の製造方法 >

実施の形態 1 に係る半導体装置 1 0 0 の製造方法は、ダイレクトボンディング方式を用いた周知の半導体装置の製造方法と基本的に同様の工程を備えている。半導体装置 1 0 0 の製造方法は、例えば、半導体素子 1、外部電極 2、緩衝部材 3、D B C 4、および金属ベース板 5 が準備される工程と、半導体素子 1 の第 1 主面 1 A の一部領域と緩衝部材 3 の第 6 主面 3 B とが第 1 接合部材 1 1 を介して接合される工程と、外部電極 2 の第 4 主面 2 B の一部領域と緩衝部材 3 の第 5 主面 3 A とが第 2 接合部材 1 2 を介して接合される工程と、半導体素子 1 の第 2 主面 1 B と D B C 4 の第 7 主面 4 A とが第 3 接合部材 1 3 を介して接合される工程と、D B C 4 の第 8 主面 4 B と金属ベース板 5 の第 9 主面 5 A とが第 4 接合部材 1 4 を介して接合される工程とを備える。準備する工程では、半導体素子 1 の第 1 主面 1 A の面積の半分未満の面積である第 5 主面 3 A および第 6 主面 3 B を有する緩衝部材 3 が準備される。半導体素子 1 の第 1 主面 1 A の一部領域と緩衝部材 3 の第 6 主面 3 B とが第 1 接合部材 1 1 を介して接合される工程、および外部電極 2 の第 4 主面 2 B の一部領域と緩衝部材 3 の第 5 主面 3 A とが第 2 接合部材 1 2 を介して接合される工程は、第 1 主面 1 A の上記一部領域および第 4 主面 2 B の上記一部領域の各面積が第 1 主面 1 A の面積の半分未満となるように、実施される。このようにして、半導体装置 1 0 0 が製造される。

20

30

【 0 0 2 4 】

< 半導体装置の作用効果 >

半導体装置 1 0 0 は、第 1 主面 1 A (第 1 面) を有する半導体素子 1 と、第 1 主面 1 A に面する第 4 主面 2 B (第 2 面) を有する外部電極 2 と、半導体素子 1 の第 1 主面 1 A と外部電極 2 の第 4 主面 2 B との間に配置されており、第 1 主面 1 A に面する第 6 主面 3 B (第 3 面) と、第 6 主面 3 B の反対側に位置し、かつ第 4 主面 2 B に面する第 5 主面 3 A (第 4 面) とを有する緩衝部材 3 と、第 1 主面 1 A と第 6 主面 3 B とを接合している第 1 接合部材 1 1 と、第 4 主面 2 B と第 5 主面 3 A とを接合している第 2 接合部材 1 2 とを備える。緩衝部材 3 の熱膨張率は、半導体素子 1 の熱膨張率と外部電極 2 の熱膨張率との間の値である。緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積は、半導体素子 1 の第 1 主面 1 A の面積の半分未満である。

40

【 0 0 2 5 】

そのため、半導体装置 1 0 0 は、半導体素子 1 と外部電極 2 との熱膨張率の差に起因して、これらとこれらの間を接合している第 1 接合部材 1 1 および第 2 接合部材 1 2 とに印加され得る熱応力が、緩衝部材 3 を備えていない半導体装置と比べて低減され得る。そのため、半導体素子 1、外部電極 2、第 1 接合部材 1 1 および第 2 接合部材 1 2 は、クラックまたは剥離などの異常の発生が抑制されている。

【 0 0 2 6 】

50

さらに、半導体装置 100 は、緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積が半導体素子 1 の第 1 主面 1 A の面積の半分未満である。そのため、半導体装置 100 は、緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積が半導体素子 1 の第 1 主面 1 A の面積の半分以上である従来の半導体装置と比べて、半導体素子 1 に印加され得る熱応力はさらに低減され得る。

【0027】

また、半導体装置 100 は、緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積が半導体素子 1 の第 1 主面 1 A の面積の半分未満である。そのため、半導体装置 100 は、緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積が半導体素子 1 の第 1 主面 1 A の面積の半分以上である従来の半導体装置と比べて、第 1 接合部材 11 および第 2 接合部材 12 中に空隙が生じる確率を低くすることができる。第 1 接合部材 11 および第 2 接合部材 12 に生じた空隙は、半導体素子 1 と第 1 接合部材 11 との接触面積および外部電極 2 と第 2 接合部材 12 との接触面積を減少させる。そのため、空隙の発生確率が高い従来の半導体装置は、それぞれの部材間での放熱性および接合強度の低下が引き起こされるリスクが高い。また、空隙の発生確率が高い従来の半導体装置は、半導体素子と外部電極との間に所定の電流密度の電流が流れることにより、両者を接合する接合材が発熱して当該接合材の信頼性の低下が引き起こされ、半導体装置の信頼性の低下が引き起こされる。これに対し、半導体装置 100 は、第 1 接合部材 11 および第 2 接合部材 12 中に空隙が生じる確率が低い。そのため、半導体装置 100 は、上記のような従来の半導体装置と比べて、空隙に伴う放熱性、接合強度、および信頼性の低下が抑制されている。

【0028】

さらに、半導体装置 100 は、緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積が半導体素子 1 の第 1 主面 1 A の面積の 45 % 以下である。そのため、半導体装置 100 は、上記のような従来の半導体装置と比べて、第 1 接合部材 11 および第 2 接合部材 12 中に空隙が生じる確率をさらに低くすることができる。

【0029】

また、半導体装置 100 は、緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積が半導体素子 1 の第 1 主面 1 A の面積の 4 % 以上である。緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積が半導体素子 1 の第 1 主面 1 A の面積の 4 % 未満である半導体装置は、1 つの半導体素子当たりの電流密度が高くなって半導体素子が破壊され易くなる。このような半導体装置であっても 1 つの半導体素子当たりの電流密度を低下させることで半導体素子の破壊は抑制され得るが、半導体装置を動作させるために必要な電流密度を確保するために必要な半導体素子数が増えることになり、製造コストの増大や半導体装置の大型化を招くことになる。これに対し、半導体装置 100 は、1 つの半導体素子当たりの電流密度を低下させる必要がないため、製造コストの増大や大型化が抑制されながらも、第 1 接合部材 11 および第 2 接合部材 12 の信頼性の低下、および半導体素子 1 の破壊などが抑制されている。

【0030】

半導体装置 100 は、緩衝部材 3 の熱膨張率が半導体素子 1 の熱膨張率および前記外部電極の熱膨張率の平均値に近いほど、半導体素子 1、外部電極 2、第 1 接合部材 11 および第 2 接合部材 12 に印加され得る熱応力が当該緩衝部材 3 によってより効果的に低減され得る。半導体素子 1 を破壊しないことを優先すると、平均値よりは半導体素子 1 の熱膨張率に近いほうがよりよい。そのため、緩衝部材 3 の熱膨張率が半導体素子 1 の熱膨張率と外部電極の熱膨張率との平均値の - 30 % 以上 + 20 % 以内の数値範囲内に入るのであれば、緩衝部材 3 の熱膨張率が半導体素子 1 の熱膨張率および前記外部電極の熱膨張率の平均値の 70 % 未満または当該平均値の 120 % 超えである場合と比べて、上記熱応力をより効果的に低減することができる。

【0031】

本発明者らは、半導体素子 1 の第 1 主面 1 A の面積に対する緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積の比率が異なる複数の半導体装置を試験サンプルとして作成

し、これらに対し温度サイクル試験を実施した。各試験サンプルは、SiC-MOSFETからなる半導体素子（熱膨張率 $\alpha = 4.6$ ）、Cuからなる外部電極（ $\alpha = 16.8$ ）、CICからなる緩衝部材（ $\alpha = 8.4 \sim 11$ ）、Sn-Cuはんだからなる第1接合部材および第2接合部材、セラミックス基板を構成する材料がSNであるDBC、およびCuからなる金属ベース板を備えるものとした。各試験サンプルは、上記比率が2以上5.5以下の範囲で異なる値を有するものとした。なお、各試験サンプルにおける緩衝部材の上記平面形状は矩形状とした。

【0032】

温度サイクル試験は、各試験サンプルに対して、 -40 以上 150 以下の温度サイクル、を2000回繰り返すことにより実施した。温度サイクル試験後の各試験サンプルの半導体素子、外部電極、緩衝部材、第1接合部材、および第2接合部材に、クラックおよび剥離などの異常の有無を評価した。評価結果を、表1に示す。表1では、半導体素子1の第1主面1Aの面積に対する緩衝部材3の第5主面3Aおよび第6主面3Bの各面積の比率を、単に面積比率と示す。なお、温度サイクル試験条件はこれに限られるわけではなく、温度サイクル試験は、この製品を使用される環境により異なり、たとえば $-55 \sim -35$ 以上 $125 \sim 200$ 以下の温度サイクルを1000から3000回サイクル繰り返し加えてもよい。

【0033】

【表 1】

試験サンプル	1	2	3	4	5	6	7	8	9	10	11	12
面積比率 %	2	3	4	5	10	20	30	40	45	46	50	55
試験結果	×	△	○	○	○	○	○	○	○	△	×	×

10

20

30

40

【 0 0 3 4 】

表 1 において、異常が確認されなかった試験サンプルを○、異常が確認された試験サンプルを×、異常が確認されたが異常の程度が従来の半導体装置と比べて改善されていた試験サンプルを△と示す。表 1 に示されるように、半導体素子 1 の第 1 主面 1 A の面積に対する緩衝部材 3 の第 5 主面 3 A および第 6 主面 3 B の各面積の比率が 5 0 % 未満である試験サンプルは、5 0 % 以上である試験サンプルと比べて、基本的に良好な結果が得られた。上記比率が 3 % 以上 4 6 % 以下とした試験サンプル 2 ~ 1 0 は、異常が確認されなかったか、異常が確認されたが異常の程度が従来の半導体装置と比べて改善されていた。上記比率が 4 % 以上 4 5 % 以下とした試験サンプル 3 ~ 9 は、異常が確認されなかった。上記温度サイクル試験の結果から、上記比率が 5 0 % 未満である半導体装置 1 0 0 は、上記比

50

率が50%超えである従来の半導体装置と比べて温度サイクル下における半導体素子1と外部電極2とを接合する接合部での異常発生が抑制されていることが確認された。上記比率が3%以上46%以下である半導体装置100は、上記比率が50%超えである従来の半導体装置と比べて温度サイクル下における半導体素子1と外部電極2とを接合する接合部での異常発生が抑制されていることが確認された。さらに、上記比率が4%以上45%以下である半導体装置100は、温度サイクル下における半導体素子1と外部電極2とを接合する接合部での異常発生がより効果的に抑制されていることが確認された。

< 変形例 >

半導体装置100において、半導体素子1の熱膨張率は外部電極2の熱膨張率よりも大きくてもよい。この場合にも、緩衝部材3の熱膨張率は、半導体素子1の熱膨張率と外部電極2の熱膨張率との間の値であればよく、外部電極2の熱膨張率よりも大きく半導体素子1の熱膨張率よりも小さければよい。このような構成を備える半導体装置であっても、半導体素子1の第1主面1Aの面積に対する緩衝部材3の第5主面3Aおよび第6主面3Bの各面積の比率を50%未満であることにより、上述した半導体装置100と同様の効果を奏することができる。

10

【0035】

半導体装置100において、緩衝部材3の第5主面3A(第4面)および第6主面3B(第3面)の平面形状は矩形状に限られるものではない。図3を参照して、緩衝部材3の第5主面3Aおよび第6主面3Bの平面形状は、例えば多角形状であってもよい。このような緩衝部材3を備える半導体装置であっても、半導体装置100と同様の効果を奏することができる。

20

【0036】

図4(a)および(b)を参照して、緩衝部材3の第5主面3A(第4面)および第6主面3B(第3面)の平面形状は、例えば略矩形状または略多角形状であって、角部が丸みを帯びていてもよい。言い換えると、緩衝部材3の第5主面3A(第4面)および第6主面3B(第3面)の平面形状は、例えば4辺と4辺の間を繋ぐ角部とからなる矩形状であって、角部が丸みを帯びていてもよい。また、該平面形状は、例えば4つ以上の辺と、各辺間を繋ぐ角部とからなる多角形状であって角部が丸みを帯びていてもよい。当該角部の曲率半径は、好ましくは0.5mm以上、角部で接続されている2辺のうちの短辺の長さの半分以下である。このようにすれば、半導体装置が温度サイクルに曝された際に、半導体素子1と外部電極2との熱膨張率の差に起因して緩衝部材3の上記角部と接合されている第1接合部材11および第2接合部材12の一部分に印加される熱応力を低減することができる。その結果、実施の形態2に係る半導体装置は、第5主面3A(第4面)および第6主面3B(第3面)の平面形状が矩形状である半導体装置100と比べて、温度サイクル下における半導体素子1と外部電極2とを接合する接合部での異常発生がより効果的に抑制されている。

30

【0037】

図5(a)および(b)を参照して、緩衝部材3の第5主面3A(第4面)および第6主面3B(第3面)の平面形状は円形状または楕円形状であってもよい。このようにしても、半導体装置が温度サイクルに曝された際に、半導体素子1と外部電極2との熱膨張率の差に起因して緩衝部材3と接合されている第1接合部材11および第2接合部材12の一部分に熱応力が集中することを抑制することができる。その結果、実施の形態2に係る半導体装置は、第5主面3A(第4面)および第6主面3B(第3面)の平面形状が矩形状である半導体装置100と比べて、温度サイクル下における半導体素子1と外部電極2とを接合する接合部での異常発生がより効果的に抑制されている。図4(b)および図5(b)を参照して、緩衝部材3は、例えば長軸と短軸または長辺と短辺とを有する平面形状を有している場合、長軸または長辺が外部電極2の長手方向に沿うように配置されていてもよい。

40

【0038】

また、半導体装置100は、少なくとも半導体素子1、外部電極2、緩衝部材3、第1

50

接合部材 1 1 および第 2 接合部材 1 2 を備えていればよい。半導体装置 1 0 0 は、D B C 4 および金属ベース板 5 を備えていなくてもよい。半導体装置 1 0 0 は、温度サイクル下においても緩衝部材 3 を介して半導体素子 1 と外部電極 2 との間を接合している第 1 接合部材 1 1 および第 2 接合部材 1 2 での異常発生が十分に抑制されている。また、半導体装置 1 0 0 は、D B C 4 に代えて、第 1 主面 1 A に垂直な方向への電氣的絶縁性を有しているとともに高い熱伝導性を有している任意の部材を備えていてもよい。

【 0 0 3 9 】

(実施の形態 2)

次に、図 6 を参照して、実施の形態 2 に係る半導体装置について説明する。実施の形態 2 に係る半導体装置は、基本的には実施の形態 1 に係る半導体装置と同様の構成を備えるが、緩衝部材 3 が複数の緩衝部 3 1 , 3 2 , 3 3 の積層体として構成されている点で異なる。

10

【 0 0 4 0 】

緩衝部材 3 は、緩衝部 3 1 , 3 2 , 3 3 を含む。緩衝部 3 1 , 3 2 , 3 3 は、第 5 主面 3 A および第 6 主面 3 B に垂直な方向において、積層されている。緩衝部 3 1 は、第 6 主面 3 B を有しており、第 1 接合部材 1 1 を介して半導体素子 1 と接合されている。緩衝部 3 3 は、第 5 主面 3 A を有しており、第 2 接合部材 1 2 を介して外部電極 2 と接合されている。緩衝部 3 2 は、緩衝部 3 1 と緩衝部 3 3 との間に配置されている。緩衝部 3 2 は、緩衝部 3 1 において第 6 主面 3 B と反対側に位置する面と接合されているとともに、緩衝部 3 3 において第 5 主面 3 A の反対側に位置する面と接合されている。

20

【 0 0 4 1 】

緩衝部 3 2 の熱膨張率は、緩衝部 3 1 の熱膨張率よりも大きく、緩衝部 3 3 の熱膨張率よりも小さい。緩衝部 3 1 の熱膨張率は半導体素子 1 の熱膨張率以上であり、緩衝部 3 3 の熱膨張率は外部電極 2 の熱膨張率以下である。すなわち、半導体素子 1 の熱膨張率 緩衝部 3 1 の熱膨張率 < 緩衝部 3 2 の熱膨張率 < 緩衝部 3 3 の熱膨張率 外部電極 2 の熱膨張率である。

【 0 0 4 2 】

このような構成を備える実施の形態 2 に係る半導体装置は、実施の形態 1 に係る半導体装置 1 0 0 と比べて、半導体素子 1 と緩衝部材 3 (緩衝部 3 1) との熱膨張率の差、および外部電極 2 と緩衝部材 3 (緩衝部 3 3) との差をより小さくすることができる。そのため、実施の形態 2 に係る半導体装置は、半導体装置 1 0 0 と比べて、温度サイクル下における半導体素子 1 と外部電極 2 とを接合する接合部での異常発生がより効果的に抑制されている。

30

【 0 0 4 3 】

実施の形態 2 に係る半導体装置においては、緩衝部材 3 を構成する緩衝部 3 1 , 3 2 , 3 3 の各熱膨張率の平均値を緩衝部材 3 の熱膨張率とよぶ。つまり、実施の形態 2 に係る半導体装置では、緩衝部材 3 を構成する緩衝部 3 1 , 3 2 , 3 3 の各熱膨張率の平均値が、半導体素子 1 の熱膨張率および外部電極 2 の熱膨張率の平均値の - 3 0 % 以上 + 2 0 % 以下であるのが好ましい。例えば、緩衝部 3 1 の熱膨張率が半導体素子 1 の熱膨張率と等しく、緩衝部 3 3 の熱膨張率が外部電極 2 の熱膨張率と等しく、緩衝部 3 2 の熱膨張率が緩衝部 3 1 の熱膨張率と緩衝部 3 3 の熱膨張率の平均値 (中間値) であるのが好ましい。具体例として、半導体素子 1 を構成する材料が S i C であり、外部電極 2 を構成する材料が C u である場合、緩衝部 3 1 の熱膨張率 α が 6 . 6、緩衝部 3 3 の熱膨張率 α が 1 6 . 8、緩衝部 3 2 の熱膨張率 α が 1 1 . 7 であるのが好ましい。このようにすれば、緩衝部 3 1 , 3 2 , 3 3 の各熱膨張率の平均値が半導体素子 1 の熱膨張率および前記外部電極の熱膨張率の平均値の 7 0 % 未満または当該平均値の 1 2 0 % 超えである場合と比べて、上記熱応力をより効果的に低減することができる。

40

【 0 0 4 4 】

なお、実施の形態 2 に係る半導体装置は、上述した半導体装置 1 0 0 の変形例と同様の変形例を採り得る。実施の形態 2 に係る半導体装置において、半導体素子 1 の熱膨張率が

50

外部電極 2 の熱膨張率よりも大きい場合、緩衝部 3 2 の熱膨張率は、緩衝部 3 3 の熱膨張率よりも大きく、緩衝部 3 1 の熱膨張率よりも小さい。緩衝部 3 1 の熱膨張率は、半導体素子 1 の熱膨張率よりも小さい。緩衝部 3 3 の熱膨張率は、外部電極 2 の熱膨張率よりも大きい。すなわち、外部電極 2 の熱膨張率 < 緩衝部 3 3 の熱膨張率 < 緩衝部 3 2 の熱膨張率 < 緩衝部 3 1 の熱膨張率 < 半導体素子 1 の熱膨張率であってもよい。このようにしても、実施の形態 2 に係る半導体装置と同様の効果を奏することができる。

【 0 0 4 5 】

図 6 においては D B C 4 および金属ベース板 5 を図示していない。実施の形態 2 に係る半導体装置は、D B C 4 および金属ベース板 5 を備えていてもよいし、備えていなくてもよい。いずれの場合であっても、実施の形態 2 に係る半導体装置は、温度サイクル下に置かれた際にも、緩衝部材 3 を介して半導体素子 1 と外部電極 2 との間を接合している第 1 接合部材 1 1 および第 2 接合部材 1 2 での異常発生が十分に抑制されている。

【 0 0 4 6 】

今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

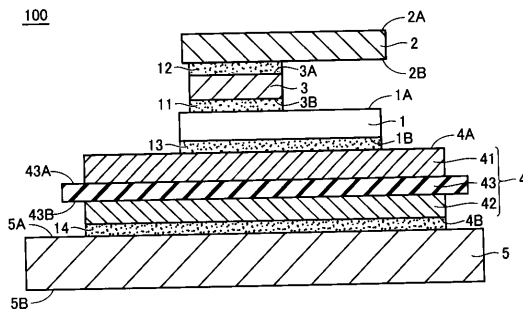
【 符号の説明 】

【 0 0 4 7 】

1 半導体素子、1 A 第 1 主面、1 B 第 2 主面、2 外部電極、2 A 第 3 主面、2 B 第 4 主面、3 緩衝部材、3 A 第 5 主面、3 B 第 6 主面、4 A 第 7 主面、4 B 第 8 主面、5 金属ベース板、5 A 第 9 主面、5 B 第 10 主面、1 1 第 1 接合部材、1 2 第 2 接合部材、1 3 第 3 接合部材、1 4 第 4 接合部材、3 1 , 3 2 , 3 3 緩衝部、4 1 , 4 2 銅部材、4 3 セラミックス基板、1 0 0 半導体装置。

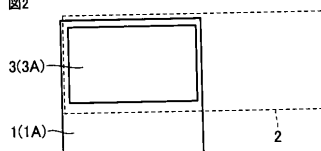
【 図 1 】

図1



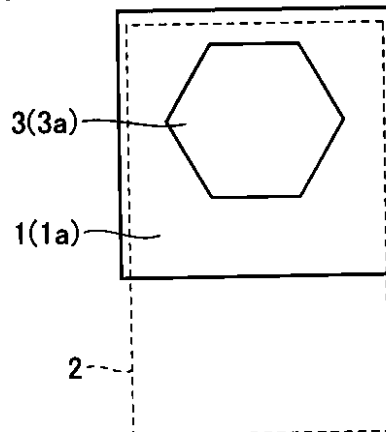
【 図 2 】

図2



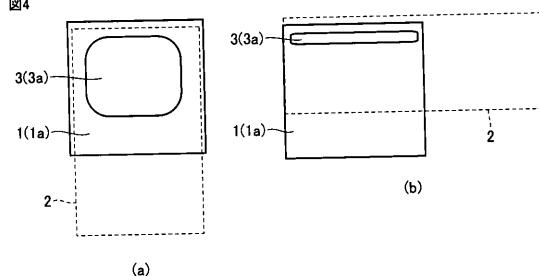
【 図 3 】

図3



【 図 4 】

図4

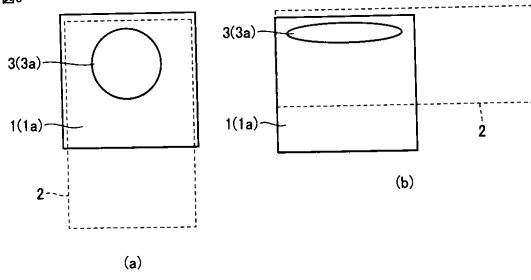


10

20

【 図 5 】

図5



【 図 6 】

図6

