(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0036032
(43) 공개일자 2024년03월19일

(51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) *H01L 25/065* (2023.01)
(52) CPC특허분류
H01L 23/573 (2013.01)
H01L 23/49827 (2013.01)
(21) 출원번호 10-2024-7004776
(22) 출원일자(국제) 2022년07월14일
심사청구일자 없음
(85) 번역문제출일자 2024년02월08일
(86) 국제출원번호 PCT/US2022/037211
(87) 국제공개번호 WO 2023/288021
국제공개일자 2023년01월19일
(30) 우선권주장
63/203,332 2021년07월16일 미국(US)

(71) 출원인
아데이아 세미컨덕터 본딩 테크놀로지스 인코포레이티드
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
(72) 발명자
미르카리미 로라 윌스
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
카트카르 라예쉬
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
(74) 대리인
유미특허법인

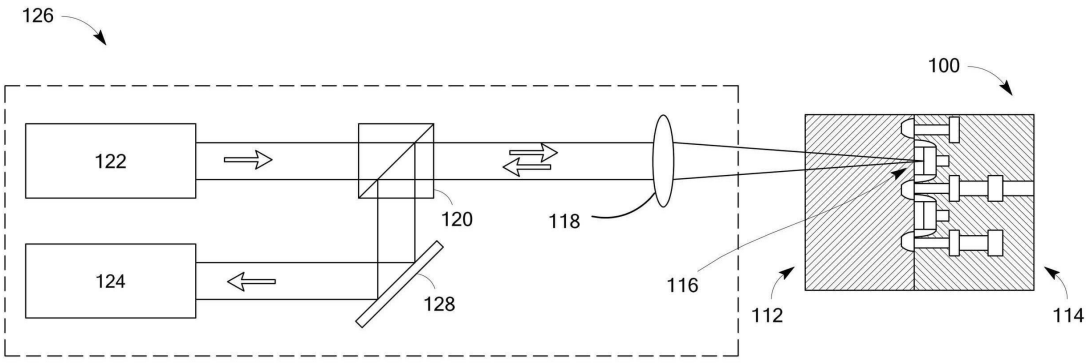
전체 청구항 수 : 총 70 항

(54) 발명의 명칭 **접합된 구조물의 광학적 차단 보호 요소**

(57) 요 약

접합된 구조물의 광학적 폐쇄 보호 요소로서, 본 명세서에 개시된 이것의 실시형태는 접합 계면을 따라 직접 접합된 구조물에 관련된다. 구체적으로는, 2 개의 요소인 반도체 요소 및 폐쇄 요소는 접합 계면을 따라 접착제의 개입 없이 서로 직접 접합될 수 있다. 반도체 요소는 능동 회로를 포함하며, 이것은 접합 후에 폐쇄 요소에 의해 보호된다. 폐쇄 요소는 능동 회로의 광학적 질문을 저지하도록 배치되는 여러 개의 광학적 폐쇄 층을 포함한다. 이러한 층은 폐쇄 스트립을 더 포함할 수 있고, 이것은 폐쇄 층들이 수직방향으로 적층될 때 다른 폐쇄 층의 다른 폐쇄 스트립과 중첩될 수도 있고 중첩되지 않을 수도 있다.

대 표 도



(52) CPC특허분류
H01L 24/08 (2013.01)
H01L 25/0657 (2023.08)
H01L 2224/08146 (2013.01)
H01L 2224/08235 (2013.01)

명 세 서

청구범위

청구항 1

접합된 구조물로서,

능동 회로를 포함하는 반도체 요소; 및

접합 계면을 따라 접착제 없이 상기 반도체 요소에 직접 접합되는 차단 요소를 포함하고, 상기 차단 요소는 상기 능동 회로 위에 배치되어 상기 능동 회로의 광학적 판독을 저지하는 적어도 하나의 패턴화된 광학적 차단 층을 포함하는, 접합된 구조물.

청구항 2

제1항에 있어서,

상기 적어도 하나의 패턴화된 광학적 차단 층은 복수의 광학적 폐쇄 층을 포함하는, 접합된 구조물.

청구항 3

제2항에 있어서,

상기 복수의 광학적 폐쇄 층은 상기 접합 계면에 직교하는 방향을 따라 서로 간격을 두고 중첩되어 배치되는, 접합된 구조물.

청구항 4

제2항에 있어서,

상기 복수의 광학적 폐쇄 층의 각각의 광학적 폐쇄 층은 비전도성 층 및 상기 비전도성 층 내에 적어도 부분적으로 매립된 패턴화된 불투명 재료를 포함하는, 접합된 구조물.

청구항 5

제4항에 있어서,

상기 패턴화된 불투명 재료는 상기 접합 계면에 대체적으로 평행한 방향을 따라 연장되는 복수의 폐쇄 스트립을 포함하는, 접합된 구조물.

청구항 6

제5항에 있어서,

상기 복수의 폐쇄 스트립은 하나 이상의 전도성 재료를 포함하는, 접합된 구조물.

청구항 7

제6항에 있어서,

상기 하나 이상의 전도성 재료는 구리를 포함하는, 접합된 구조물.

청구항 8

제4항 내지 제7항 중 어느 한 항에 있어서,

상기 패턴화된 불투명 재료는 400 nm 내지 1 ㎜ 범위의 파장의 광을 차단하는 재료를 포함하는, 접합된 구조물.

청구항 9

제8항에 있어서,

상기 패턴화된 불투명 재료는 800 nm 내지 2500 nm 범위의 파장의 광을 차단하는 재료를 포함하는, 접합된 구조물.

청구항 10

제4항 내지 제9항 중 어느 한 항에 있어서,

상기 패턴화된 불투명 재료는 적외선(IR) 또는 근적외선(NIR) 중 적어도 하나에 대해 불투명한, 접합된 구조물.

청구항 11

제4항 내지 제10항 중 어느 한 항에 있어서,

상기 복수의 광학적 폐쇄 층의 제1 광학적 폐쇄 층은 제1 불투명 패턴을 포함하고, 상기 복수의 광학적 폐쇄 층의 제2 광학적 폐쇄 층은 상기 제1 불투명 패턴과는 적어도 부분적으로 중첩되지 않는 제2 불투명 패턴을 포함하여서, 상기 폐쇄 요소의 평면도에서, 상기 제1 불투명 패턴 및 제2 불투명 패턴이 상기 제1 불투명 패턴 및 제2 불투명 패턴 단독보다 상기 반도체 요소의 더 큰 부분을 폐쇄하는, 접합된 구조물.

청구항 12

제11항에 있어서,

상기 제1 불투명 패턴은 제1 복수의 폐쇄 스트립을 포함하고, 상기 제2 불투명 패턴은 상기 제1 복수의 폐쇄 스트립과는 적어도 부분적으로 중첩되지 않는 제2 복수의 폐쇄 스트립을 포함하는, 접합된 구조물.

청구항 13

제4항 내지 제12항 중 어느 한 항에 있어서,

상기 폐쇄 요소는 적어도 3 개의 광학적 폐쇄 층을 더 포함하고, 상기 패턴화된 폐쇄 재료는 상기 광학적 폐쇄 층에 대해 평행한 평면에서 상기 반도체 요소의 미리 정한 영역을 폐쇄하는, 접합된 구조물.

청구항 14

제13항에 있어서,

상기 광학적 폐쇄 층은 상기 미리 정한 영역에 걸쳐 적어도 75%의 폐쇄를 제공하도록 구성되는, 접합된 구조물.

청구항 15

제13항에 있어서,

상기 광학적 폐쇄 층은 상기 미리 정한 영역에 걸쳐 적어도 95%의 폐쇄를 제공하도록 구성되는, 접합된 구조물.

청구항 16

제13항에 있어서,

상기 미리 정한 영역은 상기 제1 반도체 요소의 접합면의 적어도 75%를 포함하는, 접합된 구조물.

청구항 17

제13항에 있어서,

상기 미리 정한 영역은 상기 제1 반도체 요소의 접합면의 적어도 95%를 포함하는, 접합된 구조물.

청구항 18

제4항 내지 제17항 중 어느 한 항에 있어서,

상기 반도체 요소는 적어도 하나의 민감성 회로 영역 및 민감성 회로가 없는 적어도 하나의 영역을 포함하고, 상기 패턴화된 불투명 재료는 상기 적어도 하나의 민감성 회로 영역의 적어도 일부를 폐쇄하고 민감성 회로가 없는 적어도 하나의 영역은 폐쇄되지 않은 채로 남겨두는, 접합된 구조물.

청구항 19

제2항에 있어서,

상기 복수의 광학적 폐쇄 층은 하나 이상의 광학적 필터링 층을 포함하는, 접합된 구조물.

청구항 20

제1항에 있어서,

상기 적어도 하나의 패턴화된 광학적 차단 층은 상기 능동 회로의 광학적 판독을 저지하기 위해 광을 굴절, 산란, 확산, 회절 또는 위상 이동시키는 재료를 포함하는, 접합된 구조물.

청구항 21

제1항 내지 제20항 중 어느 한 항에 있어서,

상기 반도체 요소는 접합 층을 더 포함하고, 상기 차단 요소는 상기 반도체 요소의 접합 층에 직접 접합되는 접합 층을 더 포함하는, 접합된 구조물.

청구항 22

제21항에 있어서,

상기 차단 요소의 접합 층은 상기 반도체 요소의 금속화 패턴과 일치하도록 금속화되는, 접합된 구조물.

청구항 23

제22항에 있어서,

상기 반도체 요소의 접합 층은 비전도성 층에 배치되는 복수의 접촉 패드를 포함하고, 상기 차단 요소의 접합 층은 상기 반도체 요소의 접촉 패드에 직접 접합되는 비전도성 층에 배치되는 복수의 접촉 패드를 포함하는, 접합된 구조물.

청구항 24

제21항에 있어서,

상기 차단 요소의 접합 층과 상기 접합 계면에 직교하는 방향을 따라 상기 접합 층으로부터 수직 방향으로 이격된 광학적 폐쇄 층은 적어도 하나의 수직 상호연결부를 통해 연결되는, 접합된 구조물.

청구항 25

제24항에 있어서,

복수의 폐쇄 층 중 서로 옆에 있는 적어도 2 개의 폐쇄층은 이들 사이에 수직 상호연결부를 가지지 않는, 접합된 구조물.

청구항 26

제1항 내지 제24항 중 어느 한 항에 있어서,

상기 능동 회로는 상기 반도체 요소의 능동 측에 또는 그 근처에 배치되고, 상기 차단 요소는 상기 능동 측의 반대측인 상기 반도체 요소의 후면에 직접 접합되는, 접합된 구조물.

청구항 27

제2항 내지 제26항 중 어느 한 항에 있어서,

상기 복수의 광학적 폐쇄 층 중 제1 폐쇄 층은 상기 제1 폐쇄 층의 외부의 액세스를 검출하도록 구성되는 검출 회로를 포함하는, 접합된 구조물.

청구항 28

제27항에 있어서,

상기 검출 회로는 상기 외부의 액세스를 검출하도록 구성되는 수동 전자 회로 요소를 포함하는, 접합된 구조물.

청구항 29

제28항에 있어서,

상기 수동 전자 회로는 용량성 회로 요소 또는 저항성 회로 요소를 포함하는, 접합된 구조물.

청구항 30

제27항 내지 제29항 중 어느 한 항에 있어서,

상기 검출 회로로부터 상기 차단 요소의 접촉 패드까지 연장되는 수직 상호연결부를 더 포함하는, 접합된 구조물.

청구항 31

제30항에 있어서,

상기 차단 요소는 능동 측의 반대측의 상기 반도체 요소의 후면에 직접 접합되고, 상기 접합된 구조물은 상기 반도체 요소의 능동 측 또는 그 근처의 접촉 패드로부터 상기 차단 요소의 접촉 패드까지 연장되는 반도체 관통 비어(through semiconductor via; TSV)를 더 포함하고, 상기 TSV는 상기 반도체 요소와 상기 검출 회로 사이에 전기적 통신을 제공하는, 접합된 구조물.

청구항 32

제30항에 있어서,

상기 차단 요소의 접촉 패드는 상기 반도체 요소의 능동 측에 있는 접촉 패드에 직접 접합되는, 접합된 구조물.

청구항 33

제1항 내지 제28항 중 어느 한 항에 있어서,

상기 적어도 하나의 광학적 차단 층의 차단층은 광학 필터를 더 포함하는, 접합된 구조물.

청구항 34

접합된 구조물로서,

능동 회로를 포함하는 반도체 요소; 및

접합 계면을 따라 접착제 없이 상기 반도체 요소에 직접 접합되는 차단 요소를 포함하고, 상기 차단 요소는 제1 차단 층 및 상기 제1 차단 층 위에 배치되는 제2 차단 층을 포함하고, 상기 제1 차단 층은 제1 차단 패턴을 가지며, 상기 제2 차단 층은 상기 제1 차단 패턴과는 적어도 부분적으로 중첩되지 않는 제2 차단 패턴을 갖는, 접합된 구조물.

청구항 35

제34항에 있어서,

상기 차단 요소의 평면도에서, 상기 제1 차단 패턴 및 제2 차단 패턴은 상기 능동 회로의 광학적 판독을 저지하도록 협동하는, 접합된 구조물.

청구항 36

제34항에 있어서,

상기 차단 패턴은 하나 이상의 전도성 재료를 포함하는, 접합된 구조물.

청구항 37

제36항에 있어서,

상기 하나 이상의 전도성 재료는 구리를 포함하는, 접합된 구조물.

청구항 38

제34항 내지 제37항 중 어느 한 항에 있어서,

상기 패턴화된 차단 재료는 700 nm 내지 1 mm 범위의 파장의 광을 차단하는 재료를 포함하는, 접합된 구조물.

청구항 39

제38항에 있어서,

상기 패턴화된 차단 재료는 800 nm 내지 2500 nm 범위의 파장의 광을 차단하는 재료를 포함하는, 접합된 구조물.

청구항 40

제34항 내지 제39항 중 어느 한 항에 있어서,

상기 패턴화된 차단 재료는 적외선(IR) 또는 근적외선(NIR) 중 적어도 하나에 대해 불투명한, 접합된 구조물.

청구항 41

제34항 내지 제40항 중 어느 한 항에 있어서,

상기 반도체 요소는 접합 층을 더 포함하고, 상기 차단 요소는 상기 반도체 요소의 접합 층에 직접 접합되는 접합 층을 더 포함하는, 접합된 구조물.

청구항 42

제41항에 있어서,

상기 반도체 요소의 접합 층은 비전도성 층에 배치되는 복수의 접촉 패드를 포함하고, 상기 차단 요소의 접합 층은 상기 반도체 요소의 접촉 패드에 직접 접합되는 비전도성 층에 배치되는 복수의 접촉 패드를 포함하는, 접합된 구조물.

청구항 43

제34항 내지 제42항 중 어느 한 항에 있어서,

상기 제1 차단 층은 상기 제1 차단 층의 외부의 액세스를 검출하도록 구성되는 검출 회로를 더 포함하는, 접합된 구조물.

청구항 44

제43항에 있어서,

상기 검출 회로로부터 상기 차단 요소의 접촉 패드까지 연장되는 수직 상호연결부를 더 포함하는, 접합된 구조물.

청구항 45

제44항에 있어서,

상기 차단 요소는 능동 측의 반대측의 상기 반도체 요소의 후면에 직접 접합되고, 상기 접합된 구조물은 상기 반도체 요소의 능동 측 또는 그 근처의 접촉 패드로부터 상기 차단 요소의 접촉 패드까지 연장되는 반도체 관통 비어(through semiconductor via; TSV)를 더 포함하고, 상기 TSV는 상기 반도체 요소와 상기 검출 회로 사이에 전기적 통신을 제공하는, 접합된 구조물.

청구항 46

접합된 구조물의 형성 방법으로서,

접착제 없이 반도체 요소를 차단 요소에 직접 접합하는 것을 포함하고, 상기 반도체 요소는 능동 회로를 포함하고, 상기 차단 요소는 상기 능동 회로 위에 배치되어 상기 능동 회로의 광학적 판독을 저지하는 적어도 하나의 패턴화된 광학적 차단 층을 포함하는, 접합된 구조물의 형성 방법.

청구항 47

제46항에 있어서,

복수의 광학적 차단 층이 상기 접합 계면에 직교하는 방향을 따라 서로 이격되도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 48

제47항에 있어서,

상기 복수의 광학적 차단 층의 각각의 차단 층이 비전도성 층 및 상기 비전도성 층 내에 적어도 부분적으로 매립되는 패턴화된 불투명 재료를 포함하도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 49

제48항에 있어서,

상기 패턴화된 불투명 재료가 상기 접합 계면에 대체로 평행한 방향을 따라 연장되는 복수의 폐쇄 스트립을 포함하도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 50

제49항에 있어서,

상기 복수의 폐쇄 스트립이 하나 이상의 금속을 포함하도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 51

제48항 내지 제50항 중 어느 한 항에 있어서,

상기 패턴화된 불투명 재료가 700 nm 내지 1 ㎜ 범위의 파장의 광을 차단하는 재료를 포함하도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 52

제51항에 있어서,

상기 패턴화된 불투명 재료가 800 nm 내지 2500 nm 범위의 파장의 광을 차단하는 재료를 포함하도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 53

제46항 내지 제52항 중 어느 한 항에 있어서,

접합 층을 포함하도록 상기 차단 요소를 형성하는 것;

접합 층을 포함하도록 상기 반도체 요소를 형성하는 것; 및

상기 차단 요소의 접합 층을 상기 반도체 요소의 접합 층에 접합하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 54

제53항에 있어서,

상기 차단 요소의 접합 층이 상기 반도체 요소의 금속화 패턴과 일치하도록 금속화되도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 55

제54항에 있어서,

상기 차단 요소의 접합 층이 상기 비전도성 층에 배치되는 복수의 접촉 패드를 포함하도록 상기 차단 요소를 형성하는 것을 더 포함하고, 상기 접촉 패드는 상기 반도체 요소의 접합 층의 복수의 접촉 패드를 미러링하도록 구성되는, 접합된 구조물의 형성 방법.

청구항 56

제46항 내지 제55항 중 어느 한 항에 있어서,

상기 복수의 광학적 차단 층 중 제1 차단 층이 상기 제1 차단 층의 외부의 액세스를 검출하도록 구성되는 검출 회로를 포함하도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 57

제56항에 있어서,

상기 검출 회로로부터 상기 차단 요소의 접촉 패드까지 연장되는 수직 상호연결부를 포함하도록 상기 차단 요소를 형성하는 것을 더 포함하는, 접합된 구조물의 형성 방법.

청구항 58

제57항에 있어서,

상기 반도체 요소의 능동 측의 정반대측인 상기 반도체 요소의 후면에 상기 차단 요소를 직접 접합하는 것을 더 포함하고, 상기 반도체 요소의 능동 회로는 상기 반도체 요소의 능동 측에 또는 그 근처에 배치되고, 또한 상기 반도체 요소의 능동 측에 또는 그 근처의 접촉 패드로부터 상기 차단 요소의 접촉 패드까지 연장되는 반도체 관통 비어(TSV)를 더 포함하고, 상기 TSV는 상기 반도체 요소와 상기 검출 회로 사이에 전기적 통신을 제공하는, 접합된 구조물의 형성 방법.

청구항 59

접합된 구조물로서,

능동 회로를 포함하는 반도체 요소; 및

접합 계면을 따라 접착제 없이 상기 능동 회로 위의 상기 반도체 요소에 직접 접합되는 차단 요소를 포함하고, 상기 차단 요소는 복수의 전도성 층을 포함하고, 상기 복수의 전도성 층은 상기 차단 요소의 수동적 전기 특성을 모니터링하는 검출 회로를 포함하고, 상기 검출 회로는 상기 능동 회로와 전기적 통신하는, 접합된 구조물.

청구항 60

제59항에 있어서,

능동 회로는 상기 차단 요소의 수동적 전기 특성의 변화를 검출하도록 구성되는, 접합된 구조물.

청구항 61

제59항 또는 제60항에 있어서,

상기 수동적 전기 특성의 변화를 검출하면, 상기 능동 회로는 외부의 시스템 또는 사용자에게 경고 메시지를 전송하도록 구성되는, 접합된 구조물.

청구항 62

제59항 내지 제61항 중 어느 한 항에 있어서,

상기 수동적 전기 특성은 상기 차단 요소의 커패시턴스를 포함하는, 접합된 구조물.

청구항 63

제62항에 있어서,

상기 복수의 전도성 층은 제1 전도성 층, 제2 전도성 층, 및 상기 제1 전도성 층과 제2 전도성 층 사이의 유전체 층을 포함하는, 접합된 구조물.

청구항 64

제59항 내지 제63항 중 어느 한 항에 있어서,

상기 차단 요소는 상기 반도체 요소의 전면의 반대측인 상기 반도체 요소의 후면에 직접 접합되고, 상기 능동 회로는 상기 후면보다 상기 전면에 더 가까이 배치되는, 접합된 구조물.

청구항 65

제64항에 있어서,

상기 능동 회로와 검출 회로 사이에 전기적 통신을 제공하는 기판 관통 비어(TSV)를 더 포함하는, 접합된 구조물.

청구항 66

제59항 내제 제65항 중 어느 한 항에 있어서,

상기 복수의 전도성 층은 상기 능동 회로의 광학적 판독을 저지하는 광학적 차단 구조의 역할을 하는, 접합된 구조물.

청구항 67

제66항에 있어서,

상기 복수의 전도성 층은 제1 차단 패턴 및 상기 제1 차단 패턴과 적어도 부분적으로 중첩하지 않는 제2 차단 패턴을 포함하는, 접합된 구조물.

청구항 68

제59항에 있어서,

제1항 내지 제58항 중 어느 한 항과 조합되는, 접합된 구조물.

청구항 69

접합된 구조물로서,

전면 및 상기 전면의 반대측의 후면을 갖는 반도체 요소 - 상기 반도체 요소는 상기 후면보다 상기 전면에 더 가까이 배치되는 능동 회로를 포함함 -; 및

접합 계면을 따라 접착제 없이 상기 능동 회로 위의 상기 반도체 요소의 후면에 직접 접합되는 차단 요소를 포함하고, 상기 차단 요소는 상기 차단 요소의 수동적 전기 특성을 모니터링하는 검출 회로를 포함하고, 상기 검출 회로는 상기 능동 회로와 전기적 통신하는, 접합된 구조물.

청구항 70

제69항에 있어서,

제1항 내지 제67항 중 어느 한 항과 조합되는, 접합된 구조물.

발명의 설명

기 술 분 야

[0001] 본 분야는 접합된 구조물의 광학적 차단 보호 요소 및 그 형성 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 칩(예, 집적 디바이스 다이)은 귀중한 및/또는 전용의 정보, 구조 또는 디바이스를 포함하는 보안에 민감한 컴포넌트를 포함하는 능동 회로를 포함할 수 있다. 예를 들면, 이러한 보안에 민감한 컴포넌트에는 기업의 지적 재산, 소프트웨어 또는 하드웨어 보안(예, 암호화) 피처, 프라이버시 데이터, 또는 기업이 제3자로부터 보안을 유지하고 숨기고자 하는 임의의 다른 컴포넌트 또는 데이터가 포함될 수 있다. 예를 들면, 제3자의 악의적 행위자는 경제적 및/또는 지정학적 이점을 얻기 위해 다양한 기술을 활용하여 보안에 민감한 컴포넌트에 대한 액세스를 시도할 수 있다. 따라서, 제3자가 반도체 칩에 액세스하지 못하도록 보안을 개선할 필요성이 계속 존재한다.

발명의 내용

[0003] 본 명세서에는 접합된 구조물이 개시되며, 이것은 능동 회로를 포함하는 반도체 요소; 및 접합 계면을 따라 접착제 없이 반도체 요소에 직접 접합되는 차단 요소를 포함하고, 차단 요소는 능동 회로 위에 배치되어 능동 회로의 광학적 판독을 저지하는 적어도 하나의 패턴화된 광학적 차단 층을 포함한다. 일부의 실시형태에서, 상기 적어도 하나의 패턴화된 광학적 차단 층은 복수의 광학적 폐쇄 층을 포함한다. 일부의 실시형태에서, 복수의 광학적 폐쇄 층은 접합 계면에 직교하는 방향을 따라 서로 간격을 두고 중첩되어 배치된다. 일부의 실시형태에서, 복수의 광학적 폐쇄 층의 각각의 광학적 폐쇄 층은 비전도성 층 및 비전도성 층 내에 적어도 부분적으로 매립된 패턴화된 불투명 재료를 포함한다. 일부의 실시형태에서, 패턴화된 불투명 재료는 접합 계면에 대체로 평행한 방향을 따라 연장되는 복수의 폐쇄 스트립을 포함한다. 일부의 실시형태에서, 복수의 폐쇄 스트립은 하나 이상의 전도성 재료를 포함한다. 일부의 실시형태에서, 하나 이상의 전도성 재료는 구리를 포함한다. 일부의 실시형태에서, 패턴화된 불투명 재료는 400 nm 내지 1 ㎜ 범위의 파장의 광을 차단하는 재료를 포함한다. 일부의 실시형태에서, 패턴화된 불투명 재료는 800 nm 내지 2500 nm 범위의 파장의 광을 차단하는 재료를 포함한다. 일부의 실시형태에서, 패턴화된 불투명 재료는 적외선(IR) 또는 근적외선(NIR) 중 적어도 하나에 대해 불투명하다.

[0004] 일부의 실시형태에서, 복수의 광학적 폐쇄 층의 제1 광학적 폐쇄 층은 제1 불투명 패턴을 포함하고, 복수의 광학적 폐쇄 층의 제2 광학적 폐쇄 층은 상기 제1 불투명 패턴과는 적어도 부분적으로 중첩되지 않는 제2 불투명 패턴을 포함하여서, 폐쇄 요소의 평면도에서, 제1 불투명 패턴 및 제2 불투명 패턴이 제1 불투명 패턴 및 제2 불투명 패턴 단독보다 반도체 요소의 더 큰 부분을 폐쇄한다. 일부의 실시형태에서, 제1 불투명 패턴은 제1 복수의 폐쇄 스트립을 포함하고, 제2 불투명 패턴은 제1 복수의 폐쇄 스트립과는 적어도 부분적으로 중첩되지 않는 제2 복수의 폐쇄 스트립을 포함한다. 일부의 실시형태에서, 폐쇄 요소는 적어도 3 개의 광학적 폐쇄 층을 더 포함하고, 패턴화된 폐쇄 재료는 광학적 폐쇄 층에 대해 평행한 평면에서 반도체 요소의 미리 정한 영역을 폐쇄한다. 일부의 실시형태에서, 광학적 폐쇄 층은 미리 정한 영역에 걸쳐 적어도 75%의 폐쇄를 제공하도록 구성된다. 일부의 실시형태에서, 광학적 폐쇄 층은 미리 정한 영역에 걸쳐 적어도 95%의 폐쇄를 제공하도록 구성된다. 일부의 실시형태에서, 미리 정한 영역은 제1 반도체 요소의 접합면의 적어도 75%를 포함한다. 일부의 실시형태에서, 미리 정한 영역은 제1 반도체 요소의 접합면의 적어도 95%를 포함한다.

[0005] 일부의 실시형태에서, 반도체 요소는 적어도 하나의 민감성 회로 영역 및 민감성 회로가 없는 적어도 하나의 영역을 포함하고, 패턴화된 불투명 재료는 적어도 하나의 민감성 회로 영역의 적어도 일부를 폐쇄하고 민감성 회로가 없는 적어도 하나의 영역은 폐쇄되지 않은 채로 남겨둔다. 일부의 실시형태에서, 복수의 광학적 폐쇄 층은 하나 이상의 광학적 필터링 층을 포함한다. 일부의 실시형태에서, 적어도 하나의 패턴화된 광학적 차단 층은 능동 회로의 광학적 판독을 저지하기 위해 광을 굴절, 산란, 확산, 회절 또는 위상 이동시키는 재료를 포함한다. 일부의 실시형태에서, 반도체 요소는 접합 층을 더 포함하고, 차단 요소는 반도체 요소의 접합 층에 직접 접합되는 접합 층을 포함한다. 일부의 실시형태에서, 차단 요소의 접합 층은 반도체 요소의 금속화 패턴과 일치하도록 금속화된다. 일부의 실시형태에서, 반도체 요소의 접합 층은 비전도성 층에 배치되는 복수의 접촉 패드를 포함하고, 차단 요소의 접합 층은 반도체 요소의 접촉 패드에 직접 접합되는 비전도성 층에 배치되는 복수의 접촉 패드를 포함한다. 일부의 실시형태에서, 차단 요소의 접합 층과 접합 계면에 직교하는 방향을 따라 접합 층으로부터 수직 방향으로 이격된 광학적 폐쇄 층은 적어도 하나의 수직 상호연결부를 통해 연결된다. 일부의 실시형태에서, 복수의 폐쇄 층 중 서로 옆에 있는 적어도 2 개의 폐쇄층은 이들 사이에 수직 상호연결부를 가지지 않는다. 일부의 실시형태에서, 능동 회로는 반도체 요소의 능동 측에 또는 그 근처에 배치되고, 차단 요소는 능동 측의 반대측인 반도체 요소의 후면에 직접 접합된다. 일부의 실시형태에서, 복수의 광학적 폐쇄 층 중 제1 폐쇄 층은 제1 폐쇄 층의 외부의 액세스를 검출하도록 구성되는 검출 회로를 포함한다. 일부의 실시

형태에서, 검출 회로는 외부의 액세스를 검출하도록 구성되는 수동 전자 회로 요소를 포함한다. 일부의 실시형태에서, 수동 전자 회로는 용량성 회로 요소 또는 저항성 회로 요소를 포함한다. 일부의 실시형태에서, 접합된 구조물은 검출 회로로부터 차단 요소의 접촉 패드까지 연장되는 수직 상호연결부를 더 포함한다. 일부의 실시형태에서, 차단 요소는 능동 측의 반대측의 반도체 요소의 후면에 직접 접합되고, 접합된 구조물은 반도체 요소의 능동 측 또는 그 근처의 접촉 패드로부터 차단 요소의 접촉 패드까지 연장되는 반도체 관통 비어(through semiconductor via; TSV)를 더 포함하고, TSV는 반도체 요소와 상기 검출 회로 사이에 전기적 통신을 제공한다. 일부의 실시형태에서, 차단 요소의 접촉 패드는 반도체 요소의 능동 측에 있는 접촉 패드에 직접 접합된다. 일부의 실시형태에서, 적어도 하나의 광학적 차단 층의 차단 층은 광학 필터를 더 포함한다.

[0006] 본 명세서에는 접합된 구조물이 개시되며, 이것은 능동회로를 포함하는 반도체 요소; 및 접합 계면을 따라 접착제 없이 반도체 요소에 직접 접합되는 차단 요소를 포함하고, 차단 요소는 제1 차단 층 및 이 제1 차단 층 위에 배치되는 제2 차단 층을 포함하고, 제1 차단 층은 제1 차단 패턴을 가지며, 제2 차단 층은 제1 차단 패턴과는 적어도 부분적으로 중첩되지 않는 제2 차단 패턴을 갖는다. 일부의 실시형태에서, 차단 요소의 평면도에서, 제1 차단 패턴 및 제2 차단 패턴은 능동 회로의 광학적 판독을 저지하도록 협동한다. 일부의 실시형태에서, 차단 패턴은 하나 이상의 전도성 재료를 포함한다. 일부의 실시형태에서, 하나 이상의 전도성 재료는 구리를 포함한다. 일부의 실시형태에서, 패턴화된 차단 재료는 700 nm 내지 1 mm 범위의 파장의 광을 차단하는 재료를 포함한다. 일부의 실시형태에서, 패턴화된 차단 재료는 800 nm 내지 2500 nm 범위의 파장의 광을 차단하는 재료를 포함한다. 일부의 실시형태에서, 패턴화된 차단 재료는 적외선(IR) 또는 근적외선(NIR) 중 적어도 하나에 대해 불투명하다. 일부의 실시형태에서, 반도체 요소는 접합 층을 더 포함하고, 차단 요소는 반도체 요소의 접합 층에 직접 접합되는 접합 층을 포함한다. 일부의 실시형태에서, 반도체 요소의 접합 층은 비전도성 층에 배치되는 복수의 접촉 패드를 포함하고, 차단 요소의 접합 층은 반도체 요소의 접촉 패드에 직접 접합되는 비전도성 층에 배치되는 복수의 접촉 패드를 포함한다. 일부의 실시형태에서, 제1 차단 층은 제1 차단 층의 외부의 액세스를 검출하도록 구성되는 검출 회로를 더 포함한다. 일부의 실시형태에서, 접합된 구조물은 검출 회로로부터 차단 요소의 접촉 패드까지 연장되는 수직 상호연결부를 포함한다. 일부의 실시형태에서, 차단 요소는 능동 측의 반대측의 반도체 요소의 후면에 직접 접합되고, 접합된 구조물은 반도체 요소의 능동 측 또는 그 근처의 접촉 패드로부터 차단 요소의 접촉 패드까지 연장되는 반도체 관통 비어(through semiconductor via; TSV)를 더 포함하고, TSV는 반도체 요소와 상기 검출 회로 사이에 전기적 통신을 제공한다.

[0007] 본 명세서에는 접합된 구조물을 형성하는 방법이 개시되며, 이 방법은 접착제 없이 반도체 요소를 차단 요소에 직접 접합하는 것을 포함하고, 반도체 요소는 능동 회로를 포함하고, 차단 요소는 능동 회로 위에 배치되어 능동 회로의 광학적 판독을 저지하는 적어도 하나의 패턴화된 광학적 차단 층을 포함한다. 일부의 실시형태에서, 이 방법은 복수의 광학적 차단 층이 접합 계면에 직교하는 방향을 따라 서로 이격되도록 차단 요소를 형성하는 것을 포함한다. 일부의 실시형태에서, 이 방법은 복수의 광학적 차단 층의 각각의 차단 층이 비전도성 층 및 비전도성 층 내에 적어도 부분적으로 매립되는 패턴화된 불투명 재료를 포함하도록 차단 요소를 형성하는 것을 포함한다. 일부의 실시형태에서, 이 방법은 패턴화된 불투명 재료가 접합 계면에 대체로 평행한 방향을 따라 연장되는 복수의 폐쇄 스트립을 포함하도록 차단 요소를 형성하는 것을 포함한다. 일부의 실시형태에서, 이 방법은 복수의 폐쇄 스트립이 하나 이상의 금속을 포함하도록 차단 요소를 형성하는 것을 포함한다. 일부의 실시형태에서, 이 방법은 패턴화된 불투명 재료가 700 nm 내지 1 mm 범위의 파장의 광을 차단하는 재료를 포함하도록 차단 요소를 형성하는 것을 더 포함한다. 일부의 실시형태에서, 이 방법은 패턴화된 불투명 재료가 800 nm 내지 2500 nm 범위의 파장의 광을 차단하는 재료를 포함하도록 차단 요소를 형성하는 것을 포함한다.

[0008] 일부의 실시형태에서, 이 방법은 접합 층을 포함하도록 차단 요소를 형성하는 것; 접합 층을 포함하도록 반도체 요소를 형성하는 것; 및 차단 요소의 접합 층을 반도체 요소의 접합 층에 접합하는 것을 포함한다. 일부의 실시형태에서, 이 방법은 차단 요소의 접합 층이 반도체 요소의 금속화 패턴과 일치하도록 금속화되도록 차단 요소를 형성하는 것을 포함한다. 일부의 실시형태에서, 이 방법은 차단 요소의 접합 층이 비전도성 층에 배치되는 복수의 접촉 패드를 포함하도록 차단 요소를 형성하는 것을 포함하고, 접촉 패드는 반도체 요소의 접합 층의 복수의 접촉 패드를 미러링하도록 구성된다. 일부의 실시형태에서, 이 방법은 복수의 광학적 차단 층 중 제1 차단 층이 제1 차단 층의 외부의 액세스를 검출하도록 구성되는 검출 회로를 포함하도록 차단 요소를 형성하는 것을 포함한다. 일부의 실시형태에서, 이 방법은 검출 회로로부터 차단 요소의 접촉 패드까지 연장되는 수직 상호연결부를 포함하도록 차단 요소를 형성하는 것을 포함한다. 일부의 실시형태에서, 이 방법은 반도체 요소의 능동 측의 정반대측인 반도체 요소의 후면에 차단 요소를 직접 접합하는 것을 포함하고, 반도체 요소의 능동 회로는 반도체 요소의 능동 측에 또는 그 근처에 배치되고, 또한 반도체 요소의 능동 측에 또는 그 근처의 접촉 패드로부터 차단 요소의 접촉 패드까지 연장되는 반도체 관통 비어(TSV)를 더 포함하고, TSV는 반도체 요소와

검출 회로 사이에 전기적 통신을 제공한다.

[0009] 본 명세서에는 접합된 구조물이 개시되며, 이것은 능동 회로를 포함하는 반도체 요소; 및 접합 계면을 따라 접착제 없이 능동 회로 위의 반도체 요소에 직접 접합되는 차단 요소를 포함하고, 차단 요소는 복수의 전도성 층을 포함하고, 복수의 전도성 층은 차단 요소의 수동적 전기 특성을 모니터링하는 검출 회로를 포함하고, 검출 회로는 능동 회로와 전기적 통신한다. 일부의 실시형태에서, 능동 회로는 차단 요소의 수동적 전기 특성의 변화를 검출하도록 구성된다. 일부의 실시형태에서, 수동적 전기 특성의 변화를 검출하면, 능동 회로는 외부의 시스템 또는 사용자에게 경고 메시지를 전송하도록 구성된다. 일부의 실시형태에서, 수동적 전기 특성은 차단 요소의 커패시턴스를 포함한다. 일부의 실시형태에서, 복수의 전도성 층은 제1 전도성 층, 제2 전도성 층, 및 제1 전도성 층과 제2 전도성 층 사이의 유전체 층을 포함한다. 일부의 실시형태에서, 차단 요소는 반도체 요소의 전면의 반대측인 반도체 요소의 후면에 직접 접합되고, 능동 회로는 후면보다 전면에 더 가까이 배치된다. 일부의 실시형태에서, 접합된 구조물은 능동 회로와 검출 회로 사이에 전기적 통신을 제공하는 기판 관통 비어(TSV)를 포함한다. 일부의 실시형태에서, 복수의 전도성 층은 능동 회로의 광학적 판독을 저지하는 광학적 차단 구조의 역할을 한다. 일부의 실시형태에서, 복수의 전도성 층은 제1 차단 패턴 및 제1 차단 패턴과 적어도 부분적으로 중첩하지 않는 제2 차단 패턴을 포함한다.

[0010] 본 명세서에는 접합된 구조물이 개시되며, 이것은 전면 및 이 전면의 반대측의 후면을 갖는 반도체 요소 - 이 반도체 요소는 후면보다 전면에 더 가까이 배치되는 능동 회로를 포함함 -; 및 접합 계면을 따라 접착제 없이 능동 회로 위의 반도체 요소의 후면에 직접 접합되는 차단 요소를 포함하고, 이 차단 요소는 차단 요소의 수동적 전기 특성을 모니터링하는 검출 회로를 포함하고, 이 검출 회로는 능동 회로와 전기적 통신한다.

도면의 간단한 설명

[0011] 도 1은 반도체 칩의 근적외선(NIR) 이미징의 예시도이다.

도 2a는 다수의 폐쇄 층을 갖는 보호 요소의 개략 측단면도이다.

도 2b는 다수의 폐쇄 층을 갖는 보호 요소의 개략 측단면도이다.

도 3은 폐쇄 층의 중첩을 예시하는 보호 요소의 개략 평단면도이다.

도 4a는 능동 칩의 능동 측에 접합된 보호 칩의 개략 측단면도이다.

도 4b는 능동 칩의 능동 측에 접합된 보호 칩의 개략 측단면도이다.

도 5a는 능동 칩의 능동 측에 접합된 광학 필터 층을 포함하는 보호 칩의 개략 측단면도이다.

도 5b는 능동 칩의 능동 측에 접합된 광학 필터 층 및 매립된 랜덤 반사 패턴을 조합시킨 보호 칩의 개략 측단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서에서 설명하는 바와 같이, 제3자(제3자의 악의적 행위자 등)는 집적 디바이스 다이와 같은 요소의 보안에 민감한 컴포넌트에 액세스를 시도할 수 있다. 일부의 요소에서, 보안에 민감한 컴포넌트는 넷리스트(netlist)와 비휘발성 메모리(NVM) 데이터의 조합에 의해 보호될 수 있다. 그러나, 제3자는 보안에 민감한 컴포넌트를 노출시키거나 아니면 보안에 민감한 컴포넌트에 액세스하기 위해 요소를 프로빙(probing) 및/또는 딜레이어링(delayering)하는 등 파괴적 및 비파괴적 기술을 조합함으로써 보안에 민감한 컴포넌트를 해킹하려고 시도할 수 있다. 경우에 따라, 제3자는 요소의 능동 회로 상에 전자기(EM)파를 펄싱(pulsing)하거나, 오류 주입 기술을 사용하거나, 근적외선(NIR) 레이저 트리거링 또는 집속 이온 빔(FIB)에 의한 회로 개조, 화학적 에칭 기법 및 기타 물리적, 화학적 및/또는 전자기 해킹 툴 및 심지어 리버스 엔지니어링을 사용함으로써 보안에 민감한 컴포넌트를 해킹하려고 시도할 수 있다. 이들 기술은 집적 회로와 같은 마이크로디바이스의 민감성 회로에 물리적으로 액세스하여 암호화된 정보를 직접 읽거나, 회로를 외부에서 트리거하여 암호화된 정보를 해제하거나, 제조 프로세스를 이해하거나, 또는 최종적으로 기밀 설계를 복제할 수 있는 충분한 정보를 추출하는 데 사용할 수 있다. 예를 들면, 경우에 따라 해커는 회로 설계, 메모리 또는 이 둘의 조합 내에 저장될 수 있는 암호화 키에 액세스하려고 시도할 수 있다. 또한 오류 주입 입력에 기초한 결과 출력을 분석하고, 재귀 분석을 통해 암호화 키 또는 데이터 내용을 특정함으로써 민감한 정보를 간접적으로 판독하는 기술이 사용될 수도 있다. 집적 디바이스 다이 또는 칩과 같은 요소 상에서 보안에 민감한 컴포넌트를 구조적으로 보호하는 것은

어렵다.

[0013] 따라서, 보안에 민감한 컴포넌트를 포함하는 요소(예, 반도체 집적 디바이스 다이)의 보안을 개선하는 것이 중요하다. 본 명세서에 개시된 다양한 실시형태는 제2 반도체 요소에 접합된 제1 반도체 요소를 포함하는 접합된 구조물에 관한 것이다. 제2 반도체 요소는 제1 반도체 요소의 능동 회로 위에 배치된 그리고 능동 회로의 광학적 질문 또는 광학적 액세스를 저지하도록 배치된 적어도 하나의(예, 복수의) 패턴화된 차단 층을 포함하는 보호 요소 또는 차단 요소를 포함할 수 있다.

[0014] 도 1은, 예를 들면, 반도체 요소(100)의 민감성 회로를 프로빙하기 위해 근적외선(NIR) 광학 프로브(126)를 사용하여 반도체 요소(100)를 이미징하는 종래의 접근법을 예시한다. 도 1에 도시된 바와 같이, 광학 프로빙 기술은 반도체 요소(100)의 능동 회로(116)에 액세스하는 데 사용될 수 있다. 광학 프로빙 기술에 의해 공격자는 민감성 회로를 재구성할 수 있고, 민감성 회로의 기밀성 및 보안을 손상시킬 수 있다. 반도체 요소(100)의 전면(114)과 다르게 광학 프로브(126)는 후면으로부터 배선이나 금속화에 의해 차단되지 않으므로 반도체 요소(100)의 후면(112)으로부터 능동 회로(116)에 액세스하는 데 광학 프로빙 기술이 사용될 수 있다. 광학 프로브(126)는 레이저 소스(122), 빔 스플리터(120), 검출기(124), 및 대물 렌즈(118)를 포함한다. 레이저 소스(122)는 레이저 빔을 생성하여 빔 스플리터(120)로 유도하고, 빔 스플리터(120)는 이 빔을 대물 렌즈(118)를 통해 반도체 요소(100)로 향하는 제1 성분과 미러(128) 및 검출기(124)로 향하는 제2 성분으로 분할할 수 있다. 후면 광학적 침입 기술은 회로의 활동을 감시하고, 비트스트림 정보를 수집하여 암호화 키를 검색하고 암호화된 정보를 손상시키는 데 사용될 수도 있다.

[0015] 따라서 광학적 침입을 방지하는 것은 보안에 민감한 컴포넌트를 포함하는 반도체 요소의 보안을 보장하는 데 중요하다. 종래의 기술은 폐쇄 케이싱으로 반도체 요소(100)를 패키징하는 것을 포함할 수 있다. 그러나, 종래의 패키징은 연삭, 화학적 에칭, 및 비교적 정교하지 않은 기타 제거 프로세스에 취약할 수 있고, 민감성 회로가 노출되어 광학 프로빙에 취약할 수 있다. 따라서 반도체 요소(100)에 보호 요소 또는 폐쇄 요소를 직접 접합함으로써 광학적 침입에 대한 보호를 포함하는 것이 바람직할 수 있다. 집적 디바이스 다이 또는 칩과 같은 반도체 요소(100)는 다른 요소 위에 장착되거나 적층될 수 있다. 예를 들면, 반도체 요소(100)는 패키지 기판, 인터포저, 재구성된 웨이퍼 또는 요소 등과 같은 캐리어에 장착될 수 있다. 다른 실시례로서, 반도체 요소(100)는 다른 반도체 요소(100)의 상면에 적층될 수 있으며, 예를 들면, 제1 집적 디바이스 다이는 제2 집적 디바이스 다이 상에 적층될 수 있다. 일부의 배치에서, 기판 관통 비어(TSV)는 반도체 요소(100)의 두께를 통해 수직으로 연장하여 전기 신호를 반도체 요소(100)를 통해, 예를 들면, 반도체 요소(100)의 제1 면으로부터 반도체 요소(100)의 반대측의 제2 면으로 전달할 수 있다. 본 개시의 실시형태는 보안에 민감한 회로 또는 회로 요소를 포함할 수 있는 능동 칩에 직접 접합되는 차단 층을 포함하는 보호 칩을 포함하는 접합된 구조물에 관한 것이다.

[0016] 도 2a 및 도 2b는 적어도 하나의 차단 층을 포함하는 보호 칩(300)(본 명세서에서 차단 칩이라고도 함)의 측단면도를 예시한다. 도 2a 및 도 2b의 실시형태에서, 적어도 하나의 차단 층은, 다양한 실시형태에 따라, 복수의 적층된 폐쇄(예, 광차단) 층(도 2a에 도시된 층 L1-L4(101-104), 및 도 2b에 도시된 층 L1-L3(105-107))을 포함한다. 반도체 산업 이외에서 광학 폐쇄의 종래의 기술은 전형적으로 민감성 회로를 둘러싸는 고체 시트 또는 금속 층 또는 기타 폐쇄 재료를 포함할 수 있다 그러나, 단일 폐쇄 층은, 특히, 폐쇄 재료와 반도체 재료의 열기계적 특성이 다르기 때문에 반도체 요소 내에 통합하기에 부적합할 수 있다. 예를 들면, 금속(구리 등)의 단일 블랭킷 층이 반도체 요소에 포함되는 경우, 고온에서 처리할 때 연속된 대형 금속 시트는 열기계적 응력을 유발할 수 있다. 따라서, 다양한 프로세스에서, 특정 층 내에서 전형적인 상보형 금속-산화물 반도체(CMOS)의 최대 금속 피복률은 재료들 사이의 파괴적인 열기계적 응력을 방지하기 위해 층 전체 면적의 15% 내지 45% 범위, 20% 내지 40% 범위, 22% 내지 35% 범위, 또는 25% 내지 33% 범위일 수 있다.

[0017] 보다 큰 폐쇄를 제공하면서 열기계적 응력을 줄이기 위해, 복수의 층을 보호 요소 또는 차단 요소(예, 보호 칩(300))의 폐쇄 구조 내에 배치할 수 있다. 도 2a는 각각의 층이 부분적으로 금속화된 4개의 층의 반도체 요소로 형성된 예시적인 반도체 요소(300)의 단면을 도시한다. 도시된 층들은 복수의(예, 4개) 패턴화된 백-엔드-오브-라인(back-end-of-line) 층, 예를 들면, 폐쇄 층 L1-L4(101, 102, 103, 104)을 포함할 수 있고, 각각의 층 L1-L4는 비전도성 재료(110)(예를 들면, 실리콘 산화물 또는 실리콘 질화물과 같은 유전체 재료) 및 폐쇄(예, 금속의 불투명) 스트립(108)의 패턴 또는 층 내에 형성된 다른 형상을 포함할 수 있다. 스트립(108)은, 다양한 실시형태에서, 입사하는 입사광 빔을 차단하는 구리 또는 임의의 다른 적절한 금속과 같은 전도성 재료를 포함할 수 있다.

[0018] 따라서, 폐쇄 재료(예, 불투명 스트립(108))는 광(또는 광의 대부분)의 투과가 차단 칩(300)을 통과하는 것을 차단하는 재료를 포함할 수 있다. 폐쇄 스트립을 이용하는 실시형태에서, 폐쇄 재료는 입사 빔의 파장의 광에 대해 불투명(예, 흡수 또는 반사)한 재료를 포함할 수 있다. 예를 들면, 도 2a의 예시적인 실시형태에서, 폐쇄 스트립(108)은 금속(예, 일부의 실시형태에서는 구리)과 같은 불투명 재료를 포함한다. 다른 실시형태에서, 폐쇄 재료는 입사 빔(들)의 파장(들)에서 광의 투과를 차단하거나 실질적으로 차단하는 다른 유형의 재료를 포함할 수 있다. 예를 들면, 다른 실시형태에서, 패턴화된 폐쇄 재료는 하나 이상의 제1 파장의 적어도 일부의 광을 투과하고, 하나 이상의 제2 파장의 적어도 일부의 광을 (예를 들면, 흡수 및/또는 간섭을 통해) 차단하는 하나 이상의 필터링 층을 포함할 수 있다. 따라서, 다양한 차단 광학 재료는 불투명 재료나 또는 다양한 파장의 광을 필터링하는 재료를 사용하여 광을 차단(또는 실질적으로 차단)할 수 있다. 추가적으로 또는 대안적으로, 일부의 실시형태에서, 차단 광학 재료는 다른 방식으로 광을 차단하는 광학 재료를 포함할 수 있다. 예를 들면, 이러한 실시형태에서, 차단 재료는 입사 빔 또는 출사 빔의 방향을 변화(예, 굴절)시킬 수 있고, 빔을 집속 또는 비집속(예, 렌싱(lensing))시킬 수 있고, 빔을 산란시킬 수 있고, 빔을 확산시킬 수 있고, 빔을 회절(예, 그레이팅(grating))시킬 수 있고, 빔을 위상/파장 이동시킬 수 있다. 따라서, 본 명세서에 기재된 광학적 차단 재료는 민감성 회로를 해킹하려고 시도할 때 사용되는 입사광을 차단하거나 변경하는 광차단 재료 또는 광변경 재료를 지칭한다. 차단 재료 중 일부는 상기한 바람직한 효과를 달성하기 위해 거칠기 가공된 재료를 포함할 수 있다. 불투명 폐쇄 스트립(108)의 맥락에서 본 명세서에서 설명한 바와 같이, 차단 재료 층은 능동 회로의 광학적 판독을 저지하는 적어도 하나의 광학적 차단 층(예, 복수의 차단 층)을 생성하도록 패턴화될 수 있다.

[0019] 도 2a의 실시례에서, 폐쇄 스트립(108)은 보호 요소(300)의 접합면에 대해 대체로 평행하게 배치될 수 있고, 서로 평행하게 연장될 수 있다. 일부의 실시형태에서, 스트립(108)은 칩(300)의 너비의 대부분에 걸쳐, 예를 들면, 평면도에서 보이는 바와 같이 칩(300)의 실질적으로 전체 너비에 걸쳐 연장될 수 있다. 본 명세서에서 사용되는 바와 같이, 패턴화된 불투명 재료는 단일 폐쇄 층(예, 101-104 중 하나)의 하나 이상의 폐쇄 스트립(108)을 포함한다. 일부의 실시형태에서, 본 명세서에서 설명한 바와 같이, 폐쇄 층의 패턴화된 불투명 재료는 400 nm 내지 1 mm 범위의 광의 적어도 90%, 800 내지 2500 nm 범위의 광의 적어도 90%, *예를 들면,* 근적외선(NIR) 광의 적어도 90%를 폐쇄(예를 들면, 차단)하는 재료로 제조되는 폐쇄 스트립(108)을 포함한다. 다양한 실시형태에서, 폐쇄 층(101-104)의 패턴화된 불투명 재료는 400 nm 내지 1 mm 범위의 광의 적어도 95% 또는 적어도 99%, 800 내지 2500 nm 범위의 광의 적어도 90%, 예를 들면, 근적외선(NIR) 광의 적어도 90%를 차단할 수 있다. 추가적으로 또는 대안적으로, 패턴화된 불투명 재료는 적외선(IR) 또는 자외선(UV)의 적어도 90%, 적어도 95%, 또는 적어도 99%를 차단할 수 있다. 폐쇄 층을 포함하는 광학적 차단 재료를 사용하는 이러한 실시형태에서, 재료는 불투명 층(예, 금속 스트립(108)), 하나 이상의 필터링 층, 또는 임의의 다른 광 차단 층을 포함할 수 있다.

[0020] 위에서 설명한 바와 같이, 다른 실시형태에서, 광학적 차단 재료는 400 nm 내지 1mm 범위의 파장의 광, 800nm 내지 2500 nm 범위의 파장의 광, 근적외선(NIR) 광, 적외선 광(IR) 또는 UV 광의 적어도 90%, 적어도 95%, 또는 적어도 99%를 굴절, 반사, 산란, 확산, 회절, 위상 이동 등을 수행하는 재료와 같은 다른 유형의 광변경 재료를 포함할 수 있다. 비폐쇄 차단 재료를 사용하는 실시형태에서, 입사 광의 적어도 일부는 차단 요소(300)를 통과하고, 능동 회로(116)에 충돌하고, 차단 요소(300)를 통해 다시 반사될 수 있다. 그러나, 비폐쇄 차단 재료는 반사된 광과 상호작용하여 광의 진폭 및/또는 위상을 변경할 수 있고, 이로 인해 광학 프로브에 의한 능동 회로의 광학적 판독을 저지할 수 있다.

[0021] 도 2a의 예시된 폐쇄 실시례에서, 층(101-104)(또는 층(102-104)) 내의 스트립(108)의 폐쇄 패턴은 협동하여 아래에 있는 능동 칩(310) 내의 능동 회로를 프로빙하는 데 사용되는 광 빔을 실질적으로 또는 완전히 차단하는 광학적 차단 구조물을 형성한다. 일부의 실시형태에서, 예를 들면, 폐쇄 패턴은 폐쇄(예, 불투명) 스트립(108) 상에 입사하는 광의 90% 내지 100%, 또는 95% 내지 100%를 차단할 수 있다. 예를 들면, 스트립(108)은 NIR 광 등의 광학 프로브에서 사용되는 광에 대해 불투명하도록 선택될 수 있다. 본 명세서에서 설명한 적어도 부분적으로 비중첩 방식으로 제공될 때, 폐쇄 층은 프로빙 기술로부터 광을 실질적으로 차단할 수 있다. 따라서, 복수의 폐쇄 또는 불투명 스트립(108)은, 평면도에서 보았을 때, 스트립들이 협동하여 광이 민감성 회로 상에 충돌하는 것을 저지(예를 들면, 실질적으로 방지)하도록 그리고 이에 따라 능동 회로의 광학적 판독을 저지하도록 배치될 수 있다. 따라서, 각각의 개별 폐쇄 층(예, 101-104 중 하나)은 부분적으로만 폐쇄한다. 예를 들면, 폐쇄 층(101)은 그 자체로는 입사광의 20%-40%만을 차단할 수 있다. 그러나, 이들 층들이 결합(예를 들면, 도 2a 및 도 2b)되어 입사광의 대부분 또는 전부를 차단 또는 저지하고 광학적 삽입에 대해 불투명한 실질적으로

완전한 폐쇄 요소를 형성한다. 도 2a에 도시된 바와 같이, 각각의 층의 총 면적의 약 25%의 최대 층당 금속 피복률로 완전한 차단(예, 폐쇄) 또는 실질적으로 완전한 차단(예, 폐쇄)이 달성될 수 있다. 따라서, 이러한 배치에서, 4개의 층이 서로 중첩되어 제공될 수 있고, 광학적 폐쇄(예, 불투명) 스트립(108)은, 평면도로부터, 불투명 스트립(108)이 아래에 있는 능동 칩의 적어도 민감성 회로를 완전히 또는 실질적으로 완전히 덮도록 엇갈리게 배치된다. 일부의 실시형태에서, 평면도에서 보이는 바와 같이, 불투명 스트립(108)들은 협동하여 아래에 있는 칩의 능동 표면 전체 또는 아래에 있는 칩 또는 다이의 상면 전체를 완전히 또는 실질적으로 완전히 덮을 수 있다. 다른 실시형태에서, 평면도에서 보이는 바와 같이, 불투명 스트립(108)들은 협동하여 아래에 있는 칩의 능동 회로(116)의 기밀 부분을 완전히 또는 실질적으로 완전히 덮을 수 있다.

[0022] 더 적은 수의 층을 사용하여 더 높은 정도의 금속 피복률로 동일한 수준의 폐쇄를 달성할 수 있다. 달리 명시되지 않는 한, 도 2b의 컴포넌트는 도 2a의 같은 번호가 부여된 컴포넌트와 동일하거나 대체로 유사할 수 있다. 예를 들면, 도 2b는 각각의 층의 금속화가 층 표면의 최대 33%까지 덮을 수 있는 3 개의 층으로 형성된 예시적인 반도체 요소(300)의 단면을 예시한다. 도시된 층들은 복수의(예를 들면, 3개의) 패턴화된 백-엔드-오브-라인 층 L1-L3(105, 106, 107)을 포함할 수 있고, 각각의 층 L1-L3은 비전도성 재료(110)(예를 들면, 실리콘 산화물 또는 실리콘 질화물과 같은 유전체 재료) 및 폐쇄(예, 금속, 불투명) 스트립(108)의 패턴 또는 패턴화된 광학적 차단 재료를 형성하도록 협동하는 층 내에 형성되는 기타 형상을 포함한다. 아래에서 더 상세히 논의되는 바와 같이, 금속화의 패턴화를 사용하여 폐쇄 요소(101-104)의 전체 금속화를 제한하면서 기밀 영역의 폐쇄를 달성할 수도 있다. 일부의 실시형태에서, 스트립(108)의 폐쇄 재료는 구리 등의 금속일 수 있다. 다른 실시형태에서, 상이한 폐쇄 재료를 사용할 수 있다. 일부의 실시형태에서, 위에서 설명한 바와 같이, 이들 재료는, 예를 들면, 400 nm 내지 1 mm 범위의 파장을 갖는 광의 적어도 90%, 적어도 95%, 또는 적어도 99%를 폐쇄(예를 들면, 불투명 또는 반사성)하도록 또는 아니면 차단하도록 선택(예를 들면, 굴절, 산란, 확산, 위상 이동 등을 수행하도록 선택)될 수 있다). 다양한 실시형태에서, 재료는 800 nm 내지 2500 nm 범위의 파장을 갖는 광의 적어도 90%, 적어도 95%, 또는 적어도 99%를 차단(예를 들면, 차단, 굴절, 반사, 산란, 확산, 위상 이동 등)하도록 선택될 수 있다. 다양한 실시형태에서, 재료는 근적외선(NIR) 광, 적외선 광, 또는 UV 광을 차단하도록 선택될 수 있다.

[0023] 도 3은 층(202, 204)을 포함하는 광학적 차단 반도체 요소(300)의 예시적인 실시형태의 부감도를 도시한다. 도 3에 도시된 바와 같이, 각각의 층(202, 204)의 표면은 광학적 폐쇄 장벽을 제공하기 위해 폐쇄 스트립(208)을 포함하는 차단 층으로 부분적으로 금속화될 수 있다. 각각의 층은 상이한 패턴에 따라 더 금속화될 수 있다. 예시적으로, 독립 층(202, 204) 내의 적어도 부분적으로 비중첩된 금속 패턴은, 적층되어 평면도에서 보았을 때, 층들이 협동하여, 위에서 보았을 때, 중첩되는 (또는 실질적으로 중첩되는) 폐쇄 장벽을 형성하도록 구성될 수 있다. 예를 들면, 요소(300)는 금속화 패턴(208)이 중첩된 층(202, 204)의 부감도를 보여준다. 이러한 방식으로, 복수의 부분적 금속화 층들이 단일 보호 반도체 요소(300)에 형성되어 단일 층에 의해 달성될 수 있는 것보다 큰 폐쇄를 제공할 수 있다. 당업자는 도 3에 도시된 보호 칩(300)이 예시적인 것일 뿐이며 다른 실시형태는 3개 이상의 층을 가질 수 있다는 것을 이해해야 한다. 또한, 다른 실시형태는 폐쇄를 달성하기 위해 상이한 금속화 패턴(208)을 사용할 수 있다. 예를 들면, 평면도에서 보았을 때 층(202, 204)의 상보형 패턴이 아래에 있는 능동 회로의 적어도 기밀 부분을 폐쇄하는 경우에는 층(202, 204)에 대한 다른 상보형 패턴이 사용될 수 있다. 또 다른 실시형태에서, 비폐쇄 차단 재료를 사용하는 예시적인 실시형태의 경우, 차단 재료는 하나의 층에서 패턴화될 수 있다. 예를 들면, 광을 산란, 회절 또는 확산하는 실시형태에서, 차단 층은, 적어도 일부의 광이 차단 요소(300)를 통과하고, 능동 칩(310)으로부터 반산 또는 산란되고, 패턴화된 차단 층(들)로부터의 간섭에 의해 흡수되거나 상쇄될 수 있도록 패턴화될 수 있다. 광학적 차단 재료의 추가의 실시례는 미국 특허 공개 제 US2020/0328162호로 공개된 미국 특허 출원 제16/844932호의 (적어도 문단 [0030], [0036], [0051], and [0066]-[0067]를 포함하는) 전체에 걸쳐 발견되며, 이것의 전체 내용은 그 전체가 모든 목적을 위해 본 명세서에 참조에 의해 통합된다.

[0024] 또한, 일부의 실시형태에서, 하나 이상의 차단 층(예, 폐쇄 구조의 금속화 패턴(208))은 불규칙하거나 칩(206) 영역의 일부만을 덮을 수 있다. 예를 들면, 능동 칩은 칩의 영역의 일부만을 덮는 민감성 회로를 가질 수 있다. 비용 및 성능 특성을 개선하기 위해, 보호 칩(300)은 능동 회로의 기밀 부분만을 차단(예, 폐쇄)하고 회로를 포함하지 않거나 비민감성 회로를 포함하는 칩의 다른 부분을 차단(예, 폐쇄 또는 차단)하지 않도록 구성될 수 있다. 또한, 일부의 실시형태에서, 광학 프로브 공격을 분쇄하기 위해 완전한 차단 또는 폐쇄가 필요하지 않을 수 있다. 이들 실시형태에서, 보호 칩(300)의 차단 층(들)(예, 폐쇄 층(202, 04))은 접합된 능동 칩의 기밀 영역의 부분적 차단 또는 폐쇄를 제공하도록 구성될 수 있다. 예를 들면, 부분적 폐쇄만을 사용하는 능동 칩은 저정밀 저비용 프로세스에 의해 패턴화된 중첩된 폐쇄 층(202, 204)을 포함하는 보호 칩(300)에 접합될 수

있다. 따라서 정밀도가 낮을수록 능동 칩의 기밀 영역의 원하는 보호를 제공하기에 충분한 부분적 폐쇄 영역을 칩 당 더 저렴한 비용으로 얻을 수 있다. 예를 들면, 폐쇄 층은 민감성 회로 영역의 50% 내지 75% 범위, 75% 내지 95% 범위, 또는 95% 내지 100% 범위에서, 또는 일부의 실시형태에서는 칩(310)의 전체 능동 영역의 50% 내지 75% 범위, 75% 내지 95% 범위, 또는 95% 내지 100% 범위에서 능동 칩의 영역에 대해 원하는 보호를 제공하도록 구성될 수 있다.

[0025] 도 4a는 직접 접합 전에 접합 계면(315)에 걸쳐 능동 칩(310)과 보호 칩(300)의 능동측 접합을 도시한다. 달리 명시되지 않는 한, 도 4a의 구조의 컴포넌트 및 기능은 도 2a 내지 도 3의 컴포넌트와 동일하거나 대체로 유사할 수 있다. 위에서 설명한 바와 같이, 비접합형 보호 구조는 연삭 또는 에칭 등의 다양한 제거 기술을 통해 제거되기 쉬울 수 있다. 따라서, 보호 칩(300)과 능동 칩(315)을 직접 접합하여 접합된 구조물을 형성하는 것이 바람직할 수 있다. 일부의 실시형태에서, 접합 계면(315)은 보호 칩(300)의 접합 층(340A)과 능동 칩(315)의 접합 층(340B) 사이의 접합부를 포함할 수 있다. 일부의 실시형태에서, 직접 접합은 요소(예, 보호 칩(300) 및 능동 칩(310))의 비전도성 필드 영역(341A, 341B)(예, 유전체 재료)가 서로 직접 접합되는 비전도성 비접착제 접합을 포함할 수 있다. 다른 실시형태에서, 도 4a에 도시된 실시형태와 같이, 직접 접합은 능동 칩(315)의 접촉 패드(350B)가 보호 칩(300)의 대응하는 접촉 패드(350A)에 직접 접합되고, 능동 칩(310)의 비전도성 영역(예, 비전도성 필드 영역(341B))이 보호 칩(300)의 대응하는 비전도성 영역(예, 비전도성 필드 영역(341A))에 직접 접합되는 하이브리드 접합을 포함할 수 있다. 도 4a에 도시된 바와 같이, 각각의 칩(300, 310)의 접합 층(340A, 340B)은 유전체 층(예, 실리콘 산화물, 실리콘 질화물, 실리콘 옥시니트로카바이드 등)과 같은 비전도성 필드 영역(341A, 341B)에 배치된 복수의 접촉 패드(350A, 350B)를 포함할 수 있다. 일부의 실시형태에서, 이 필드 영역(341A, 341B)은 비전도성 층(305)과 동일한 재료를 포함할 수 있다. 다른 실시형태에서, 이 필드 영역(341A, 341B)은 비전도성 층(304)과는 다른 재료를 포함할 수 있다. 접촉 패드(350A, 350B)는 전도성 재료, 예를 들면, 직접 하이브리드 접합용으로 준비된 구리와 같은 금속을 포함할 수 있다. 이들 실시형태에서, 보호 칩(300)의 접촉 패드(350A)는 능동 칩(310)의 접촉 패드(350B)를 미러링 및/또는 대응하도록 구성될 수 있다. 이 패드는 보호 칩과 능동 칩 사이에 전기적 접속 및/또는 기계적 접속을 제공할 수 있다. 본 명세서에서 사용되는 바와 같이, 패드는 기판 관통 비어(TSVs)(330) 또는 수직 상호연결부(360)(예, 패드(350A)로 표시된 것) 또는 필드 영역(예, 패드(350B)로 표시된 것) 내에 적어도 부분적으로 매립된 독립된 패드의 노출 단부를 포함할 수 있다.

[0026] 도 4a에 도시된 바와 같이, 보호 칩은 L1-L4으로 표시된 복수의 폐쇄 층(301-304)를 포함할 수 있다. 각각의 폐쇄 층(301-304)은 비전도성 재료(305) 및 전도성 폐쇄 재료(306)를 포함할 수 있다. 일부의 실시형태에서, 폐쇄 재료(306)는 스트립 또는 패턴으로 배치되어 각각의 층으로 능동 칩(310)의 부분적 폐쇄를 제공할 수 있다. 예를 들면, 도 4a에 도시된 바와 같이, 폐쇄 층(301-304)은 패턴화되어 위에서 설명한 바와 같은 조합된 폐쇄 효과를 제공할 수 있다. 위에서 설명한 바와 같이, 다른 실시형태에서, 층(301-304)에 대해 다른 유형의 패턴화된 광학적 차단 재료를 사용할 수 있다.

[0027] 위에서 언급한 바와 같이, 접합된 구조물은 침습적 템퍼링(tampering)의 대상이 될 수 있다. 예를 들면, 집속 이온 빔(FIB) 기술을 사용하여 칩의 보호 층을 박리할 수 있다. 따라서 이 기술에 의해 공격자는 보호 칩(300)으로부터 폐쇄 재료를 제거하여 추가의 광학 프로빙을 위해 능동 칩(310)의 능동 회로를 노출시킬 수 있다. 따라서 보호 칩(300)의 박리를 검출하는 것이 바람직할 수 있다. 일부의 실시형태에서, 보호 칩의 접합 층(340A)의 접촉 패드(350A)는 수직 상호연결부(360)에 의해 보호 칩(300)의 하나 이상의 폐쇄 층(302-304)에 더 연결될 수 있다. 마찬가지로, 능동 칩(310)의 접합 층(340B)의 접촉 패드(350B)는 전도성 트레이스(미도시)를 통해 능동 칩(310)의 능동 회로(116)에 연결될 수 있다. 보호 칩(300)의 접촉 패드(350A)를 대응하는 능동 칩의 접촉 패드(350B)에 접합시킴으로써, 일부의 실시형태에서, 접합된 구조물은 능동 칩(310)의 능동 회로와 보호 칩(300)의 하나 이상의 폐쇄 층 L1-L4(301-304) 사이에 전기적 접속을 가질 수 있다. 본 명세서에 개시된 각각의 실시형태에서, 하나 이상의 폐쇄 층은 접합 층(340A)를 포함할 수 있으므로 폐쇄 층(301)은 적어도 접합 층(340A)와 동일하거나 이것을 포함할 수 있다. 일부의 실시형태에서, 접합 층(340A)은 폐쇄를 보조하도록 (또는 아니면 광학적으로 차단하도록) 패턴화될 수 있는 반면, 다른 실시형태에서, 접합 층(340A)는 폐쇄에 실질적으로 기여하지 않고 층 L2-L4(302-304)는 협동하여 입사 광이 아래에 있는 민감성 회로와 상호작용하는 것을 폐쇄, 예를 들면, 차단한다.

[0028] 예시된 실시형태에서, 4 개의 폐쇄 층 L1-L4(301-304)을 포함하는 보호 칩(300)은 최상면의 폐쇄 층 L4(304)와 접합 층(340A)의 접촉 패드(350A) 사이에 전기적 접속을 제공하는 수직 상호연결부(360)를 가질 수 있다. 이들 실시형태에서, 능동 칩(310)은 보호 칩(300)의 하나 이상의 층과 능동 칩(310) 사이의 전기적 접속을 통해 보호

칩(300)의 하나 이상의 속성을 모니터링하도록 구성될 수 있다. 일부의 실시형태에서, 복수의 광학적 폐쇄 층(301-304)은 접합 계면(315)에 직교하는 방향을 따라 서로 간격을 두고 중첩되어 배치될 수 있다.

[0029] 예를 들면, 일부의 실시형태에서, 능동 칩(310)은 보호 칩(300)의 층 내의 하나 이상의 층(301-304), 층(301-304)의 일부, 또는 스트립(306)의 수동적 전기 특성(예, 커패시턴스)를 측정하도록 구성될 수 있다. 다른 실시형태에서, 능동 칩(310)은 보호 칩(300)의 층(301-304) 내의 층(301-304), 층(301-304)의 일부, 또는 요소(306)의 저항을 측정하도록 구성될 수 있다. 이들 실시형태에서, 어블레이티브 해킹(ablative hacking) 기술은 보호 칩(300)의 속성 변화를 측정함으로써(예를 들면, 폐쇄 층(들)(301-304), 폐쇄 층(들)(301-304)의 일부, 또는 능동 회로가 접속되는 폐쇄 층(들)(301-304)의 요소(306)의 저항 변화 및/또는 커패시턴스 변화 및/또는 임피던스의 변화를 측정함으로써) 검출될 수 있다. 예를 들면, FIB 프로브는 능동 칩(310)에 전기적으로 접속된 보호 칩(300)의 폐쇄 층(301-304)의 일부를 박리하는 데 사용될 수 있다. 일 실시례로서, 층(304) 내의 금속화는 용량성 회로의 제1 단자의 역할을 할 수 있고, 층(302) 내의 금속화는 용량성 회로의 제2 단자의 역할을 할 수 있고, 층(303) 내에 개입되는 유전체 재료는 용량성 회로의 유전체의 역할을 할 수 있다. 능동 칩(310)은 폐쇄 층(301-304)의 금속화의 박리에 의해 유발되는 보호 칩(300)의 커패시턴스(또는 다른 실시형태에서는 저항)의 변화를 검출할 수 있다. 이들 실시형태에서, 능동 칩(310)은 박리가 검출될 때 민감성 회로의 동작을 비활성화하거나 및/또는 외부의 시스템 또는 사용자에게 경고 메시지를 전송하도록 구성될 수 있다. 일부의 실시형태에서, 폐쇄 요소의 2개 이상의 인접 층들은 이들 사이에 전기적 접속을 가지지 않을 수 있다. 예를 들면, 보호 칩(300)은 수직 상호연결부(360)로 접합 층(340A)의 하나 이상의 접촉 패드(350A)에 연결된 제1 폐쇄 층(예, 층(304)) 및 접합 층(340A) 또는 제1 폐쇄 층(예를 들면, 용량성 회로의 개재되는 유전체의 역할을 하는 것)에 전기적으로 접속되지 않는 제2 폐쇄 층(303)을 가질 수 있다. 일부의 실시형태에서, 제2 폐쇄 층(303)이 접합 층(340A)과 제1 폐쇄 층(304) 사이에 위치하는 경우, 제1 폐쇄 층(304)은 제2 폐쇄 층(303)을 건너뛰고 용량성 회로의 단자로서 층(304)에 접속되는 바이패스 비어(bypass via)의 역할을 하는 수직 상호연결부(360)로 접합 층에 접속될 수 있다. 일부의 실시형태에서, 능동 칩(310)은 연속적으로 보호 칩(300)의 속성을 측정할 수 있다. 다른 실시형태에서, 능동 칩(310)은 주기적으로 보호 칩(300)의 속성을 측정할 수 있다. 일부의 실시형태에서, 능동 칩(310)은 시간 경과에 따른 보호 칩(300)의 속성의 상대적 변화(예, 커패시턴스의 변화)를 검출하도록 구성될 수 있다. 다른 실시형태에서, 능동 칩(310)은 보호 칩(300)의 속성을 미리 결정된 베이스라인과 비교하도록 구성될 수 있다. 따라서, 폐쇄 층(301-304) 중 하나 이상은 하나 이상의 폐쇄 층(301-304)의 외부의 액세스를 검출하도록 구성된 검출 회로의 역할을 할 수 있다. 검출 회로의 추가의 실시례는 미국 특허 제11,385,278호의 전체를 통해 발견되며, 이 특허의 전체 내용은 그 전체가 모든 목적을 위해 참조에 의해 본 명세서에 통합된다.

[0030] 도 4a의 실시형태에서, 보호 칩(300)은 능동 칩(310)의 능동 측(예, 전면)(370)에 접합될 수 있고, 접촉 패드(350A-350B)는 접합 계면(315)에서 또는 그 근처에서 능동 회로에 전기적으로 접속된다. 예시된 실시형태에서, 보호 칩(300)은 이 것이 접합되는 능동 칩(310)의 표면의 전체 또는 실질적으로 전체를 덮는 것으로 도시되어 있다. 이러한 실시형태에서, 보호 칩(300)은 능동 칩(310)의 전체 능동 영역의 적어도 10%, 적어도 90%, 또는 적어도 95%를 덮을 수 있다. 예를 들면, 보호 칩(300)은 능동 칩(310)의 전체 능동 영역의 10% 내지 100% 또는 능동 칩(310)의 전체 능동 영역의 90% 내지 99%를 덮을 수 있다. 위에서 설명한 바와 같이, 다른 실시형태에서, 보호 칩(300)은 능동 칩(310)의 영역의 일부만을 덮을 수 있으므로 보호 칩(300)은 능동 칩(310)의 민감성 회로만 또는 민감성 회로의 일부만을 덮는다. 일부의 실시형태에서, 민감성 회로는 능동 칩(310)의 하나 이상의 기밀 영역 내에 배치될 수 있고, 보호 칩(300)은 이들 영역의 각각의 대부분 또는 전부를 덮는다. 일부의 실시형태에서, 보호 칩(300)은 각각의 기밀 영역의 1% 내지 25%가 덮이도록 하나 이상의 기밀 영역의 각각의 일부를 덮을 수 있다. 일부의 실시형태에서, 보호 칩(300)은 각각의 기밀 영역의 최대 20%를 덮을 수 있다. 따라서, 보호 칩(300)의 폐쇄 스트립(306)은 서로 횡방향으로 연속될 필요는 없다. 또한, 하나의 층의 폐쇄 스트립(306)은 다른 층의 폐쇄 스트립(306)과 중첩될 수 있으나 필수적인 것은 아니다. 본 명세서에 도시된 일부의 실시형태(예, 도 2b)에서, 제1 층 및 제 2 층의 각각의 폐쇄 패턴은 적어도 부분적으로 중첩되지 않을 수 있다.

[0031] 도 4b는 능동 칩(310)의 후면(372) 상에서 능동 칩(310)에 직접 접합된 보호 칩(300)을 도시한다. 능동 회로(116)는 칩(310)의 후면(372)보다 전면(370)에 더 가까이 배치될 수 있다. 도 4b에 도시된 바와 같이, 보호 칩(300)과 능동 칩(310)의 후면(372) 사이의 접합 계면(315)에는 어떤 접촉 패드도 포함되지 않을 수 있다. 다른 실시형태에서, 보호 칩(300)과 능동 칩(310)의 접합 층(340A, 340B)에는 접촉 패드가 포함될 수 있다. 또한, 일부의 실시형태에서, 접촉 패드(350A, 350B)는 능동 칩(310)의 능동 회로(116)와 보호 칩(300)의 하나 이상의 폐쇄 층(301-304) 사이에 전기적 접속을 제공하여, 전술한 바와 같이, FIB 공격 등의 침입을 검출하기 위해 폐

쇄 층(301-304)의 전기적 특성을 모니터링할 수 있다. 예시된 실시형태에서, 예를 들면, 하나 이상의 기판 관통 비어(TSV)(330)는 능동 칩(310)의 전면 능동 측에 있는 접촉 패드(들)(350B)을 보호 칩(300)의 대응하는 접촉 패드(들)(350A)에 접속할 수 있다. 보호 칩(300)의 수직 상호연결부(도 4a 참조)는 보호 칩(300)의 접촉 패드(들)(350A)을 하나 이상의 폐쇄 층 L1-L4(301-304) 내의 금속 재료(306) 중 하나 이상의 금속 재료와 접속할 수 있다. 또 다른 실시형태는 능동 칩(310)의 능동 측 및 수동 측에 걸쳐 능동 칩(310)에 직접 접합된 복수의 보호 칩(300)을 포함할 수 있다. 이들 실시형태에서, 보호 칩(300)은 능동 칩(310)의 양측의 광학 프로빙으로부터의 보호를 제공할 수 있다.

[0032] 도 5a는 접합 계면(315)에 걸쳐 능동 칩(310)의 능동 측(370)에 직접 접합된 보호 칩(300)의 예시적인 일 실시형태를 도시하며, 여기서 보호 칩(300)은 광학 필터 요소를 통합한 광학 필터층(420)을 더 포함한다. 기밀 칩을 분석하는 비용을 증가시키기 위해, 분석 프로세스를 지연시키기 위해 공격자에게 오해를 제공하거나 혼란을 주는 데이터를 제공하는 것이 바람직할 수 있다. 따라서 광학 신호를 차단하는 것 대신에 또는 그것에 더하여, 신호를 변경하는 것이 유익할 수 있다. 일부의 실시형태에서, 광학 필터 요소는 들어오는 입사광의 위상 이동을 유발하도록 구성될 수 있다. 따라서, 이들 실시형태에서, 광학 필터 요소(이것은 패턴화된 필터 요소를 포함할 수 있음)는 공격자의 신호를 방해하기 위한 양의 간섭 또는 음의 간섭을 발생할 수 있다. 일부의 실시형태에서, 광학 필터 요소는 금속화 층을 포함할 수 있다. 일부의 실시형태에서, 광학 필터는 굴절 필터를 포함할 수 있다. 다른 실시형태에서, 광학 재료는 광을 필터링, 굴절, 및/또는 회절시키기에 적합한 다른 재료 및 구조를 포함할 수 있다. 일부의 실시형태에서, 광학 필터 요소는 보호 칩(300) 내에 2개 이상의 층을 포함할 수 있다.

[0033] 도 5b는 접합 계면(315)에 걸쳐 능동 칩(310)의 능동 측에 직접 접합된 보호 칩(300)의 예시적인 일 실시형태를 도시하며, 여기서 보호 칩(300)은 매립된 랜덤 반사형 패턴과 조합하여 반사형 필터 요소(457)를 형성하는 광학 필터 층(420)을 더 포함한다. 도 5b에 도시된 바와 같이, 반사형 필터 요소(457)는 레이저 프로브로부터의 광학적 신호를 변경하는 데 사용될 수 있다. 이들 실시형태에서, 입사 광선(455)은 프로브로부터 멀리 반사(456)되어 수신된 광의 겉보기 밀도를 변화시킨다. 예를 들면, 이로 인해 NIR 프로브가 회로의 프로빙된 영역의 밀도의 부정확한 판독 값을 보고할 수 있다.

[0034] 도 5a로 돌아가서, 일부의 실시형태에서 광학 필터 요소(420)는 보호 칩(300)의 단일 층을 포함할 수 있다. 이들 실시형태에서, 광학 필터 요소(420)는 하나 이상의 폐쇄 층(301-304) 및 접합 층(340A, 340B)을 더 포함하는 보호 칩(300)에 접합될 수 있고, 여기서 층(301)은 접합 층일 수 있다. 다른 실시형태에서, 복수의 광학 필터 층(420) 및/또는 폐쇄 층(301-303)은 보호 칩(300) 내에 조합될 수 있다. 또한, 단일 광학 필터 요소가 복수의 층을 포함할 수 있다. 예를 들면, 단일 광학 필터 요소는 프레넬 렌즈로서 작동하도록 구성된 단일의 또는 복수의 층을 포함할 수 있다. 일부의 실시형태에서, 광학 필터 요소는 능동 칩(310)의 기밀 영역만을 덮을 수 있다. 다른 실시형태에서, 광학 필터 요소는 능동 칩(310)의 전체 영역을 덮도록 구성될 수 있다.

[0035] 본 명세서에서 예시된 실시형태(예, 도 1- 도 5)는 직접 접합된 차단 칩 및 능동 칩(예, 300, 310)을 도시하고 있으나, 다른 실시형태에서, 차단 요소(300)는 땜납, 비전도성 페이스트 등의 접착제를 사용하여 능동 칩(310)에 접합될 수 있다. 또한, 일부의 실시형태에서, 차단 요소(300)에는 능동 회로(예, 트랜지스터)가 없을 수 있다.

[0036] 직접 접합 방법 및 직접 접합된 구조물의 실시례

[0037] 본 명세서에 개시된 다양한 실시형태는 2 개의 요소(예, 요소(300, 310))가 개재하는 접착제 없이 서로 직접 접합될 수 있는 직접 접합된 구조물에 관한 것이다. 2개 이상의 반도체 요소(예, 집적 디바이스 다이, 웨이퍼 등)를 서로 적층하거나 접합하여 접합된 구조물을 형성할 수 있다. 하나의 요소의 전도성 접촉 패드는 다른 요소(예, 접촉 패드(350A, 350B))의 대응하는 전도성 접촉 패드에 전기적으로 접속될 수 있다. 임의의 적절한 수의 요소가 접합된 구조물로 적층될 수 있다.

[0038] 일부의 실시형태에서, 요소들은 접착제 없이 직접 접합될 수 있다. 다양한 실시형태에서, 제1 요소(예, 보호 또는 폐쇄 요소)의 비전도성 또는 유전체 재료는 접착제 없이 제2 요소(예, 능동 칩)의 대응하는 비전도성 또는 유전체 필드 영역(예, 341A, 341B)에 직접 접합될 수 있다. 비전도성 재료는 제1 요소의 비전도성 접합 영역 또는 접합 층(예, 340A, 340B)으로 부를 수 있다. 일부의 실시형태에서, 제1 요소의 비전도성 재료는 유전체 대 유전체 접합 기술을 사용하여 제2 요소의 대응하는 비전도성 재료에 직접 접합될 수 있다. 예를 들면, 유전체 대 유전체 접합부는 적어도 미국 특허 제9,564,414호, 제9,391,143호 및 제10,434,749호에 개시된 직접 접합 기술을 사용하여 접착제 없이 형성될 수 있고, 이 각각의 특허의 전체 내용은 그 전체가 모든 목적을 위해 본원

에 참조에 의해 통합된다.

[0039] 다양한 실시형태에서, 하이브리드 직접 접합이 접착제를 개재하지 않고 형성될 수 있다. 예를 들면, 유전체 접합면은 고도의 평활도로 연마될 수 있다. 접합면은 세척되고, 표면을 활성화하기 위해 플라즈마 및/또는 에천트에 노출될 수 있다. 일부의 실시형태에서, 표면은 활성화 후 또는 활성화 중에 (예, 플라즈마 및/또는 에칭 프로세스 중에) 종(species)을 사용하여 종결될 수 있다. 이론에 의해 제한되지 않고, 일부의 실시형태에서, 활성화 프로세스를 수행하여 접합면의 화학적 결합을 파괴할 수 있고, 종결 프로세스는 직접 접합 중에 접합 에너지를 개선하는 추가의 화학 종을 접합면에 제공할 수 있다. 일부의 실시형태에서, 활성화 및 종결은 동일한 단계(예, 플라즈마 또는 습식 에천트)에서 제공되어 표면을 활성화 및 종결시킨다. 다른 실시형태에서, 접합면은 독립된 처리로 종결되어 직접 접합을 위한 추가의 종을 제공할 수 있다. 다양한 실시형태에서, 종결 종은 질소를 포함할 수 있다. 또한, 일부의 실시형태에서, 접합면은 불소에 노출될 수 있다. 예를 들면, 층 및/또는 접합 계면의 근처에 하나 이상의 불소 피크가 존재할 수 있다. 따라서, 직접 접합된 구조물에서, 2 개의 유전체 재료들 사이의 접합 계면(예, 315)은 질소 함량이 더 높은 및/또는 접합 계면에서 불소 피크를 갖는 매우 평활한 계면을 포함할 수 있다. 활성화 및/또는 종결 처리의 추가의 실시례는 미국 특허 제9,564,414호; 제9,391,143호; 및 제10,434,749호의 전체에 걸쳐 발견될 수 있고, 이들 특허의 각각의 전체 내용은 그 전체가 모든 목적을 위해 참조에 의해 본 명세서에 통합된다.

[0040] 다양한 실시형태에서, 제1 요소의 전도성 접촉 패드는 또한 제2 요소의 대응하는 전도성 접촉 패드에 직접 접합될 수도 있다. 예를 들면, 하이브리드 접합 기술은 전술한 바와 같이 제조된 공유 결합된 유전체 대 유전체 표면을 포함하는 접합 계면을 따라 도체 대 도체 직접 접합을 제공하는 데 사용될 수 있다. 다양한 실시형태에서, 도체 대 도체(예, 접촉 패드 대 접촉 패드) 직접 접합 및 유전체 대 유전체 하이브리드 접합은 적어도 미국 특허 제9,716,033호 및 제9,852,988호에 개시된 직접 접합 기술을 사용하여 형성될 수 있고, 이들 특허의 각각의 전체 내용은 그 전체가 모든 목적을 위해 참조에 의해 본원에 통합된다.

[0041] 예를 들면, 유전체 접합면은, 위에서 설명한 바와 같이, 준비되어 접착제를 개입하지 않고도 직접 접합될 수 있다. 전도성 접촉 패드(이것은 비전도성 유전체 필드 영역에 의해 둘러싸일 수 있음)는 또한 접착제를 개입하지 않고도 서로 직접 접합될 수 있다. 일부의 실시형태에서, 각각의 접촉 패드는 유전체 필드 또는 비전도성 접합 영역의 외면(예, 상면) 아래에 리세스, 예를 들면, 30 nm 미만, 20 nm 미만, 15 nm 미만, 또는 10 nm 미만의 리세스, 예를 들면, 2 nm 내지 20 nm 범위, 또는 4 nm 내지 10 nm 범위의 리세스가 형성될 수 있다. 비전도성 접합 영역은 일부의 실시형태에서는 실온에서 접착제 없이 서로 직접 접합될 수 있고, 후속하여 이 접합된 구조물은 어닐링될 수 있다. 어닐링 시에 접촉 패드는 팽창하여 서로 접촉함으로써 금속 대 금속의 직접 접합을 형성할 수 있다. 유리하게는, 캘리포니아 산호세의 Xperi에서 구입할 수 있는 Direct Bond Interconnect, 또는 DBI® 등의 하이브리드 접합 기술을 사용하면 직접 접합 계면에 걸쳐 연결된 고밀도의 패드(예, 규칙 배열의 경우 작은 피치 또는 미세한 피치)를 구현할 수 있다. 일부의 실시형태에서, 접합 패드의 피치 또는 접합된 요소들 중 하나의 접합면 내에 매립된 전도성 트레이스는 40 마이크론 미만 또는 10 마이크론 미만 또는 심지어 2 마이크론 미만일 수 있다. 일부의 용도의 경우, 접합 패드의 치수 중 하나에 대한 접합 패드의 피치의 비율은 5 미만 또는 3 미만, 경우에 따라서는 2 미만이 바람직하다. 다른 용도에서, 접합된 요소 중 하나의 접합면에 매립된 전도성 트레이스의 너비는 0.3 내지 3 마이크론일 수 있다. 다양한 실시형태에서, 접촉 패드 및/또는 트레이스는 구리를 포함할 수 있으나 다른 금속이 적합할 수도 있다.

[0042] 따라서, 직접 접합 프로세스에서, 제1 요소는 접착제의 개입 없이 제2 요소에 직접 접합될 수 있다. 일부의 배치에서, 제1 요소는 단일화된 집적 디바이스 다이 또는 단일화된 보호 또는 폐쇄 요소 등의 단일화된 요소를 포함할 수 있다. 다른 배치에서, 제1 요소는, 단일화되었을 때, 복수의 집적 디바이스 다이를 형성하는 복수(예, 수십개, 수백개, 또는 그 이상)의 디바이스 영역을 포함하는 캐리어 또는 기판(예, 웨이퍼)를 포함할 수 있다. 마찬가지로, 제2 요소는 단일화된 집적 디바이스 다이와 같은 단일화된 요소를 포함할 수 있다. 다른 배치에서, 제2 요소는 캐리어 또는 기판(예, 웨이퍼)를 포함할 수 있다.

[0043] 본 명세서에서 설명한 바와 같이, 제1 요소 및 제2 요소는 접착제 없이 서로 직접 접합될 수 있고, 이는 퇴적 프로세스와 다르다. 일 실시례에서, 접합된 구조물에서 제1 요소의 너비는 제2 요소의 너비와 유사할 수 있다. 일부의 다른 실시형태에서, 접합된 구조물에서 제1 요소이 너비는 제2 요소의 너비와 다를 수 있다. 접합된 구조물에서 더 큰 요소의 너비 또는 면적은 더 작은 요소의 너비 또는 면적보다 적어도 10% 더 클 수 있다. 따라서 제1 요소 및 제2 요소는 비퇴적형 요소를 포함할 수 있다. 또한, 퇴적된 층과 달리 직접 접합된 구조물은 나노공극이 존재하는 접합 계면을 따라 결함 영역을 포함할 수 있다. 나노공극은 접합면의 활성화(예, 플라즈마에 노출)로 인해 형성될 수 있다. 위에서 설명한 바와 같이, 접합 계면은 활성화 및/또는 최종 화학적 처리

프로세스로부터 나온 재료의 농도를 포함할 수 있다. 예를 들면, 활성화를 위해 질소 플라즈마를 사용하는 실시형태에서, 접합 계면에서 질소 피크가 형성될 수 있다. 활성화를 위해 산소 플라즈마를 사용하는 실시형태에서, 접합 계면에서 산소 피크가 형성될 수 있다. 일부의 실시형태에서, 접합 계면은 실리콘 옥시나이트라이드, 실리콘 옥시카보나이트라이드, 또는 실리콘 카보나이트라이드를 포함할 수 있다. 본 명세서에서 설명한 바와 같이, 직접 접합은 반데르발스 결합보다 강한 공유 결합을 포함할 수 있다. 접합 층은 고도의 평활도로 평탄화된 연마 표면을 포함할 수도 있다.

[0044] 다양한 실시형태에서, 접촉 패드들 사이의 금속 대 금속 결합은 구리 결정립이 접합 계면을 가로질러 서로의 내부로 성장하도록 접합될 수 있다. 일부의 실시형태에서, 구리는 접합 계면을 가로질러 구리 확산을 개선하기 위해 결정 평면을 따라 배향된 결정립을 가질 수 있다. 접합 계면은 접합된 접촉 패드의 적어도 일부까지 실질적으로 전적으로 확장될 수 있으므로 접합된 접촉 패드나 그 근처에 있는 비전도성 접합 영역들 사이에는 간극이 실질적으로 존재하지 않는다. 일부의 실시형태에서, 장벽 층이 접촉 패드 아래에 제공될 수 있다(예, 이것을 구리를 포함할 수 있음). 다른 실시형태에서, 그러나, 예를 들면, 그 전체가 모든 목적을 위해 본 명세서에 참조에 의해 통합되는 미국 2019/0096741에 기술된 바와 같이, 접촉 패드 아래에는 장벽 층이 없을 수 있다.

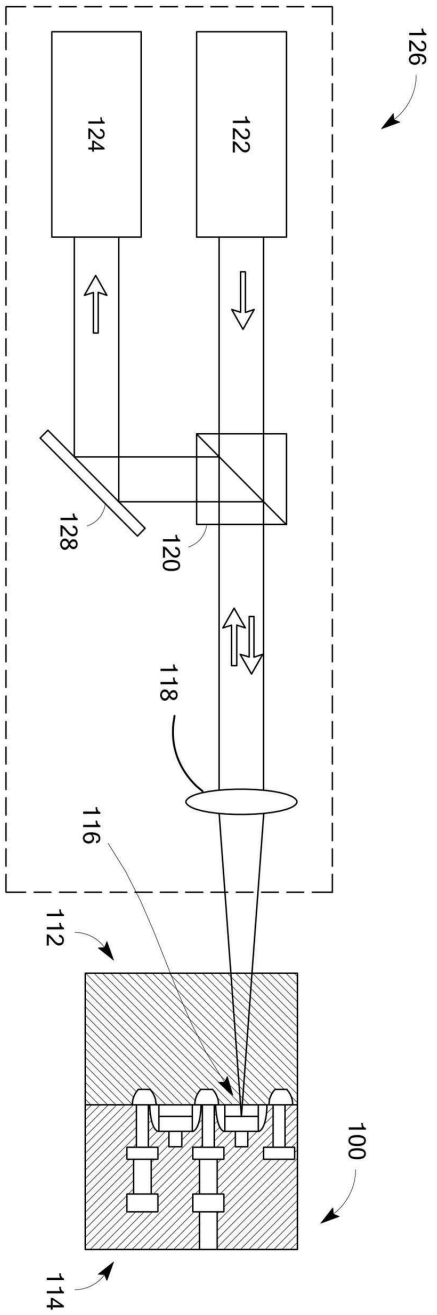
[0045] 본 설명 및 청구범위의 전체를 통해 문맥상 별단의 의미를 가지지 않는 경우, "포함"이라는 용어는 배타적 또는 망라적 의미와 대조되는 포괄적 의미, 즉 포함하지만 제한되지 않는다는 의미로 해석되어야 한다. 본 명세서에서 일반적으로 사용되는 "결합"이라는 용어는 직접 연결되거나 하나 이상의 중간 요소를 개재하여 연결되는 2개 이상의 요소를 지칭한다. 마찬가지로, 본 명세서에서 일반적으로 사용되는 "연결"이라는 용어는 직접 연결되거나 하나 이상의 중간 요소를 개재하여 연결되는 2개 이상의 요소를 지칭한다. 또한, "본 명세서", "위", "아래", 및 유사어는 본 명세서에서 사용되는 경우에 본 출원 전체를 지칭하는 것이고, 본 출원의 임의의 특정 부분을 지칭하는 것이 아니다. 또한, 본 명세서에서 사용되는 바와 같이, 제1 요소가 제2 요소의 "위" 또는 "상"에 존재하는 것으로 기술된 경우, 제1 요소와 제2 요소가 직접 접촉하도록 제1 요소가 제2 요소의 직상부에 존재할 수 있고, 또는 하나 이상의 요소가 제1 요소와 제2 요소 사이에 개재하도록 제1 요소는 제2 요소의 "위" 또는 "상"에 간접적으로 존재할 수 있다. 문맥이 허용하는 경우, 위의 상세한 설명에서 단수 또는 복수를 사용하는 용어는 각각 복수 또는 단수를 포함할 수도 있다. 2개 이상의 항목의 리스트에 관한 "또는"이라는 용어는 리스트의 일부의 항목, 리스트의 모든 항목, 및 리스트의 항목들의 조합 등 그 용어에 대한 모든 해석을 포함한다.

[0046] 또한, 본 명세서에서 사용되는 조건부 언어, 특히 "할 수 있다"는 언어는 특별히 달리 명시되지 않는 한 또는 사용되는 문맥 내에서 다르게 이해되지 않는 한 일반적으로 특정 실시형태가 특정 피처, 요소 및/또는 상태를 포함하는 반면에 다른 실시형태는 특정 피처, 요소 및/또는 상태를 포함하지 않는 것을 전달하기 위한 것이다. 따라서, 이러한 조건부 언어는 일반적으로 피처, 요소 및/또는 상태가 하나 이상의 실시형태에 어떤 형태로든 요구된다는 것을 의미하지 않는다.

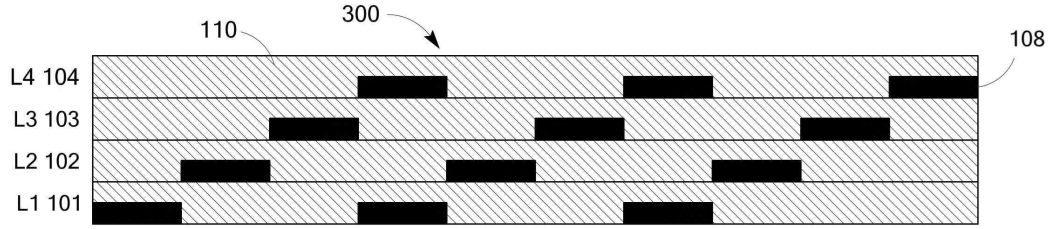
[0047] 특정 실시형태가 설명되었으나 이들 실시형태는 예시로서만 제시된 것이며, 본 개시의 범위를 제한하기 위한 것이 아니다. 실제로 본 명세서에 기술된 새로운 장치, 방법, 및 시스템은 다양한 다른 형태로 구현될 수 있고, 또한 본 명세서에 기술된 방법 및 시스템의 형태에서 다양한 생략, 치환 및 변경이 본 개시의 정신을 벗어나지 않고 실시될 수 있다. 예를 들면, 블록들은 주어진 배치로 제공되지만, 대안적 실시형태는 다른 컴포넌트 및/또는 회로 토폴로지를 사용하여 유사한 기능을 수행할 수 있고, 일부의 블록은 삭제, 이동, 추가, 세분, 조합 및 수정될 수 있다. 이들 블록의 각각은 다양한 다른 방식으로 구현될 수 있다. 위에서 설명한 다양한 실시형태의 요소 및 행위의 적절한 조합들은 조합되어 추가의 실시형태를 제공할 수 있다. 첨부된 청구항과 그 균등물은 본 개시의 범위 및 정신 내에 속하는 이러한 형태 또는 개조를 포함하도록 의도된다.

도면

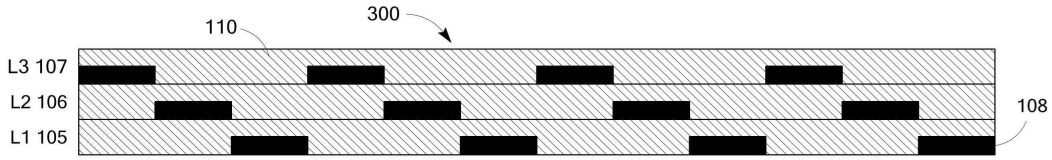
도면1


126
124
122
128
120
118
116
112
100
114

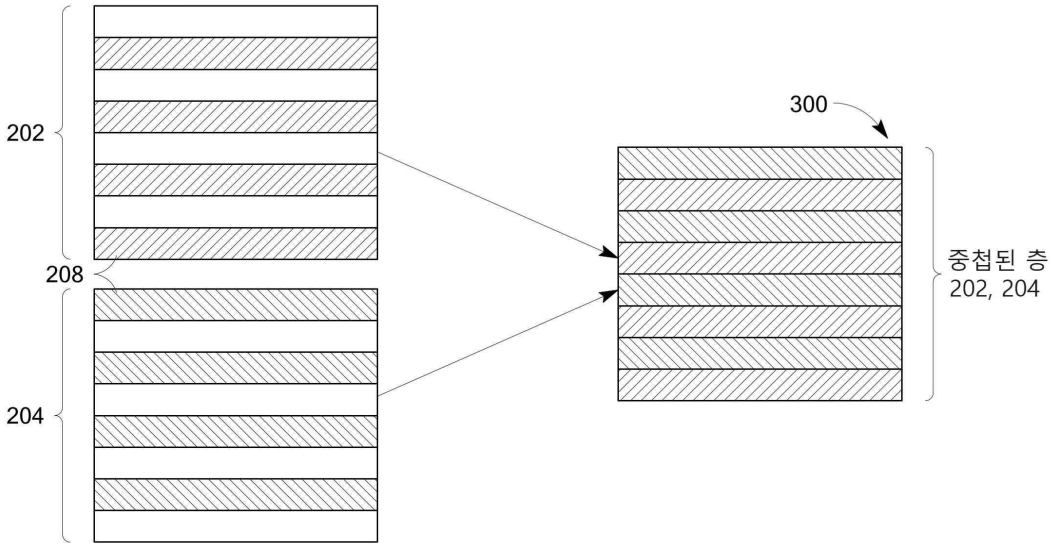
도면2a


110
300
108
L4 104
L3 103
L2 102
L1 101

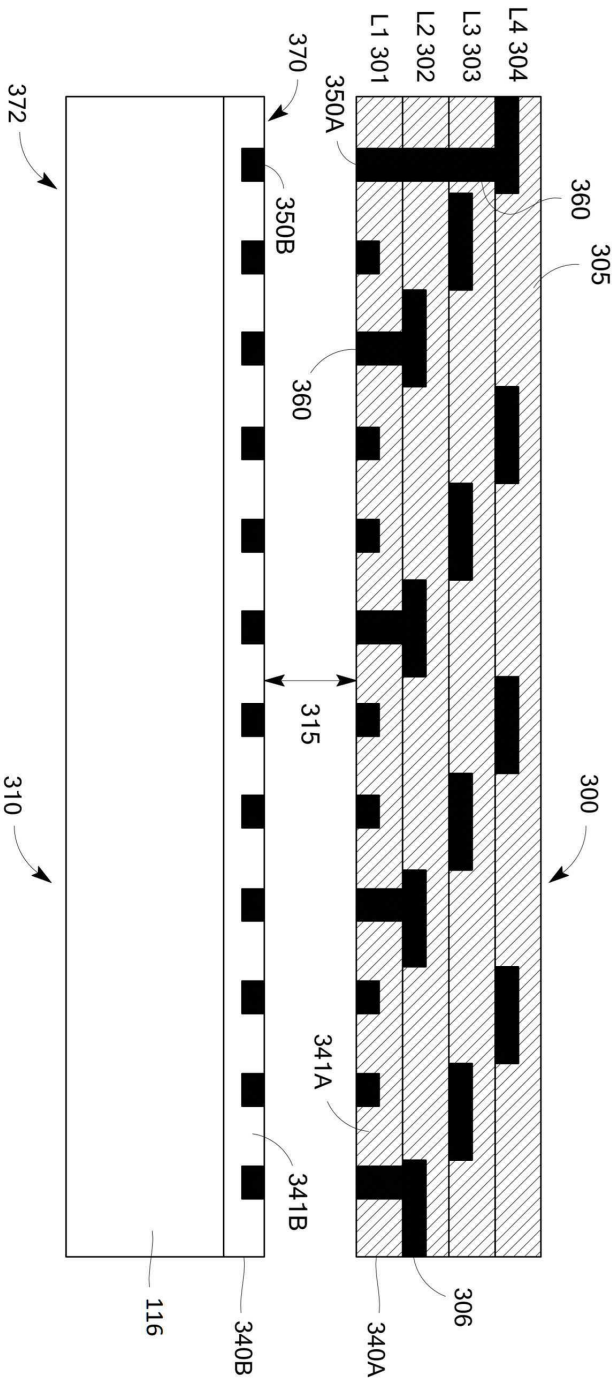
도면2b



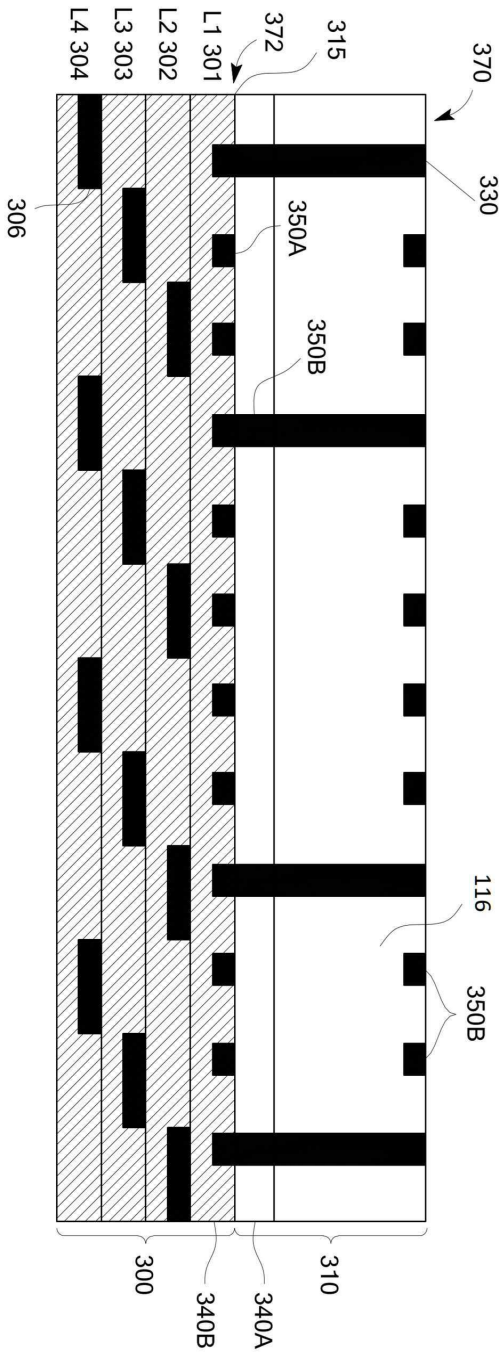
도면3



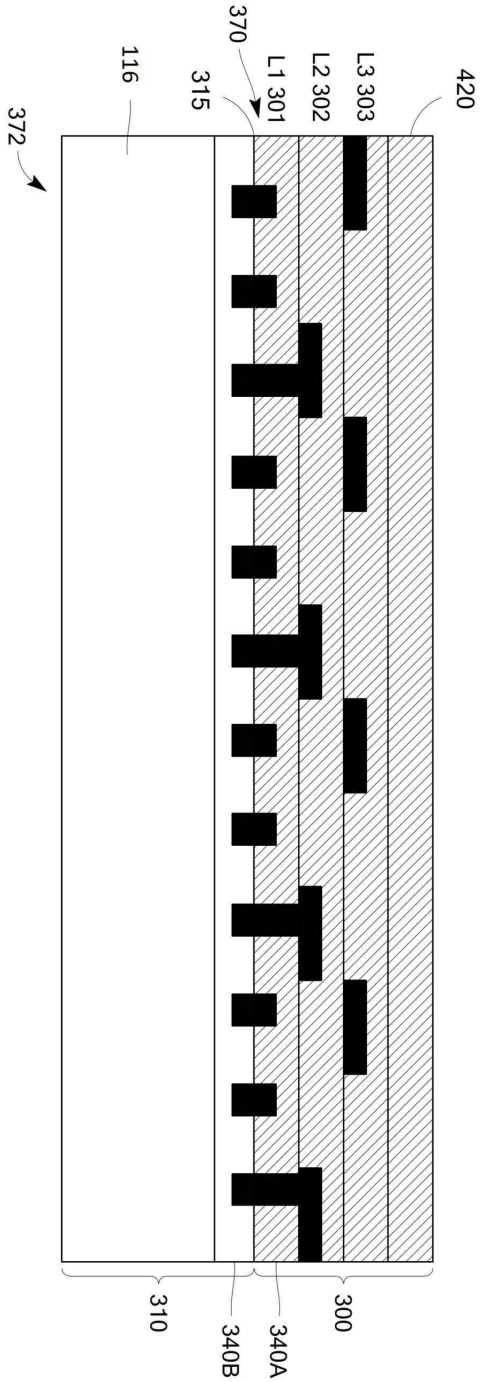
도면4a


L4 304
L3 303
L2 302
L1 301
370
372
350A
350B
360
305
360
315
310
300
341A
341B
116
340B
340A
306

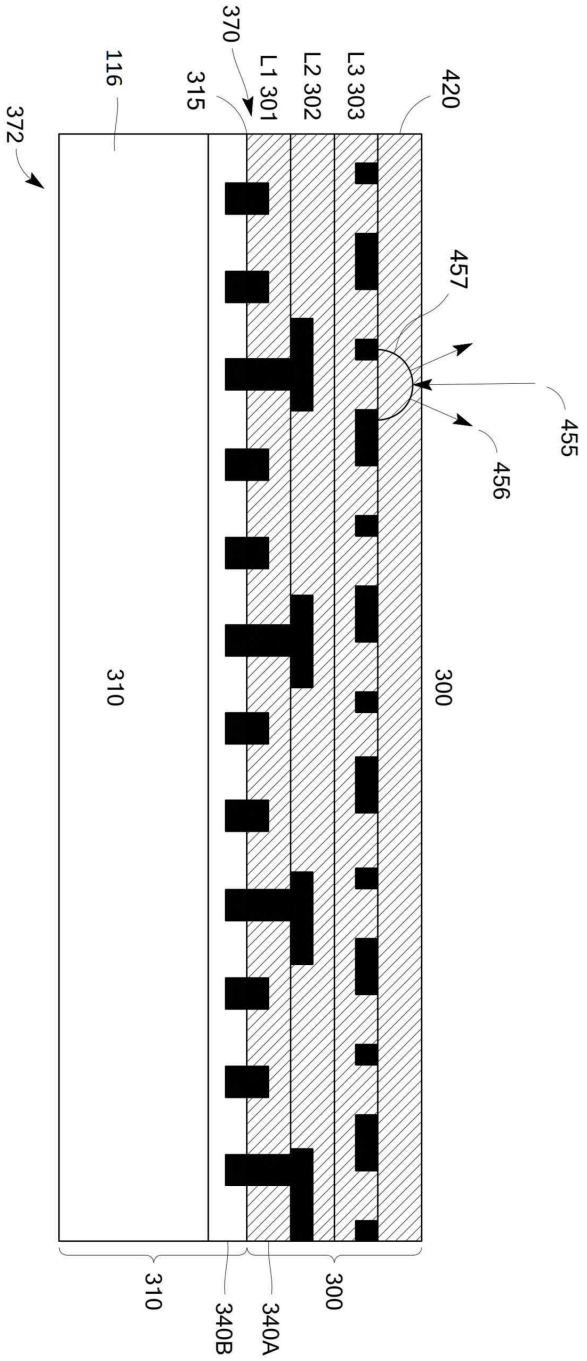
도면4b


L4 304
L3 303
L2 302
L1 301
372
315
370
330
306
350A
350B
116
350B
300
340B
340A
310

도면5a



도면5b


370
116
315
L1 301
L2 302
L3 303
420
372
457
455
456
310
300
310
340B
340A
300