



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월23일
(11) 등록번호 10-0859624
(24) 등록일자 2008년09월16일

(51) Int. Cl.
H01L 21/60 (2006.01)
(21) 출원번호 10-2001-0052441
(22) 출원일자 2001년08월29일
심사청구일자 2006년08월22일
(65) 공개번호 10-2002-0018103
(43) 공개일자 2002년03월07일
(30) 우선권주장
JP-P-2000-00261355 2000년08월30일 일본(JP)
(56) 선행기술조사문헌
JP03094460 A
JP03099456 A

(73) 특허권자
가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고
(72) 발명자
단노다다또시
일본도쿄도지요다꾸마루노우찌1쥬메5-1신마루빌딩
가부시키가이샤히타치세이사쿠쇼지적소유권본부내
아라이가즈오
일본도쿄도지요다꾸마루노우찌1쥬메5-1신마루빌딩
가부시키가이샤히타치세이사쿠쇼지적소유권본부내
시미즈이찌오
일본도쿄도지요다꾸마루노우찌1쥬메5-1신마루빌딩
가부시키가이샤히타치세이사쿠쇼지적소유권본부내
(74) 대리인
구영창, 장수길

전체 청구항 수 : 총 6 항

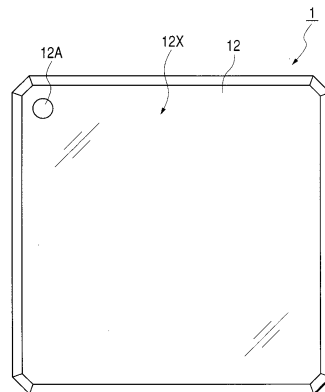
심사관 : 백양규

(54) 반도체 장치의 제조 방법

(57) 요약

반도체 장치의 제조 방법에 있어서, 일주면에 복수의 전극 부재가 개개로 분리되어 배치된 기판을 준비하는 공정과, 상기 기판의 일주면에 반도체 칩을 배치하고, 상기 반도체 칩의 일주면에 형성된 복수의 전극과 상기 복수의 전극 부재를 각각 전기적으로 접속하는 공정과, 상기 기판의 일주면에 상기 반도체 칩 및 상기 복수의 전극 부재를 밀봉하는 수지 밀봉체를 형성하는 공정과, 상기 기판으로부터 상기 수지 밀봉체와 함께 상기 반도체 칩 및 상기 복수의 전극 부재를 분리하는 공정을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

접착층이 형성된 주면과, 상기 주면에 대향하는 이면과, 주면, 상기 주면과 반대측의 이면, 상기 주면과 상기 이면 사이의 4개의 측면을 갖고, 상기 주면 위에 상기 접착층을 개재하여 설치된 복수의 전극 부재를 갖는 수지 시트를 준비하는 공정과,

주면과, 상기 주면에 형성된 복수의 전극을 갖는 반도체 칩을 준비하는 공정과,

상기 반도체 칩을 반도체 장치 영역에 배치하고, 상기 복수의 전극 부재의 각각의 상기 주면과 상기 반도체 칩의 상기 복수의 전극을 복수의 접속 부재를 통해서 각각 전기적으로 접속하는 공정과,

상기 수지 시트의 주면 위, 상기 복수의 전극 부재의 각각의 주면, 상기 복수의 전극 부재의 각각의 4개의 측면, 상기 반도체 칩 및 상기 복수의 접속 부재를 수지 밀봉함으로써 수지 밀봉체를 형성하는 공정과,

상기 수지 밀봉체로부터 상기 수지 시트를 분리함으로써 상기 수지 밀봉체로부터 상기 복수의 전극 부재의 각각의 상기 이면을 노출되게 하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 복수의 전극 부재의 일부는 상기 수지 밀봉체의 한 방향으로 돌출하고 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서,

수지 밀봉체로부터 분리한 뒤에 노출된 복수의 전극 부재를 도금하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제4항에 있어서,

상기 도금 공정은 개편화(個片化) 공정에 앞서 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

삭제

청구항 7

제5항에 있어서,

상기 복수의 전극 부재의 일부는 상기 수지 밀봉체의 한 방향으로 돌출하고 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제1항에 있어서,

상기 수지 시트는 수지 필름인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <38> 본 발명은 반도체 장치 및 그 제조 기술에 관한 것으로, 특히 수지 밀봉체의 실장면으로부터 전극 부재가 노출되는 반도체 장치의 제조에 적용하기에 유효한 기술에 관한 것이다.
- <39> 반도체 칩을 수지 밀봉체로 밀봉하는 반도체 장치에서는, 여러 패키지 구조가 제안되어 제품화되고 있다. 예를 들면, 특개평 11-330343호 공보에는 QFN(Quad Flatpack Non-Leaded Package)형이라고 불리는 반도체 장치가 개시되어 있다. 이 QFN형 반도체 장치는 반도체 칩의 전극과 전기적으로 접속된 전극 부재(리드)가 수지 밀봉체의 실장면으로부터 노출되는 패키지 구조로 되어 있기 때문에, 반도체 칩의 전극과 전기적으로 접속된 리드가 수지 밀봉체의 측면으로부터 돌출하는 패키지 구조, 예를 들면 QFP(Quad Flatpack Package)형이라고 불리는 반도체 장치와 비교하여 평면 사이즈의 소형화를 도모할 수 있다.
- <40> QFN형 반도체 장치는 리드 프레임을 이용한 조립 프로세스에 의해서 제조된다. 예를 들면, 다이 패드에 반도체 칩을 탑재하는 패키지 구조의 경우, 주로, 현수 리드를 통해 리드 프레임의 프레임 본체(프레임)와 일체로 형성된 다이 패드(터브라고도 한다)에 반도체 칩을 탑재하고, 그 후 반도체 칩의 전극(본딩 패드)과, 리드 프레임의 프레임 본체와 일체로 형성된 전극 부재를 본딩 와이어로 전기적으로 접속하고, 그 후, 반도체 칩, 전극 부재, 다이 패드, 현수 리드 및 본딩 와이어 등을 수지 밀봉체로 밀봉하고, 그 후 리드 프레임의 프레임 본체로부터 전극 부재 및 현수 리드를 절단 분리함으로써 제조된다. 본딩 와이어의 일단측은 반도체 칩의 전극에 접속되고, 그 타단측은 전극 부재의 상호 대향하는 내부 접속면(일주면) 및 외부 접속면(다른 주면) 중 내부 접속면에 접속된다. 전극 부재의 외부 접속면은 수지 밀봉체의 상호 대향하는 상면(일주면) 및 실장면(다른 주면) 중 실장면에서 노출된다.
- <41> QFN형 반도체 장치의 수지 밀봉체는 대량 생산에 적합한 트랜스퍼 몰딩법(이송 성형법)에 의해서 형성된다. 트랜스퍼 몰딩법에 의한 수지 밀봉체의 형성은 성형 금형의 상형과 하형으로 형성되는 캐비티(수지 밀봉체 형성부) 내부에 반도체 칩, 전극 부재, 다이 패드, 현수 리드 및 본딩 와이어 등이 위치하도록, 성형 금형의 상형과 하형 간에 리드 프레임을 위치 결정하고, 그 후 성형 금형의 캐비티의 내부에 수지를 가압 주입함으로써 행해진다.
- <42> 그런데, 수지 밀봉체의 실장면에서 전극 부재의 외부 접속면이 노출되는 패키지 구조는 성형 금형의 하형에 전극 부재가 접하도록 리드 프레임을 성형 금형에 위치 결정하고, 그 후 성형 금형의 캐비티의 내부에 수지를 가압 주입함으로써 얻어지지만, 이 경우, 캐비티의 내부에서의 하형과 전극 부재와의 밀착성이 낮기 때문에, 하형

과 전극 부재 간에 수지가 들어가기 쉽고, 전극 부재의 실장면이 박막형의 불필요한 수지체(수지 버어)에 의해 덮어진다는 문제점이 발생하기 쉽다.

<43> 그래서, QFN형 반도체 장치의 제조에서는, 일반적으로 성형 금형의 하형과 리드 프레임 간에 수지 시트(수지 필름)를 개재하고, 이 수지 시트에 전극 부재가 접하도록 리드 프레임을 성형 금형에 위치 결정하고, 그 후 성형 금형의 캐비티의 내부에 수지를 가압 주입하는 기술(이하, 시트 몰드 기술이라고 부른다)이 채용되고 있다. 이 시트 몰드 기술의 경우, 캐비티의 내부에서의 수지 시트와 전극 부재와의 밀착성이 높기 때문에, 전극 부재의 실장면이 수지 버어에 의해서 덮여지게 된다는 문제점의 발생을 억제할 수 있다. 시트 몰드 기술에 대해서는, 예를 들면 특개평 11-274195호 공보에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

<44> 그러나, 본 발명자 등은 QFN형 반도체 장치의 제조에 대하여 검토한 결과, 이하의 문제점을 발견하였다.

<45> 도 23 내지 도 25는 종래의 QFN형 반도체 장치의 제조에 있어서, 수지 밀봉체 형성 공정(밀봉 공정)을 설명하기 위한 모식적 단면도이고, 도 26 내지 도 28은 종래의 QFN형 반도체 장치의 제조에서 밀봉 공정 후의 절단 공정을 설명하기 위한 모식적 단면도이다. 또, 도 23 및 도 26은 전극 부재의 부분에서 절단한 단면도이고, 도 24 및 도 27은 전극 부재 사이 부분에서 절단한 단면도이고, 도 25 및 도 28은 전극 부재의 배열 방향을 따른 단면도이다.

<46> 도 23 내지 도 28에 있어서, 참조 부호(40)은 성형 금형, 참조 부호(40A)는 상형, 참조 부호(40B)는 하형, 참조 부호(41)은 캐비티, 참조 부호(42)는 프레임 본체, 참조 부호(43)는 전극 부재, 참조 부호(44)는 다이 패드(터브(tub)라고도 한다), 참조 부호(45)는 반도체 칩, 참조 부호(46)는 본딩 와이어, 참조 부호(47)는 수지 밀봉체, 참조 부호(48)는 댐 내 수지, 참조 부호(49)는 수지 시트, 참조 부호(50)는 절단 금형, 참조 부호(51)는 펀치 가이드, 참조 부호(52)는 컷트 펀치, 참조 부호(53)는 받침대, 참조 부호(54)는 간극이다.

<47> 시트 몰드 기술에 의한 수지 밀봉체(47)의 형성은, 도 23에 도시한 바와 같이, 성형 금형(40)의 하형(40B)과 리드 프레임 간에 수지 시트(49)를 개재하고, 이 수지 시트(49)에 전극 부재(43)가 접하도록 리드 프레임을 성형 금형(40)에 위치 결정하여, 그 후, 성형 금형(40)의 캐비티(41)의 내부에 수지를 가압 주입함으로써 행해진다. 이 수지 밀봉체 형성 공정에서 리드 프레임은 프레임 본체(42) 및 이 프레임 본체(42)에 연결된 전극 부재(43)의 연결 부분 및 수지 시트(49)를 상형(40A)의 클램프면과 하형(40B)의 클램프면으로 상향으로 누름으로써 성형 금형(40)으로 고정되기 때문에, 수지 시트(49)의 형 체결 부분[프레임 본체(42) 및 전극 부재(43)와 대향하는 부분]이 형 체결력에 의해서 눌러서 찌그러지고, 이 수지 시트(49)의 형 체결 부분의 두께가 수지 시트(49)의 전극 사이 부분[전극 부재(43) 간에서의 부분]의 두께보다도 얇아진다. 이러한 상태에서 캐비티(41)의 내부에 수지가 가압 주입되기 때문에, 도 24 및 도 25에 도시한 바와 같이, 캐비티(41) 외부에서의 전극 부재(43)의 사이 [상형(40A)의 클램프면과 하형(40B)의 클램프면 사이]에 있어서, 수지 밀봉체(47)의 측면에서 프레임 본체(42)를 향하여 돌출하는 불필요한 수지체(댐 내 수지 : 48)의 두께가 전극 부재(43)의 두께보다도 얇아진다.

<48> 한편, 리드 프레임을 이용한 제조 프로세스에서는, 수지 밀봉체를 형성한 후에, 리드 프레임의 프레임 본체로부터 전극 부재 및 현수 리드 등을 절단 분리하는 절단 공정이 실시된다. 시트 몰드 기술의 경우, 리드 프레임을 성형 금형으로부터 추출하고, 그 후, 리드 프레임에 접촉된 수지 시트를 떼어낸 후에 절단 공정이 실시된다. 전극 부재(43)의 절단 분리는, 도 26에 도시한 바와 같이, 수지 밀봉체(47)의 측면에서 외부에 도출된 전극 부재(43)의 도출부의 근본 부분 및 프레임 본체(42)에 연결된 연결 부분을 절단 금형(50)의 펀치 가이드(51)와 받침대(53)로 상하 방향으로 누른 후, 펀치 가이드(51) 측에서 받침대(53)측을 향하여 강하하는 컷트 펀치(52)와 받침대(53)에 의한 전단(剪斷) 동작에 의해서 행해진다. 이 때, 댐 내 수지(48)도 전극 부재(43)의 절단과 함께 절단되지만, 댐 내 수지(48)의 두께는 전술한 수지 시트(49)의 눌러 찌그러짐에 기인하여 전극 부재(43)의 두께보다도 얇아지기 때문에, 도 27 및 도 28에 도시한 바와 같이, 댐 내 수지(48)와 받침대(53) 간에 간극(54)이 발생한다. 이러한 간극(54)이 발생한 상태에서 전극 부재(43)의 절단을 행한 경우, 댐 내 수지(48)를 받침대(53)로 받을 수 없기 때문에, 수지 밀봉체(47)와 연결된 댐 내 수지(48)의 근본 부분에 굽힘 응력이 작용하고, 댐 내 수지(48)의 근본 부분에서 수지 밀봉체(47)에 걸쳐서 균열이 생기거나, 수지 밀봉체(47)에 박리 등의 불량 발생이 생기기 쉬워진다. 이러한 문제점은 반도체 장치의 제조 수율을 저하시키는 요인이 되기 때문에, 새로운 제조 기술이 필요하다.

<49> 또한, 댐 내 수지(48)를 받침대(53)로 받을 수 없기 때문에, 댐 내 수지(48)의 펀칭 찌꺼기가 수지 밀봉체(47)로부터 완전하게 분리되지 않고 내려간 상태에서 잔존한다는 절단 불량 발생이 생기기 쉬워진다. 이러한 절단 불량

이 생긴 경우, 리드 프레임을 절단 금형(50)으로부터 제거할 때, 댐 내 수지(48)의 펀칭 찌꺼기가 절단 금형(50)의 받침대(53)로 낙하하고, 다음의 리드 프레임을 절단 금형(50)에 장착할 때에 낙하한 펀칭 찌꺼기에 의해서 수지 밀봉체(47)가 손상된다는 문제점의 요인이 되기 때문에, 반도체 장치의 제조 수율이 저하된다.

- <50> 본 발명의 목적은 제조 수율이 높은 반도체 장치를 제공하는데 있다.
- <51> 본 발명의 상기 및 그 외의 목적과 신규한 특징은 본 명세서의 기술 및 첨부 도면에 의해 명백해질 것이다.
- <52> 본 원에 있어서 개시되는 발명 중, 대표적이지만 개요를 간단히 설명하면, 하기와 같다.
- <53> (1) 반도체 장치의 제조 방법에 있어서, 일주면에 복수의 전극 부재가 개개로 분리되어 배치된 기판을 준비하는 공정과,
- <54> 상기 기판의 일주면에 반도체 칩을 배치하고 상기 반도체 칩의 일주면에 형성된 복수의 전극과 상기 복수의 전극 부재를 각각 전기적으로 접속하는 공정과,
- <55> 상기 기판의 일주면에 상기 반도체 칩 및 상기 복수의 전극 부재를 밀봉하는 수지 밀봉체를 형성하는 공정과,
- <56> 상기 기판으로부터 상기 수지 밀봉체와 함께 상기 반도체 칩 및 상기 복수의 전극 부재를 분리하는 공정을 포함한다.
- <57> (2) 반도체 장치의 제조에 있어서, 일주면에 협지 영역 및 이 협지 영역으로 주위를 둘러싼 수지 밀봉체 형성 영역을 구비하고, 상기 수지 밀봉체 형성 영역에 복수의 전극 부재가 개개로 분리되어 배치된 기판을 준비하는 공정과,
- <58> 상기 기판의 일주면의 수지 밀봉체 형성 영역에 반도체 칩을 배치하고, 상기 반도체 칩의 일주면에 형성된 복수의 전극과 상기 복수의 전극 부재를 각각 전기적으로 접속하는 공정과,
- <59> 상기 기판의 일주면의 협지 영역을 상하 방향에서 성형 금형의 상형과 하형으로 사이에 두고, 상기 성형 금형의 상형 및 하형으로 형성되는 캐비티 내부에 상기 기판의 일주면의 수지 밀봉체 형성 영역, 상기 반도체 칩 및 상기 복수의 전극 부재를 배치한 상태에서 상기 캐비티의 내부에 수지를 가압 주입하여 수지 밀봉체를 형성하는 공정과,
- <60> 상기 기판으로부터 상기 수지 밀봉체와 함께 상기 반도체 칩 및 상기 복수의 전극 부재를 분리하는 공정을 포함한다.
- <61> (3) 반도체 장치의 제조 방법에 있어서, 일주면의 수지 밀봉체 형성 영역에 개개로 분리되어 배치된 복수의 전극 부재와, 상기 복수의 전극 부재가 배치된 영역을 제외하고 상기 일주면을 덮고, 또한 상기 전극 부재의 두께 보다도 얇은 두께로 형성된 수지층을 갖는 기판을 준비하는 공정과,
- <62> 상기 기판의 일주면의 수지 밀봉체 형성 영역과 대향하는 상기 수지층의 영역에 반도체 칩을 배치하고, 상기 반도체 칩의 일주면에 형성된 복수의 전극과 상기 복수의 전극 부재를 각각 전기적으로 접속하는 공정과,
- <63> 상기 기판의 일주면의 수지 밀봉체 형성 영역과 대향하는 상기 수지층의 영역에 상기 반도체 칩 및 상기 복수의 전극 부재를 밀봉하는 수지 밀봉체를 형성하는 공정과,
- <64> 상기 기판으로부터 상기 수지 밀봉체와 함께 상기 수지층, 상기 반도체 칩 및 상기 복수의 전극 부재를 분리하고, 그 후 상기 수지층을 제거하는 공정을 포함한다.
- <65> 상술한 수단에 따르면, 일주면에 복수의 전극 부재가 개개로 분리되어 배치된 기판을 이용하여 제조하기 때문에, 수지 밀봉체를 형성한 후에 종래 필요하던 절단 공정(리드 프레임의 프레임 본체로부터 전극 부재를 절단 분리하기 위한 공정)이 불필요해 진다. 따라서, 수지 시트의 눌러 찌그러짐에 기인하여 종래의 절단 공정 시에 발생하는 문제점(댐 내 수지의 근본 부분에서 수지 밀봉체에 걸쳐서 생기는 균열, 수지 밀봉체에 생기는 박리, 낙하한 펀칭 찌꺼기에 의해서 수지 밀봉체에 생기는 손상 등)을 실질적으로 배제할 수 있어 반도체 장치의 제조 수율을 높일 수 있다.

발명의 구성 및 작용

- <66> 이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 또한, 발명의 실시예를 설명하기 위한 모든 도면에 있어서, 동일 기능을 갖는 것은 동일 부호를 붙여서 그 반복된 설명은 생략한다.

- <67> (실시예 1)
- <68> 본 실시예에서는, QFN형의 반도체 장치에 본 발명을 적용한 예에 대하여 설명한다.
- <69> 도 1 및 도 2는 본 발명의 실시예 1인 반도체 장치의 개략 구성을 나타내는 모식적 평면도 및 모식적 저면도, 도 3은 도 1의 반도체 장치의 개략 구성을 나타내는 도면(도 3a는 수지 밀봉체의 상부를 제거한 상태의 모식적 평면도, 도 3b는 도 3a의 a-a선을 따른 모식적 단면도)이다.
- <70> 도 1 내지 도 3에 도시한 바와 같이, 반도체 장치(1)는 복수의 전극 부재(4), 반도체 칩(10), 접속 수단인 복수의 본딩 와이어(11) 및 수지 밀봉체(12) 등을 갖는 구성으로 되어 있다. 복수의 전극 부재(4), 반도체 칩(10) 및 복수의 본딩 와이어(11)는 수지 밀봉체(12)에 의해 밀봉되어 있다.
- <71> 반도체 칩(10)의 평면 형상은 사각형으로 형성되고, 본 실시예에서는, 예를 들면 2[mm]×2[mm]의 정방형으로 형성되어 있다. 반도체 칩(10)은, 예를 들면 단결정 실리콘으로 이루어진 반도체 기관과, 이 반도체 기관의 회로 형성면 상에 있어 절연층, 배선층 각각을 복수단 적층한 다층 배선층과, 이 다층 배선층을 덮도록 하여 형성된 표면 보호막을 갖는 구성으로 되어 있다.
- <72> 반도체 칩(10)에는 집적 회로로서, 예를 들면 제어 회로가 내장되어 있다. 이 제어 회로는, 주로 반도체 기관의 회로 형성면에 형성된 트랜지스터 소자 및 배선층에 형성된 배선에 의해 구성되어 있다.
- <73> 반도체 칩(10)의 상호 대향하는 회로 형성면(일주면: 10X) 및 이면(다른 주면: 10Y) 중 회로 형성면(10X)에는, 반도체 칩(10)의 외주위의 각 변을 따라 복수의 전극(본딩 패드: 10A)이 형성되어 있다. 이 복수의 전극(10A) 각각은 반도체 칩(10)의 다층 배선층 중의 최상층의 배선층에 형성되며, 제어 회로를 구성하는 트랜지스터 소자와 전기적으로 접속되어 있다. 복수의 전극(10A) 각각은, 예를 들면 알루미늄(Al)막 또는 알루미늄 합금막 등의 금속막으로 형성되어 있다.
- <74> 수지 밀봉체(12)의 평면 형상은 사각형으로 형성되고, 본 실시예에서는, 예를 들면 4[mm]×4[mm]의 정방형으로 형성되어 있다. 수지 밀봉체(12)는 저응력화를 도모할 목적으로서, 예를 들면 페놀계 경화제, 실리콘 고무 및 필러 등이 첨가된 에폭시계의 열 경화성 절연 수지로 형성되어 있다. 본 실시예의 수지 밀봉체(12)는, 예를 들면 대량 생산에 적합한 트랜스퍼·몰딩법에 의해 형성되어 있다. 트랜스퍼·몰딩법은, 포트, 러너, 유입 게이트 및 캐비티 등을 구비한 성형 금형을 사용하고, 포트로부터 러너 및 유입 게이트를 통해서 캐비티의 내부에 열 경화성 절연 수지를 가압 주입하여 수지 밀봉체를 형성하는 방법이다.
- <75> 복수의 전극 부재(4) 각각은, 반도체 칩(10)의 외주위의 외측에 배치되고, 수지 밀봉체(12)의 외주위의 각 변을 따라 배열되어 있다. 복수의 전극 부재(4) 각각은 개개로 분리되고, 이들의 평면 형상은 예를 들면 장방형으로 형성되어 있다.
- <76> 복수의 전극 부재(4) 각각은 반도체 칩(10)의 회로 형성면(10X)에 형성된 복수의 전극(10A) 각각에 본딩 와이어(11)를 통해 전기적으로 접속되어 있다. 본딩 와이어(11)는 일단측이 반도체 칩(10)의 전극(10A)에 접속되고, 타단측이 전극 부재(4)의 상호 대향하는 내부 접속면(일주면: 4X) 및 외부 접속면(다른 주면: 4Y) 중의 내부 접속면(4X)에 접속되어 있다. 본딩 와이어(11)로서는, 예를 들면 금(Au) 와이어를 이용하고 있다. 본딩 와이어(11)의 접속 방법으로서, 예를 들면 열압착에 초음파 진동을 병용한 볼 본딩(네일 헤드 본딩)법을 이용하고 있다.
- <77> 반도체 칩(10)의 이면(10Y)은 수지 밀봉체(12)의 상호 대향하는 상면(일주면: 12X) 및 실장면(다른 주면: 12Y) 중의 실장면(12Y)에서 노출되어 있다. 이러한 구성으로 함으로써, 반도체 칩(10)의 열을 수지 밀봉체(12)의 외부에 방출하는 방열 효과가 향상하기 때문에, 열에 대한 신뢰성의 향상을 도모할 수 있다.
- <78> 복수의 전극 부재(4) 각각의 외부 접속면(4Y)은 수지 밀봉체(12)의 실장면(12Y)으로부터 노출하고 있다. 또, 복수의 전극 부재(4) 각각은 수지 밀봉체(12)의 측면(12Z)으로부터 이격되어 있다. 이와 같이, 외부 접속면(4Y)이 수지 밀봉체(12)의 실장면(12Y)으로부터 노출하는 전극 부재(4)를 수지 밀봉체(12)의 측면(12Z)으로부터 이격하여 배치함으로써, 수지 밀봉체의 측면에서 전극 부재의 일부가 노출하는 경우와 비교하여 수지 밀봉체(12)의 수지와 전극 부재(4)와의 접촉 면적이 증가하기 때문에 수지 밀봉체(12)에 대한 전극 부재(4)의 고정 강도를 높일 수 있다.
- <79> 수지 밀봉체(12)의 상면(12X)에 있어서, 네개의 각부 중의 하나의 각부에는 실장 기관에 반도체 장치를 실장할 때의 표시가 되는 인덱스(12A)가 형성되어 있다.

- <80> 또, 본 실시예에 있어서, 전극 부재(4)의 외부 접촉면(4Y)은 수지 밀봉체(12)의 실장면(12Y)와 거의 동일한 평면 내에 위치하고 있다. 또, 반도체 칩(10) 및 전극 부재(4)는, 예를 들면 0.2[mm] 정도의 두께로 형성되어 있다. 또한, 전극 부재(4)의 평면 형상은, 예를 들면 0.2[mm] × 0.6[mm] 정도의 장방형으로 형성되어 있다.
- <81> 다음에, 반도체 장치(1)의 제조에 이용되는 프레임 구조체에 대하여, 도 4 및 도 5를 이용하여 설명한다. 도 4는 프레임 구조체의 모식적 평면도이고, 도 5는 도 4의 b-b선을 따른 모식적 단면도이다.
- <82> 도 4 및 도 5에 도시한 바와 같이, 프레임 구조체 FS는 이것에 한정되지 않지만, 예를 들면 프레임 본체(프레임: 6)로 규정된 영역을 한 방향으로 복수 배열한 다연 프레임 구조로 되어 있다. 프레임 본체(6)로 규정된 각 영역 내에는 기관(2)이 배치되어 있다. 기관(2)은 상호 대향하는 일주면 및 다른 주면 중의 일주면 측에 수지 밀봉체를 형성하기 위한 수지 밀봉체 형성 영역(2A)과, 트랜스퍼·몰딩법에 기초하여 수지 밀봉체를 형성할 때에 성형 금형의 상형과 하형으로 협지되는 협지 영역(수지 밀봉체 형성 영역을 제외한 다른 부분)을 갖고 있다. 본 실시예에 있어서, 수지 밀봉체 형성 영역(2A)은 하나 설치되고, 협지 영역은 수지 밀봉체 형성 영역(2A)의 주위를 둘러싸도록 하여 설치되어 있다.
- <83> 수지 밀봉체 형성 영역(2A)의 중앙부에는, 반도체 칩을 탑재하기 위한 칩 탑재 영역이 설치되어 있다. 수지 밀봉체 형성 영역(2A)의 중앙부를 둘러싸는 주변부에는 개개로 분리된 복수의 전극 부재(4)가 칩 탑재 영역의 주위를 둘러싸도록 하여 배치되어 있다. 복수의 전극 부재(4) 각각은, 수지 밀봉체 형성 영역(2A)의 내부에 그 주연부(최외주위)로부터 이격하여 배치되고 있다.
- <84> 기관(2)의 평면 형상은, 예를 들면 사각형으로 형성되고, 그 주연부가 프레임 본체(6)에 접촉 고정되어 지지되고 있다. 기관(2)으로서, 예를 들면 일주면[전극 부재(4)가 배치되는 면]에 점착층(3)을 갖는 가요성 수지 필름을 이용하고 있다. 점착층(3)은 전극 부재(4) 및 반도체 칩을 기관(2)에 유지할 목적으로 설치되어 있다. 즉, 본 실시예의 복수의 전극 부재(4)는 점착층(3)에 의해서 기관(2)의 일주면의 수지 밀봉체 형성 영역(2A)에 고정되어 있다.
- <85> 전극 부재(4)로서는, 이것에 한정되지 않지만, 예를 들면 철(Fe)-니켈(Ni)계의 합금재, 또는 구리(Cu) 혹은 구리계의 합금재를 포함하는 금속판에 편칭 가공을 실시하여 개별로 형성된 전극 부재(금속편)를 이용하고 있다. 기관(2)으로의 전극 부재(4)의 배치는, 이것에 한정되지 않지만, 예를 들면 개개로 분리된 복수의 전극 부재(금속 부재)를 흡인 지그에 정렬시키고, 그 후 기관(2)의 일주면의 수지 밀봉체 형성 영역(2A)에 복수의 전극 부재를 흡인 지그에 의해 반송하여, 그 후 수지 밀봉체 형성 영역(2A)에 복수의 전극 부재를 흡인 지그에 의해 압착함으로써 행해진다. 또, 금속판으로부터 전극 부재(4)를 편칭하고 편칭한 전극 부재(4)를 자동적으로 기관(2)에 배치하는 방법을 이용해도 된다.
- <86> 프레임 본체(6)로서는, 이것에 한정되지 않지만, 예를 들면 Fe-Ni계의 합금재, 또는 Cu 혹은 Cu 구리계의 합금재를 포함하는 금속판에 편칭 가공을 실시하여 형성된 것을 이용하고 있다.
- <87> 프레임 본체(6)의 상호 대향하는 두개의 긴 변 부분(길이 방향에서의 부분)에는 반도체 장치의 제조 공정에서 프레임 구조체 FS를 이동 조작하기 위해서 사용되는 원형 구멍(표준 파일럿 홀: 6A)이 설치되어 있다. 또한, 프레임 본체(6)의 두개의 긴 변 부분에는 반도체 장치의 제조 공정에서 프레임 구조체 FS를 위치 결정하기 위해 사용되는 길이 구멍(파일럿 홀: 6B)이 설치되어 있다.
- <88> 또, 본 실시예에서는 전극 부재(4)는 점착층(3)에 의해 기관(2)에 고정되어 있다. 또한, 후에 상세히 설명하겠지만, 반도체 장치의 제조 공정에 있어서 반도체 칩은 점착층(3)에 의해 기관(2)에 고정된다. 한편, 수지 밀봉체는 기관(2)의 수지 밀봉체 형성 영역(2A)에 형성된 후, 반도체 칩 및 전극 부재(4)와 함께 기관(2)으로부터 분리된다. 따라서, 점착층(3)으로서, 기관(2)으로부터 수지 밀봉체를 분리하기 전의 단계에서, 반도체 칩, 전극 부재(4) 및 수지 밀봉체가 기관(2)으로부터 용이하게 박리되지 않을 정도의 점착력을 갖고, 기관(2)으로부터 수지 밀봉체를 분리하는 공정에서 반도체 칩, 전극 부재(4), 및 수지 밀봉체가 기관(2)으로부터 용이하게 박리될 정도의 점착력을 갖는 것이 바람직하다. 본 실시예에 있어서는, 예를 들면 자외선의 조사에 의해서 점착력이 저하하는 재질의 것을 점착층(3)으로서 이용하고 있다.
- <89> 또한, 본 실시예에서는 수지 밀봉체(12)는 트랜스퍼·몰딩법에 의해 형성된다. 따라서, 기관(2)으로서는 수지 밀봉체 형성시의 온도에 견디는 내열성의 가요성 수지 필름을 이용한다.
- <90> 다음에, 반도체 장치(1)의 제조에 대하여, 도 6 내지 도 8을 이용하여 설명한다. 도 6 내지 도 8은 반도체 장치(1)의 제조를 설명하기 위한 모식적 단면도이다.

- <91> 우선, 도 4 및 도 5에 도시한 프레임 구조체 FS를 준비한다. 프레임 구조체 FS는, 프레임 본체(6)로 규정된 영역 내에 기관(2)을 갖는 구성으로 되어 있다. 기관(2)은 일주면에 수지 밀봉체 형성 영역(2A)를 구비하고, 수지 밀봉체 형성 영역(2A)의 중앙부에는 칩 탑재 영역이 설치되고 수지 밀봉체 형성 영역(2A)의 중앙부를 둘러싸는 주변부에는 개개로 분리되어 배치된 복수의 전극 부재(4)가 설치되어 있다.
- <92> 다음에, 프레임 구조체 FS를 칩 본딩 장치에 반송하여, 기관(2)의 일주면의 수지 밀봉체 형성 영역(2A)의 칩 탑재 영역에 반도체 칩(10)을 탑재한다. 반도체 칩(10)은 그 이면(10Y)이 기관(2)과 대향하는 상태로 탑재되어 점착층(3)에 의해 기관(2)에 고정된다.
- <93> 다음에, 칩 본딩 장치에서 와이어 본딩 장치에 프레임 구조체 FS를 반송하고, 반도체 칩(10)의 복수의 전극(10A)과 복수의 전극 부재(4)를 복수의 본딩 와이어(11)로 각각 전기적으로 접속한다. 본딩 와이어(11)는, 일단측이 반도체 칩(10)의 전극(10A)에 접속되고, 타단측이 전극 부재(4)의 내부 접속면(4X)에 접속된다. 여기까지의 공정을 도 6에 도시한다.
- <94> 다음에, 와이어 본딩 장치로부터 트랜스퍼·몰딩 장치에 프레임 구조체 FS를 반송하고, 도 7에 도시한 바와 같이, 성형 금형(15)의 상형(15A)과 하형(15B) 사이에 프레임 구조체 FS를 위치 결정한다. 이 때, 상형(15A) 및 하형(15B)에 의해 형성되는 캐비티(16)의 내부에는 기관(2)의 수지 밀봉체 형성 영역(2A), 복수의 전극 부재(4), 반도체 칩(10) 및 복수의 본딩 와이어(11) 등이 배치된다. 또한, 기관(2)은 그 수지 밀봉체 형성 영역(2A)의 주위를 둘러싸는 협지 영역을 상형(15A)의 클램프면과 하형(15B)의 클램프면으로 상하 방향에서 누름으로써 성형 금형(15)에 고정된다. 또한, 프레임 본체(6)도 상형(15A)의 클램프면과 하형(15B)의 클램프면으로 상하 방향으로 누름으로써 성형 금형(15)으로 고정된다.
- <95> 이 공정에서, 본 실시예의 기관(2)은 가요성 수지 필름으로 형성되어 있기 때문에, 상형(15A)과 하형(15B)과의 형체결력(협지력)에 의해서 기관(2)의 협지 영역의 부분이 탄성 변형하고, 기관(2)의 일주면측(수지 밀봉체가 형성되는 면측)이 상형(15A)의 클램프면에 간극을 생기게 하지 않고 확실하게 밀착된다.
- <96> 다음에, 그대로의 상태에서, 성형 금형(15)의 포트로부터 런너 및 유입 게이트를 통해서 캐비티(16)의 내부에서의 기관(2)의 일주면측에 열경화성의 용융 수지를 가압 주입하고, 기관(2)의 일주면의 수지 밀봉체 형성 영역(2A)에 수지 밀봉체(12)를 형성한다. 복수의 전극 부재(4), 반도체 칩(10) 및 복수의 본딩 와이어(11) 등은 수지 밀봉체(12)에 의해 밀봉된다.
- <97> 이 공정에서, 전극 부재(4) 및 반도체 칩(10)은 점착층(3)에 의해서 기관(2)에 고정되어 있기 때문에, 전극 부재(4)의 외부 접속면(4Y) 및 반도체 칩(10)의 이면(10Y)이 수지 버어에 의해서 덮여진다는 문제점의 발생을 억제할 수 있다.
- <98> 또한, 이 공정에서 수지 밀봉체(12)는 복수의 전극 부재(4)를 성형 금형(15)으로 협지하지 않고 성형되기 때문에, 수지 밀봉체(12)의 외부에 형성되는 댐내 수지를 폐지할 수 있다.
- <99> 다음에, 성형 금형(15)으로부터 프레임 구조체 FS를 추출한다. 본 실시예의 반도체 장치(1)는 일주면에 복수의 전극 부재(4)가 개개로 분리되어 배치된 기관(2)을 이용하는 제조 공정에 의해서 제조되기 때문에, 수지 밀봉체(12)를 형성한 후에 종래 필요했던 절단 공정(리드 프레임의 프레임 본체로부터 전극 부재를 절단 분리하기 위한 공정)이 불필요해진다. 따라서, 수지 밀봉체(12)를 형성함으로써, 본 실시예의 반도체 장치(1)는 거의 완성한다.
- <100> 이 후, 기관(2)으로부터 수지 밀봉체(12)와 함께 반도체 칩(10) 및 복수의 전극 부재(4)를 분리하고, 수납 트레이에 반도체 장치(1)를 수납한다. 기관(2)으로부터의 분리는 자외선을 조사하여 점착층(3)의 점착력을 저하시킨 후, 도 8에 도시한 바와 같이, 픽업 장치의 흡착 롤러(17)으로 행한다.
- <101> 수납 트레이에 수납된 반도체 장치(1)는 제품 완성 후의 환경 시험인 온도 사이클 시험, 선별 시험, 마킹 공정 등이 실시되고, 그 후 제품으로서 출하된다. 제품으로서 출하된 반도체 장치(1)는, 예를 들면, 휴대 전화, 휴대형 정보 처리 단말 기기, 휴대형 퍼스널·컴퓨터 등의 소형 전자 기기에 삽입되는 실장 기관에 실장된다.
- <102> 본 실시예 1에 따르면, 반도체 칩(10)의 이면(10Y)은 수지 밀봉체(12)의 실장면(12Y)에서 노출되어 있기 때문에, 반도체 칩(10)의 열을 수지 밀봉체(12)의 외부에 방출하는 방열 효과가 향상된다. 따라서, 열에 대한 신뢰성이 높은 QFN형 반도체 장치(1)를 제공할 수 있다.
- <103> 본 실시예 1에 따르면, 외부 접속면(4Y)이 수지 밀봉체(12)의 실장면(12Y)에서 노출하는 전극 부재(4)를 수지 밀봉체(12)의 측면(12Z)에서 이격하여 배치하고 있기 때문에, 수지 밀봉체의 측면에서 전극 부재의 일부가 노출

하는 경우와 비교하여, 수지 밀봉체(12)의 수지와 전극 부재(4)와의 접촉 면적이 증가하고, 수지 밀봉체(12)에 대한 전극 부재(4)의 고정 강도가 커진다. 따라서, 실장 기관에 반도체 장치를 실장한 후에 수지 밀봉체(12)로부터 전극 부재(4)가 박리된다는 불량을 억제할 수 있기 때문에, 실장에 대한 신뢰성이 높은 QFN형 반도체 장치(1)를 제공할 수 있다.

- <104> 본 실시예 1에 따르면, 일주면에 복수의 전극 부재(4)가 개개로 분리되어 배치된 기관(2)을 이용하는 제조 공정에 의해서 제조되기 때문에, 수지 밀봉체를 형성한 후에 종래 필요하던 절단 공정(리드 프레임의 프레임 본체로부터 전극 부재를 절단 분리하기 위한 공정)이 불필요해진다. 따라서, 수지 시트의 눌러 찌그러짐에 기인하여 종래의 절단 공정 시에 발생하는 문제점(담 내 수지의 근본 부분에서 수지 밀봉체에 걸쳐서 생기는 균열, 수지 밀봉체에 생기는 박리, 낙하한 펀칭 찌꺼기에 의해서 수지 밀봉체에 생기는 손상 등)을 실질적으로 배제할 수 있기 때문에 제조 수율이 높은 QFN형 반도체 장치(1)를 제공할 수 있다.
- <105> 본 실시예 1에 따르면, 가요성 수지 필름을 포함하는 기관(2)을 이용하고 있기 때문에, 상형(15A)과 하형(15B)과의 형체결력(협지력)에 의해서 기관(2)의 협지 영역의 부분이 탄성 변형하고, 기관(2)의 일주면측(수지 밀봉체가 형성되는 면측)이 상형(15A)의 클램프면에 간극을 생기게 하지 않고 확실하게 밀착된다. 따라서, 캐비티(16)로부터 외부에 수지가 누설한다는 문제점을 억제할 수 있기 때문에 제조 수율이 높은 QFN형 반도체 장치(1)를 제공할 수 있다.
- <106> 본 실시예 1에 따르면, 일주면에 점착층(3)을 갖는 가요성 수지 필름을 포함하는 기관(2)을 이용하고 있기 때문에, 전극 부재(4) 및 반도체 칩(10)은 점착층(3)에 의해 기관(2)에 고정된다. 따라서, 전극 부재(4)의 외부 접촉면(4Y) 및 반도체 칩(10)의 이면(10Y)이 수지 버어에 의해서 덮여지게 된다는 문제점의 발생을 억제할 수 있기 때문에, 제조 수율이 높은 QFN형 반도체 장치(1)를 제공할 수 있다.
- <107> 본 실시예 1에 따르면, 자외선의 조사에 의해서 점착력이 저하되는 재질의 것을 점착층(3)으로서 이용하고 있기 때문에, 수지 밀봉체(12)를 형성한 후, 점착층(3)에 자외선을 조사함으로써, 기관(2)으로부터 수지 밀봉체(12)와 함께 반도체 칩(10) 및 복수의 전극 부재(4)를 용이하게 분리할 수 있다.
- <108> 본 실시예 1에 따르면, 수지 밀봉체 형성시의 온도에 견디는 내열성의 가요성 수지 필름을 포함하는 기관(2)을 이용하고 있기 때문에, 수지 밀봉체 형성시에 있어서 기관(2)에 변형(휘어짐, 주름) 등의 문제점이 생기지 않는다. 따라서, 수지 밀봉체(12)의 실장면(12Y)에서의 평탄도의 저하를 억제할 수 있기 때문에, 제조 수율이 높은 QFN형 반도체 장치(1)를 제공할 수 있다.
- <109> 본 실시예 1에 따르면, 프레임 본체(6)에 기관(2)이 지지된 프레임 구조체 FS를 이용하고 있기 때문에, 반도체 장치(1)의 제조 공정에서의 기관(2)의 반송성 및 굽힘성이 향상된다. 따라서, 생산성이 높은 QFN형 반도체 장치(1)를 제공할 수 있다.
- <110> 또, 본 실시예에서는, 기관(2)으로부터 수지 밀봉체(12)와 함께 반도체 칩(10) 및 복수의 전극 부재(4)를 분리하고, 그 후 반도체 장치(1)를 수납 트레이에 수납하는 예에 대하여 설명하였지만, 기관(2)으로부터의 분리는 실장 기관에 반도체 장치(1)를 실장하는 공정 직전에 행해도 된다.
- <111> 또한, 본 실시예에서는, 자외선의 조사에 의해서 점착력이 저하하는 재질의 것을 점착층(3)으로서 이용한 예에 대하여 설명하였지만, 점착층(3)으로서 기관(2)으로부터 수지 밀봉체(12)를 분리하기 전의 단계에서, 반도체 칩(10), 전극 부재(4) 및 수지 밀봉체(12)가 기관(2)으로부터 용이하게 박리되지 않을 정도의 점착력을 가지며, 기관(2)으로부터 수지 밀봉체(12)를 분리하는 공정에 있어서, 반도체 칩(10), 전극 부재(4), 및 수지 밀봉체(12)가 기관으로부터 용이하게 박리될 정도의 점착력을 갖는 것이면 다른 것이어도 된다.
- <112> 또한, 본 실시예에서는, 트랜스퍼·몰딩법에 의해 수지 밀봉체(12)를 형성하는 예에 대하여 설명하였지만, 수지 밀봉체(12)의 형성은 본딩법 또는 성형을 사용하지 않는 인쇄법으로 행해도 된다.
- <113> 또한, 본 실시예에서는, 프레임 구조체 FS를 이용한 예에 대하여 설명하였지만, 도 9(모식적 평면도)에 도시한 바와 같이, 가요성 필름의 일주면에 복수의 수지 밀봉체 형성 영역(2A)이 길이 방향을 향하여 반복 배치된 캐리어 테이프(30)를 기관으로서 이용해도 된다. 도 9에서, 참조 부호(31)는 스프로킷 홀이다.
- <114> (실시예 2)
- <115> 도 10은 본 발명의 실시예 2인 반도체 장치의 개략 구성을 나타내는 모식적 단면도이다.
- <116> 도 10에 도시한 바와 같이, 본 실시예 2의 반도체 장치(20)는 전술한 실시예 1과 기본적으로 마찬가지로의 구성이

되어 있고, 이하의 구성이 다르다.

- <117> 즉, 전술한 실시예 1의 수지 밀봉체(12)는 상면(12X)의 면적이 실장면(12Y)의 면적보다도 작아지고, 측면(12Z)이 상면(12X) 및 실장면(12Y)에 대하여 경사되어 있다. 이에 대하여, 본 실시예 2의 수지 밀봉체(12)는 상면(12X) 및 실장면(12Y)의 면적이 거의 동일해지고, 측면(12Z)이 상면(12X) 및 실장면(12Y)에 대하여 거의 수직으로 되어 있다. 이하, 본 실시예 2의 반도체 장치의 제조에 대하여 도 11 내지 도 14를 이용하여 설명한다.
- <118> 도 11은 본 실시예 2의 반도체 장치의 제조에 이용되는 기관의 개략 구성을 나타내는 도면(도 11a는 모식적 평면도, 도 11b는 도 11a의 c-c선에 따르는 모식적 단면도)이고, 도 12는 본 실시예 2의 반도체 장치의 제조를 설명하기 위한 모식적 평면도이고, 도 13은 본 실시예 2의 반도체 장치의 제조를 설명하기 위한 도면(도 13의 (a)는 모식적 평면도, 도 13b는 도 13a의 d-d선을 따른 모식적 단면도)이고, 도 14는 본 실시예 2의 반도체 장치의 제조를 설명하기 위한 도면(도 14의 (a)는 모식적 평면도, 도 14b는 도 14a의 e-e선을 따른 모식적 단면도)이다.
- <119> 우선, 도 11에 도시한 기관(2)을 준비한다. 본 실시예의 기관(2)은 일주면측에 복수의 수지 밀봉체 형성 영역(2A)과, 수지 밀봉체 형성시에 성형 금형에 의해서 협지되는 협지 영역을 갖고 있다. 본 실시예에 있어서, 수지 밀봉체 형성 영역(2A)은 이에 한정되지는 않지만, 예를 들면 네개 설치되어 있다. 각 수지 밀봉체 형성 영역(2A)에는 전술한 실시예 1과 마찬가지로, 개개로 분리된 복수의 전극 부재(4)가 칩 탑재 영역을 둘러싸도록 하여 배치되어 있다. 기관(2)으로서는, 전술한 실시예 1과 마찬가지로, 일주면에 점착층(도시하지 않음)을 갖는 가요성 수지 필름을 이용하고 있다. 각 수지 밀봉체 형성 영역(2A)에 배치된 복수의 전극 부재(4)는 기관(2)의 일주면에 형성된 점착층에 의해서 기관(2)에 고정되어 있다.
- <120> 또, 본 실시예에서는, 각 수지 밀봉체 형성 영역(2A)에 배치된 반도체 칩 및 복수의 전극 부재(4)를 일괄하여 밀봉하는 제1 수지 밀봉체를 형성하고, 그 후 제1 수지 밀봉체를 각 수지 밀봉체 형성 영역(2A)마다 분할하여 제2 수지 밀봉체를 형성하기 때문에, 네개의 수지 밀봉체 형성 영역(2A)은 제1 수지 밀봉체가 형성되는 수지 밀봉체 형성 영역(21A)의 내부에 배치되어 있다.
- <121> 다음에, 칩 본딩 장치에 기관(2)을 반송하여 기관(2)의 일주면의 각 수지 밀봉체 형성 영역(2A)의 칩 탑재 영역에 각각 반도체 칩(10)을 탑재한다. 각 반도체 칩(10)은 그 이면(10Y)이 기관(2)과 대향하는 상태로 탑재되어, 기관(2)의 일주면에 형성된 점착층에 의해서 기관(2)에 고정된다.
- <122> 다음에, 칩 본딩 장치로부터 와이어 본딩 장치에 기관(2)을 반송하고, 각 수지 밀봉체 형성 영역(2A)에 있어서 반도체 칩(10)의 회로 형성면(10X)에 형성된 복수의 전극(10A)과 복수의 전극 부재(4)를 복수의 본딩 와이어(11)로 각각 전기적으로 접속한다. 여기까지의 공정을 도 12에 도시한다.
- <123> 다음에, 와이어 본딩 장치로부터 트랜스퍼·몰딩 장치에 기관(2)을 반송하고, 도 13에 도시한 바와 같이, 각 수지 밀봉체 형성 영역(2A)에 배치된 반도체 칩(10) 및 복수의 전극 부재(4)를 일괄하여 밀봉하는 수지 밀봉체(제1 수지 밀봉체: 21)를 형성한다.
- <124> 다음에, 수지 밀봉체(21)를 각 수지 밀봉체 형성 영역(2A)마다 분할하여 복수의 수지 밀봉체(12)를 형성한다. 수지 밀봉체(21)의 분할은, 예를 들면 다이싱에 의해서 행한다. 이 공정에 의해 반도체 장치(20)가 거의 완성한다.
- <125> 이 후, 기관(2)의 각 수지 밀봉체 형성 영역(2A)으로부터 수지 밀봉체(12)와 함께 반도체 칩(10) 및 복수의 전극 부재(4)를 분리하고, 수납 트레이에 반도체 장치(20)를 수납한다. 기관(2)으로부터의 분리는 전술한 실시예 1과 마찬가지로, 자외선을 조사하여 점착층의 점착력을 저하시킨 후, 픽업 장치의 흡착 롤릿으로 행한다.
- <126> 본 실시예에 따르면, 일주면에 복수의 수지 밀봉체 형성 영역(2A)을 구비하고, 이 복수의 수지 밀봉체 형성 영역(2A) 각각에 개개로 분리되어 복수의 전극 부재(4)가 배치된 기관(2)을 이용하기 때문에, 수지 밀봉체(21)를 다이싱하여 복수의 수지 밀봉체(12)를 형성할 때, 전극 부재(4)를 절단할 필요가 없다. 따라서, 다이싱시의 블레이드의 장기 수명화를 도모할 수 있기 때문에, 생산성이 높은 QFN형 반도체 장치(25)를 제공할 수 있다.
- <127> 본 실시예에 따르면, 기관(2)의 일주면의 각 수지 밀봉체 형성 영역(2A)에 배치된 반도체 칩(10) 및 복수의 전극 부재(4)를 일괄하여 밀봉하는 수지 밀봉체(21)를 형성하고, 그 후 수지 밀봉체(21)를 각 수지 밀봉체 형성 영역(2A)마다 분할하여 복수의 수지 밀봉체(12)를 형성하기 때문에, 수지 밀봉체 형성 영역(2A)마다 성형 금형에 캐비티를 설치할 필요는 없다. 따라서, 제조 공정에 이용하는 성형 금형의 비용을 억제할 수 있기 때문에, 저비용의 QFN형 반도체 장치(25)를 제공할 수 있다.

- <128> 또, 본 실시예에서는, 하나의 수지 밀봉체(21)로 네개의 수지 밀봉체 형성 영역(2A)을 일괄하여 밀봉하는 예에 대하여 설명하였지만, 두 개의 수지 밀봉체 형성 영역(2A) 또는 다섯개 이상의 수지 밀봉체 형성 영역(2A)을 하나의 수지 밀봉체(21)로 일괄 밀봉해도 좋다. 단지, 수지 밀봉체(21)를 형성하는 캐비티의 면적이 커짐으로써, 캐비티의 내부에 가압 주입된 수지의 유동이 복잡하게 되기 때문에, 미충전 및 보이드 등에 대한 배려가 필요하다.
- <129> 또한, 본 실시예에서는 설명을 간략화하기 위해서 기관(2)을 반송하는 예로서 설명하였지만, 전술한 실시예 1과 같이, 프레임 본체에 기관(2)이 지지된 프레임 구조체를 이용하여 행해도 된다.
- <130> (실시예 3)
- <131> 도 15는 본 발명의 실시예 3인 반도체 장치의 개략 구성을 나타내는 도면 (도 15a는 모식적 단면도, 도 15b는 도 15a의 일부를 확대한 모식적 단면도)이다.
- <132> 도 15에 도시한 바와 같이, 본 실시예 3의 반도체 장치(25)는 전술한 실시예 2와 기본적으로 마찬가지로 구성되어 있고 이하의 구성이 다르다.
- <133> 즉, 전술한 실시예 2에서는, 전극 부재(4)의 외부 접촉면(4Y)이 수지 밀봉체(12)의 실장면(12Y)과 거의 동일한 평면 내에 위치하는 구성으로 되어 있다. 이에 대하여, 본 실시예 3에서는, 전극 부재(4)의 외부 접촉면(4Y)이 수지 밀봉체(12)의 실장면(12Y)으로부터 돌출하는 구성으로 되어 있기 때문에, 실장 기관에 반도체 장치(25)를 납땜 실장할 때, 반도체 장치(25)의 전극 부재(4)와 실장 기관의 접속용 단자를 고착하는 땀납재에 양호한 필렛이 형성된다. 이하, 반도체 장치(25)의 제조에 대하여, 도 16 내지 도 20을 이용하여 설명한다.
- <134> 도 16은 본 실시예 3의 반도체 장치의 제조에 이용되는 기관의 개략 구성을 나타내는 모식적 평면도이고, 도 17은 도 16의 f-f선을 따른 모식적 단면도이며, 도 18 내지 도 20은 본 실시예 3의 반도체 장치의 제조를 설명하기 위한 모식적 단면도이다.
- <135> 우선, 도 16 및 도 17에 도시한 기관(2)을 준비한다. 본 실시예의 기관(2)은 일주면측에 복수의 수지 밀봉체 형성 영역(2A)과, 수지 밀봉체 형성시에 성형 금형에 의해서 협지되는 협지 영역과, 각 수지 밀봉체 형성 영역(2A)에 개개로 분리되어 배치된 복수의 전극 부재(4)와, 복수의 전극 부재(4)가 배치된 영역을 제외하고 상기 일주면을 덮고 또한 전극 부재(4)의 두께보다도 얇은 두께로 형성된 수지층(26)을 갖는 구성으로 되어 있다. 본 실시예에 있어서 수지 밀봉체 형성 영역(2A)은, 예를 들면 네개 설치되어 있다. 기관(2)으로서는, 전술한 실시예 2와 마찬가지로 일주면에 점착층(도시하지 않음)을 갖는 가요성 수지 필름을 이용하고 있다. 각 수지 밀봉체 형성 영역(2A)에서의 복수의 전극 부재(2A)는 전술한 실시예 2와 마찬가지로, 칩 탑재 영역을 둘러싸도록 하여 배치되어 있다. 각 수지 밀봉체 형성 영역(2A)에 배치된 복수의 전극 부재(4)는 기관(2)의 일주면에 형성된 점착층에 의해서 기관(2)에 고정되어 있다.
- <136> 또, 본 실시예에서는, 수지층(26) 상에 제1 수지 밀봉체를 형성한 후, 수지층(26)을 선택적으로 제거하여 전극 부재(4)를 돌출시키기 때문에, 도 15b에 도시한 전극 부재(4)의 돌출 높이 H는 수지층(26)의 두께로 규정된다. 전극 부재(4)의 돌출 높이 h는 수지층(26)의 두께를 두껍게 함으로써 높게할 수 있지만, 수지층(26)의 두께를 지나치게 두껍게 하면 수지 밀봉체로부터 전극 부재(4)가 박리되기 쉬워지고, 실장에 대한 신뢰성이 저하한다. 반대로 지나치게 얇으면, 실장시의 땀납재에 양호한 필렛이 형성되지 않게 되어, 이 경우에 있어서도 실장에 대한 신뢰성이 저하한다. 따라서, 수지층(26)의 두께는 전극 부재(4)의 두께를 고려하고 설정할 필요가 있다. 전극 부재(4)의 두께가 0.3[mm] 이하의 경우, 수지층(26)의 두께는 전극 부재(4)의 두께의 2분의 1정도가 바람직하다. 본 실시예에서는 0.2[mm] 정도의 두께의 전극 부재(4)를 이용하여 있기 때문에, 수지층(26)은 0.1[mm] 정도의 두께로 형성되어 있다. 수지층(26)은 기관(2)의 일주면의 수지 밀봉체 형성 영역(2A)에 전극 부재(4)를 배치한 후, 기관(2)의 일주면에 수지를 도포하여 형성된다.
- <137> 다음에, 칩 본딩 장치에 기관(2)을 반송하여, 기관(2)의 일주면의 각 수지 밀봉체 형성 영역(2A)과 대향하는 수지층(26)의 각 영역에 각각 반도체 칩(10)을 탑재한다. 각 반도체 칩(10)은 그 이면(10Y)이 수지층(26)과 대향하는 상태로 수지층(26)에 열압착으로써 고정된다.
- <138> 다음에, 칩 본딩 장치에서 와이어 본딩 장치에 기관(2)을 반송하고, 각 수지 밀봉체 형성 영역(2A)에서 반도체 칩(10)의 회로 형성면(10X)에 형성된 복수의 전극(10A)과 복수의 전극 부재(4)를 복수의 본딩 와이어(11)로 각각 전기적으로 접속한다. 여기까지의 공정을 도 18a에 도시한다.
- <139> 다음에, 와이어 본딩 장치에서 트랜스퍼·몰딩 장치에 기관(2)을 반송하고, 도 18b에 도시한 바와 같이, 수지층

(26) 상에 각 수지 밀봉체 형성 영역(2A)에 배치된 반도체 칩(10) 및 복수의 전극 부재(4)를 일괄하여 밀봉하는 수지 밀봉체(제1 수지 밀봉체: 21)를 형성한다. 수지 밀봉체(21)의 형성은 트랜스퍼·몰딩법을 이용하여 행한다.

- <140> 다음에, 도 19a에 도시한 바와 같이, 기판(2)으로부터 수지 밀봉체(21) 및 수지층(26)과 함께 각 수지 밀봉체 형성 영역(2A)에서의 반도체 칩(10) 및 복수의 전극 부재(4)를 분리한다. 기판(2)으로부터의 분리는 전술한 실시예 1과 마찬가지로, 자외선을 조사하여 점착층의 점착력을 저하시킨 후, 픽업 장치의 흡착 콜릿으로 행한다.
- <141> 다음에, 도 19b에 도시한 바와 같이, 다이싱 시트(27)의 점착층(27A) 측에 수지 밀봉체(21)를 장착한다. 수지 밀봉체(21)의 장착은 수지층(26)이 상향이 되는 상태에서 행한다.
- <142> 다음에, 도 20a에 도시한 바와 같이, 수지층(26)을 선택적으로 제거한다. 수지층(26)의 제거는, 예를 들면 웨트 에칭법을 이용하여 행한다. 이 공정에서 수지층(26)의 두께에 상당하는 만큼, 수지 밀봉체(21)로부터 전극 부재(4)가 돌출한다. 또한, 이 공정에서 전극 부재(4)에 사전에 금(Au) 도금 등의 귀금속 도금을 실시해둠으로써, 수지층(26)의 에칭 시에 전극 부재(4)를 마스크할 필요가 없어진다.
- <143> 다음에, 도 20b에 도시한 바와 같이, 수지 밀봉체(21)를 다이싱 장치에서 각 반도체 칩(10)마다[각 수지 밀봉체 형성 영역(2A)마다] 분할하여 복수의 수지 밀봉체(12)를 형성한다. 이 공정에 의해, 반도체 장치(25)가 거의 완성된다.
- <144> 이 후, 다이싱 시트(27)로부터 반도체 장치(25)를 픽업 장치의 흡착 콜릿으로 분리하고, 수납 트레이에 반도체 장치(25)를 수납한다.
- <145> 본 실시예에 따르면, 수지층(26) 상에 제1 수지 밀봉체(21)를 형성한 후, 수지층(26)을 선택적으로 제거하기 위해서, 전극 부재(4)의 외부 접속면(4Y)이 수지 밀봉체(12)의 실장면(12Y)으로부터 돌출하는 스탠드 오프 구조의 반도체 장치(25)가 얻어진다. 따라서, 실장 기판에 반도체 장치(25)를 납땜 실장할 때, 반도체 장치(25)의 전극 부재(4)와 실장 기판의 접속용 단자를 고착하는 뿔납재에 양호한 필렛이 형성되기 때문에, 실장에 대한 신뢰성이 높은 QFN형 반도체 장치(25)를 제공할 수 있다.
- <146> 또, 본 실시예에서는 설명을 간략화하기 위해서 기판(2)을 반송하는 예로서 설명하였지만, 전술한 실시예 1과 같이, 프레임 본체에 기판이 지지된 프레임 구조체를 이용하여 행해도 된다.
- <147> 또한, 본 실시예에서는 일주면에 수지층(26)이 형성된 기판(2)을 이용하여 제조하는 예에 대하여 설명하였지만, 도 21(모식적 평면도 및 모식적 단면도)에 도시한 바와 같이, 일주면으로부터 깊이 방향을 향하여 부분적으로 전극 부재(4)가 매립된 기판(2)을 이용해도 된다. 이 경우에서도 스탠드 오프 구조의 반도체 장치(25)가 얻어진다. 또한, 기판(2)으로부터 수지 밀봉체(21)를 분리함으로써, 수지 밀봉체(21)로부터 전극 부재(4)가 돌출하기 때문에, 수지층(26)에 제거 공정을 폐지할 수 있고, 제조 공정의 간략화를 도모할 수 있다.
- <148> (실시예 4)
- <149> 도 22는 본 발명의 실시예 4인 반도체 장치의 개략 구성을 나타내는 도면(도 22a는 수지 밀봉체의 일부를 제거한 상태의 모식적 평면도, 도 22b는 도 22a의 h-h선에 따른 모식적 단면도).
- <150> 도 22에 도시한 바와 같이, 본 실시예의 반도체 장치(35)는 기본적으로 전술한 실시예 1과 마찬가지로의 구성이 되고 있고, 이하의 구성이 다르다.
- <151> 즉, 반도체 칩(10)은 그 회로 형성면(10X)이 전극 부재(4)의 내부 접속면(4X)과 마주 보는 상태로 밀봉되어, 반도체 칩(10)의 전극(10A)과 전극 부재(4)와의 전기적인 접속은 도전성 범프(36) 및 뿔납재(37)에 의해서 행해지고 있다.
- <152> 본 실시예의 반도체 장치(35)의 제조는 전술한 실시예 1에서 설명한 제조와 약간 다르고, 칩 본딩 공정에 있어서 기판의 일주면에 회로 형성면(10X)이 마주 보는 상태에서 반도체 칩(10)을 탑재한다.
- <153> 본 실시예에 따르면, 반도체 칩의 전극(10A)과 전극 부재(4)나 도전성 범프(36) 및 뿔납재(37)를 개재하여 전기적으로 접속되어 있기 때문에, 본딩 와이어를 이용한 경우와 비교하여 반도체 칩의 전극(10A)와 도전성 부재(4)간의 도전 경로가 짧아진다. 따라서, 저온 저항화, 고주파의 제품에 대응한 QFN형 반도체 장치(35)를 제공할 수 있다.

<154> 이상, 본 발명자에 의해서 이루어진 발명을 상기 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되지는 않고 그 요지를 일탈하지 않은 범위에서 여러가지 변경 가능한 것은 물론이다.

발명의 효과

<155> 본원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 하기와 같다.
 <156> 본 발명에 따르면, 제조 수율이 높은 반도체 장치를 제공할 수 있다.

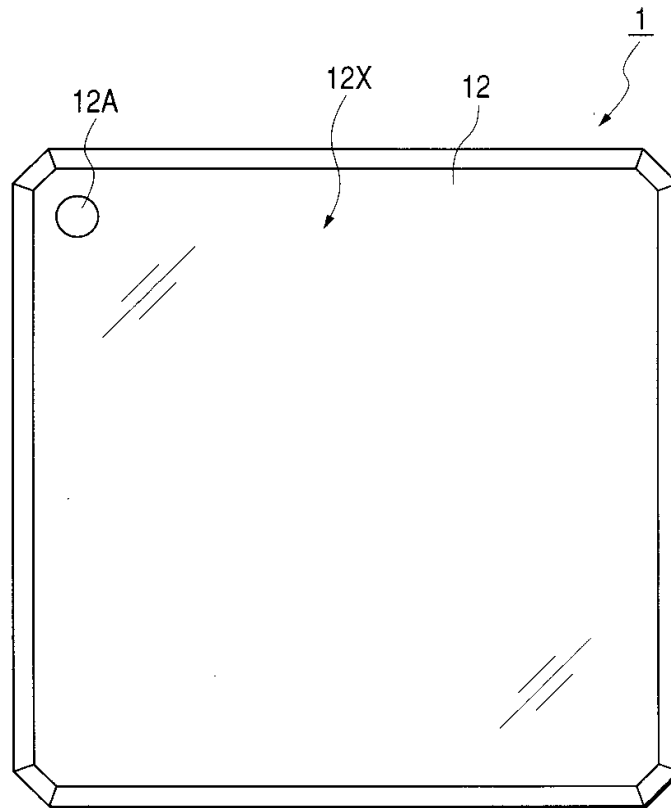
도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예 1인 반도체 장치의 개략 구성을 나타내는 모식적 평면도.
- <2> 도 2는 본 발명의 실시예 1인 반도체 장치의 개략 구성을 나타내는 모식적 저면 도면.
- <3> 도 3은 본 발명의 실시예 1인 반도체 장치의 개략 구성을 나타내는 도면(도 3a는 수지 밀봉체의 상부를 제거한 상태의 모식적 평면도, 도 3b는 도 3a의 a-a선에 따른 모식적 단면도).
- <4> 도 4는 본 발명의 실시예 1인 반도체 장치의 제조에 이용되는 프레임 구조체의 모식적 평면도.
- <5> 도 5는 도 4의 b-b 선에 따른 모식적 단면도.
- <6> 도 6은 본 발명의 실시예 1인 반도체 장치의 제조를 설명하기 위한 모식적 단면도.
- <7> 도 7은 본 발명의 실시예 1인 반도체 장치의 제조를 설명하기 위한 모식적 단면도.
- <8> 도 8은 본 발명의 실시예 1인 반도체 장치의 제조를 설명하기 위한 모식적 단면도.
- <9> 도 9는 본 발명의 실시예 1인 반도체 장치의 제조에 이용되는 캐리어 테이프의 모식적 평면도.
- <10> 도 10은 본 발명의 실시예 2인 반도체 장치의 개략 구성을 나타내는 모식적 단면도.
- <11> 도 11은 본 발명의 실시예 2인 반도체 장치의 제조에 이용되는 기관의 개략 구성을 나타내는 도면(도 11a는 모식적 평면도, 도 11b는 도 11a의 c-c 선에 따른 모식적 단면도).
- <12> 도 12는 본 발명의 실시예 2인 반도체 장치의 제조를 설명하기 위한 모식적 평면도.
- <13> 도 13은 본 발명의 실시예 2인 반도체 장치의 제조를 설명하기 위한 도면(도 13a는 모식적 평면도, 도 13b는 도 13a의 d-d선에 따른 모식적 단면도).
- <14> 도 14는 본 발명의 실시예 2인 반도체 장치의 제조를 설명하기 위한 도면(도 14a는 모식적 평면도, 도 14b는 도 14a의 e-e선에 따른 모식적 단면도).
- <15> 도 15는 본 발명의 실시예 3인 반도체 장치의 개략 구성을 나타내는 도면(도 15a는 모식적 단면도, 도 15b는 도 15a의 일부를 확대한 모식적 단면도).
- <16> 도 16은 본 발명의 실시예 3인 반도체 장치의 제조에 이용되는 기관의 개략 구성을 나타내는 모식적 평면도.
- <17> 도 17은 도 16의 f-f 선에 따른 모식적 단면도.
- <18> 도 18은 본 발명의 실시예 3인 반도체 장치의 제조를 설명하기 위한 모식적 단면도.
- <19> 도 19는 본 발명의 실시예 3인 반도체 장치의 제조를 설명하기 위한 모식적 단면도.
- <20> 도 20은 본 발명의 실시예 3인 반도체 장치의 제조를 설명하기 위한 모식적 단면도.
- <21> 도 21은 본 발명의 실시예 3인 반도체 장치의 제조에 이용되는 다른 기관의 개략 구성을 나타내는 도면(도 21a는 모식적 평면도, 도 21b는 도 21a의 g-g선에 따른 모식적 단면도).
- <22> 도 22는 본 발명의 실시예 4인 반도체 장치의 개략 구성을 나타내는 도면(도 22a는 수지 밀봉체의 일부를 제거한 모식적 평면도, 도 22b는 도 22a의 h-h선에 따른 모식적 단면도).
- <23> 도 23은 종래의 QFN형 반도체 장치의 제조에 있어서, 밀봉 공정을 설명하기 위한 모식적 단면도.
- <24> 도 24는 종래의 QFN형 반도체 장치의 제조에 있어서, 밀봉 공정을 설명하기 위한 모식적 단면도.

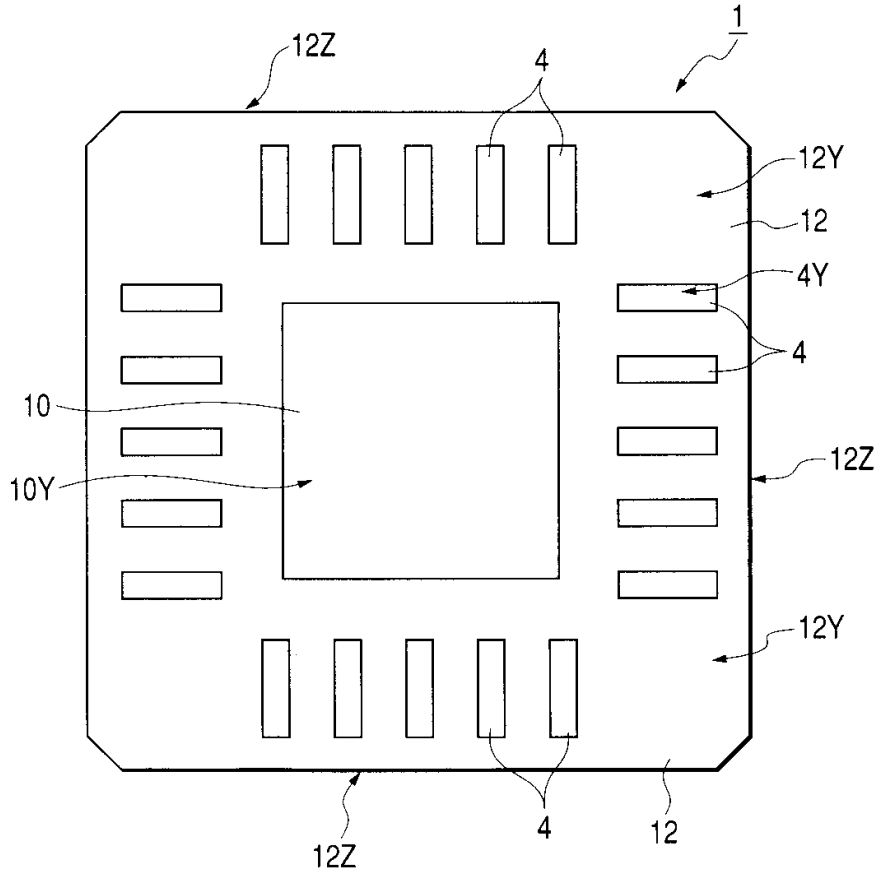
- <25> 도 25는 종래의 QFN형 반도체 장치의 제조에 있어서, 밀봉 공정을 설명하기 위한 모식적 단면도.
- <26> 도 26은 종래의 QFN형 반도체 장치의 제조에 있어서, 밀봉 공정 후의 절단 공정을 설명하기 위한 모식적 단면도.
- <27> 도 27은 종래의 QFN형 반도체 장치의 제조에 있어서, 밀봉 공정 후의 절단 공정을 설명하기 위한 모식적 단면도.
- <28> 도 28은 종래의 QFN형 반도체 장치의 제조에 있어서, 밀봉 공정 후의 절단 공정을 설명하기 위한 모식적 단면도.
- <29> <도면의 주요 부분에 대한 부호의 설명>
- <30> 1, 20, 25, 35 : 반도체 장치
- <31> 2 : 기판
- <32> 3 : 점착층
- <33> 4 : 전극 부재
- <34> FS : 프레임 구조체
- <35> 6 : 프레임 본체
- <36> 21 : 수지 밀봉재
- <37> 26 : 수지층

도면

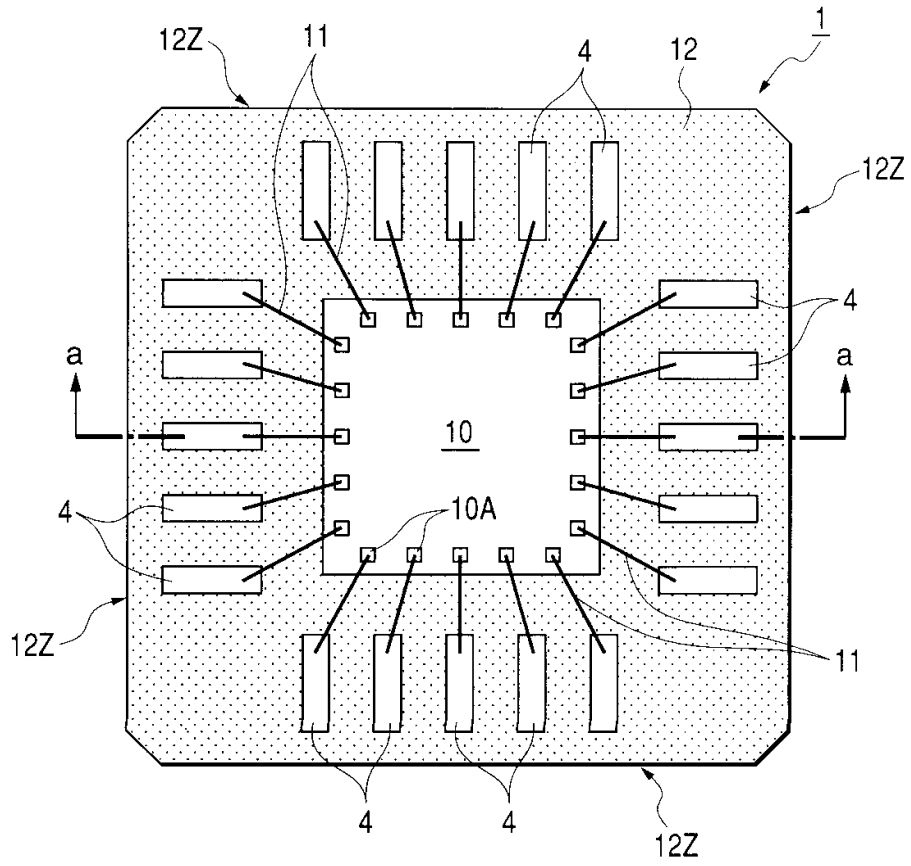
도면1



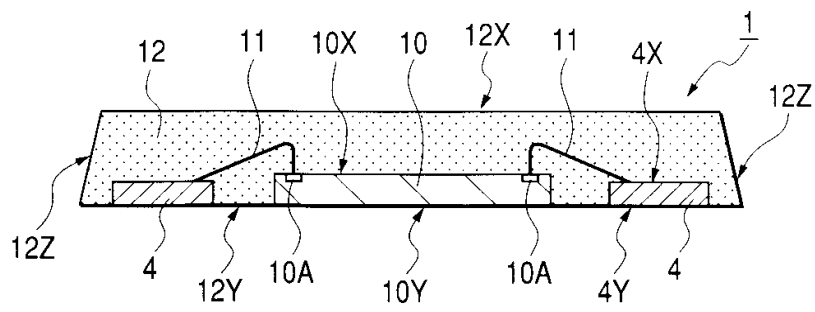
도면2



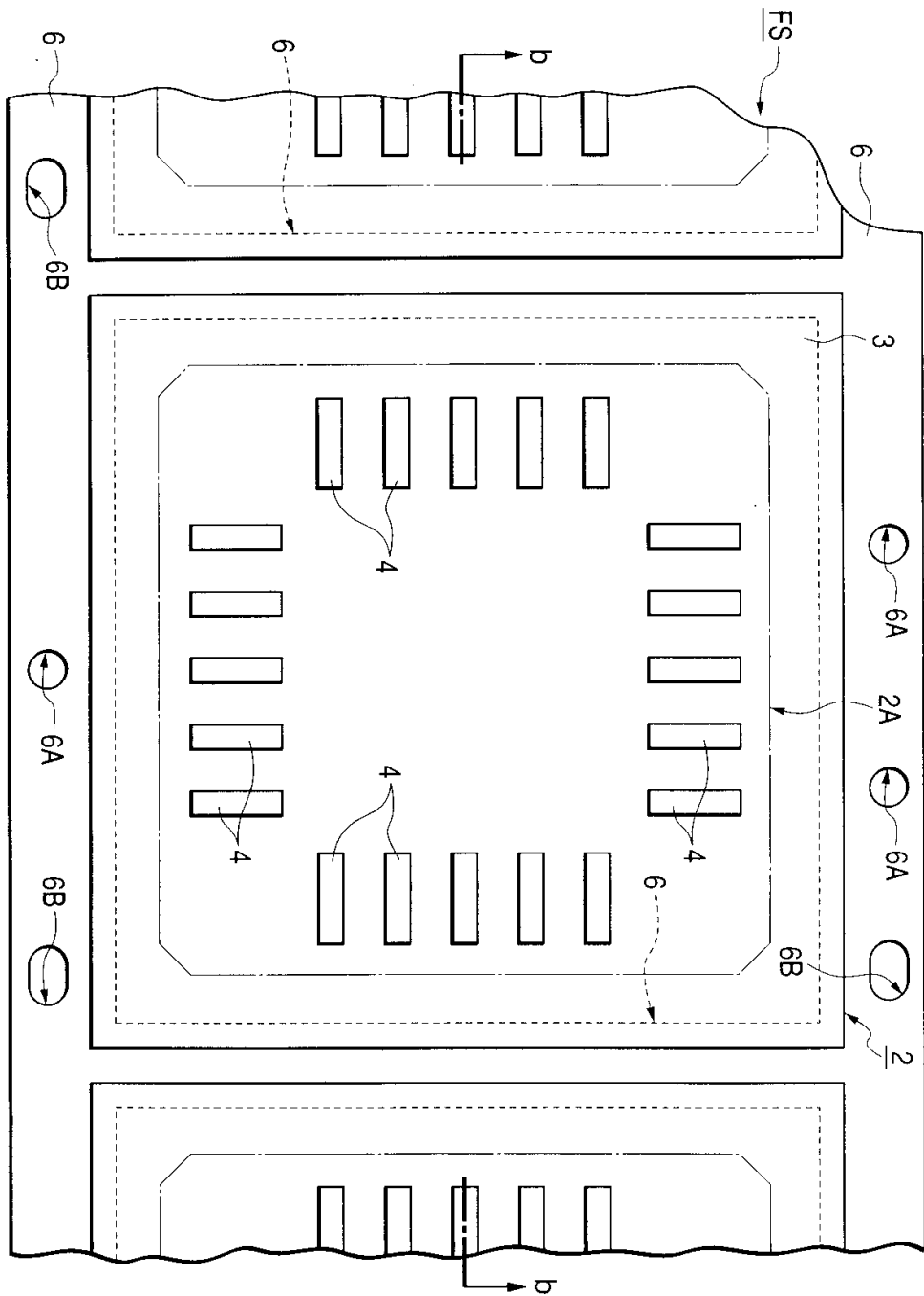
도면3a



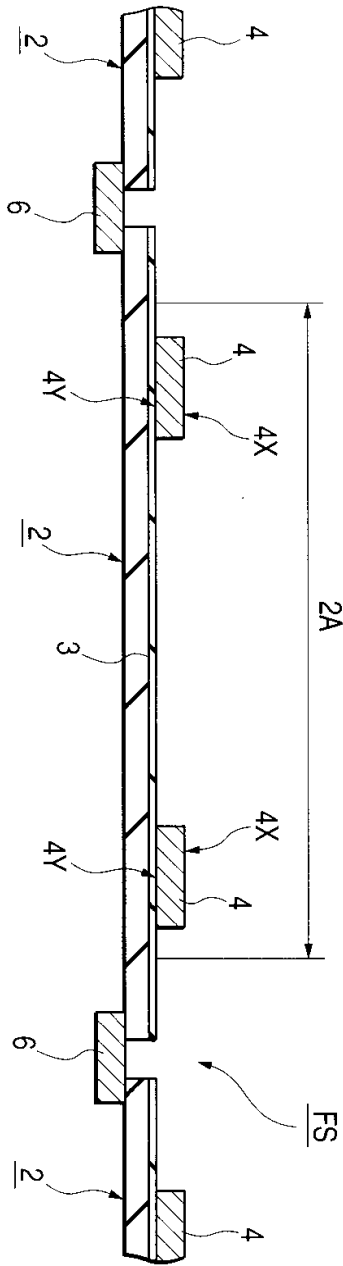
도면3b



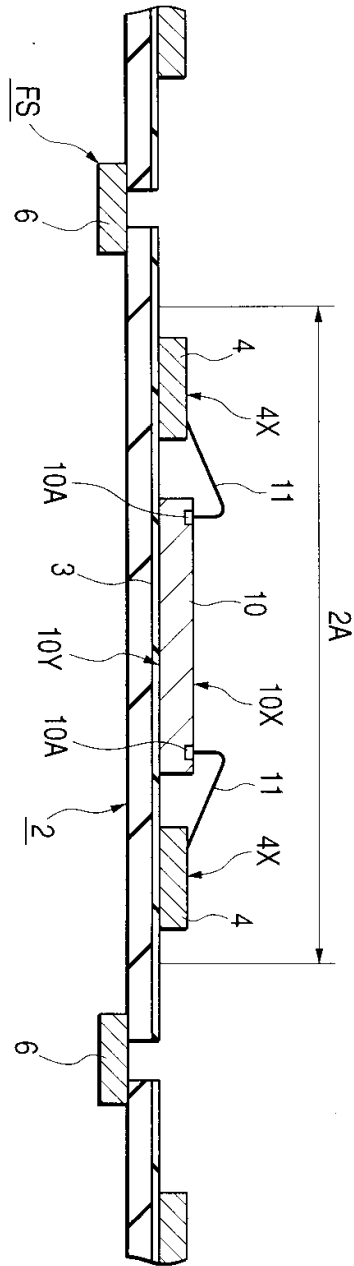
도면4



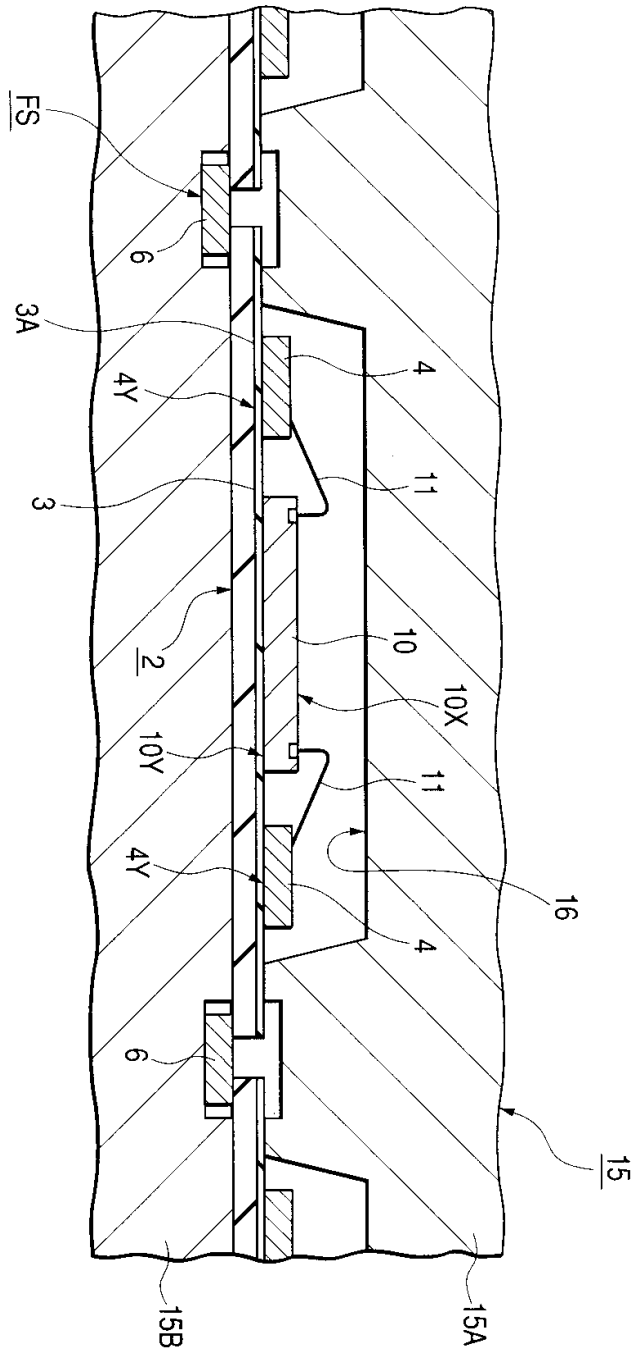
도면5



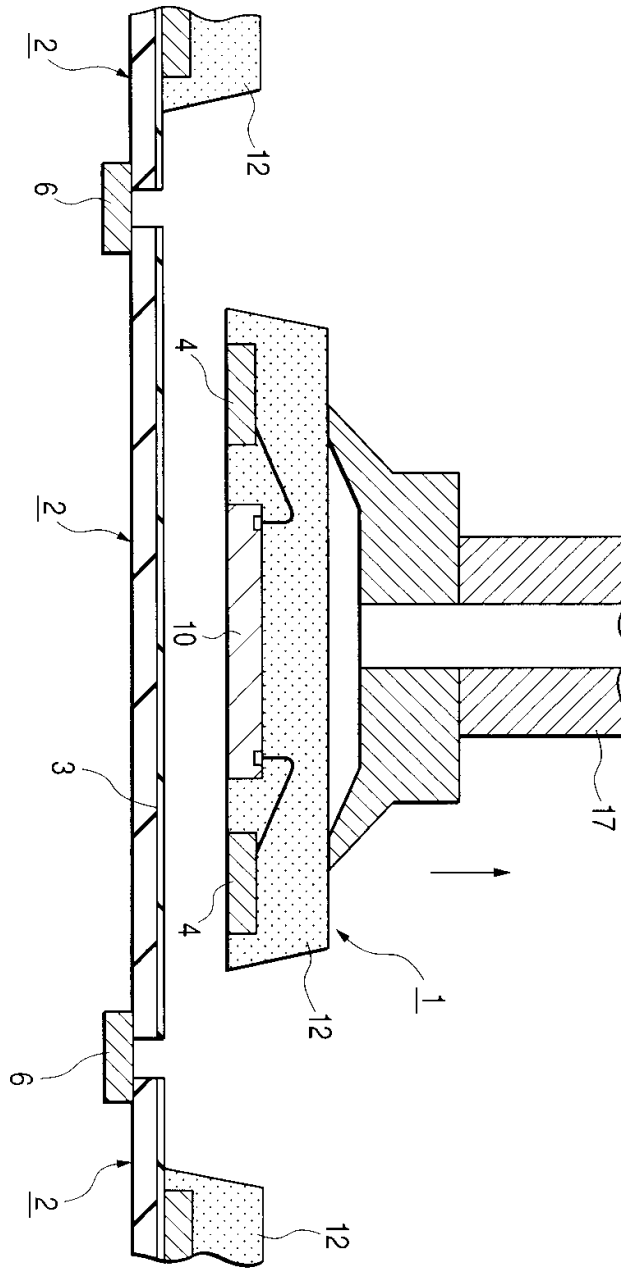
도면6



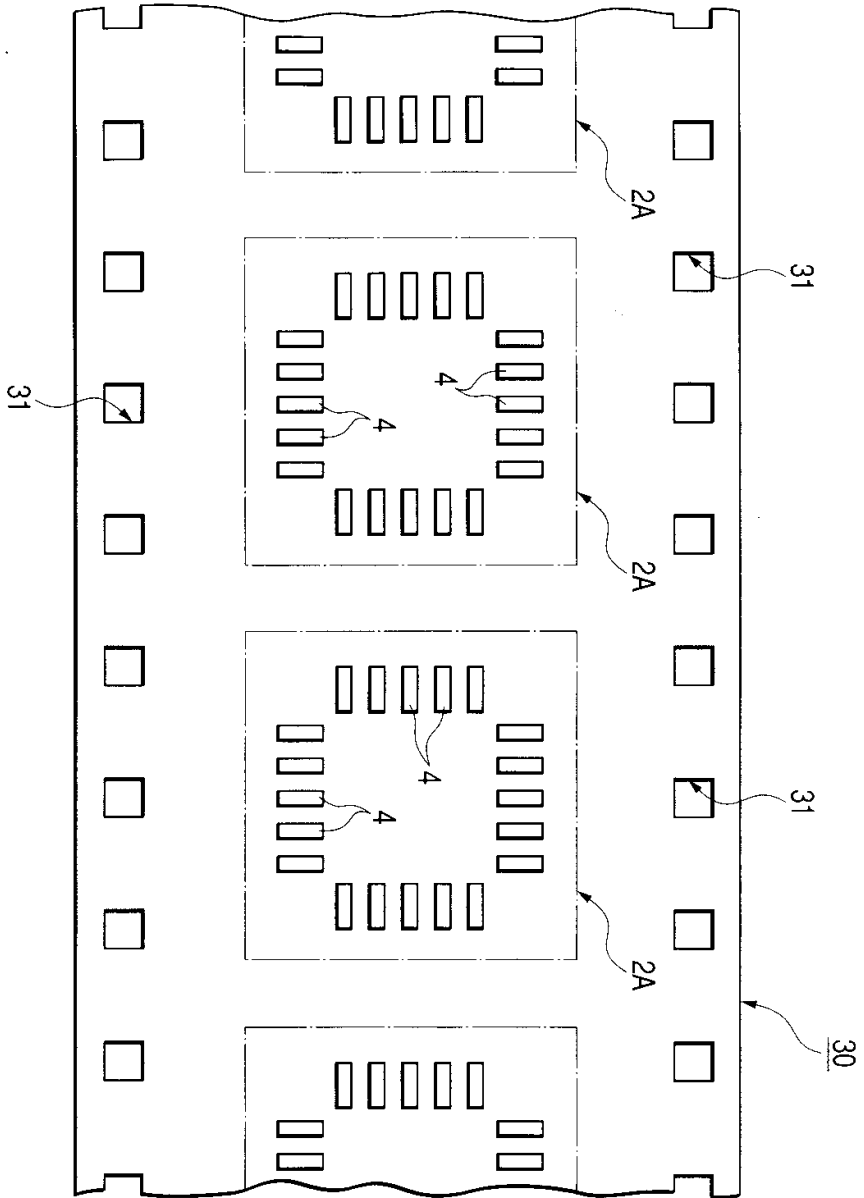
도면7



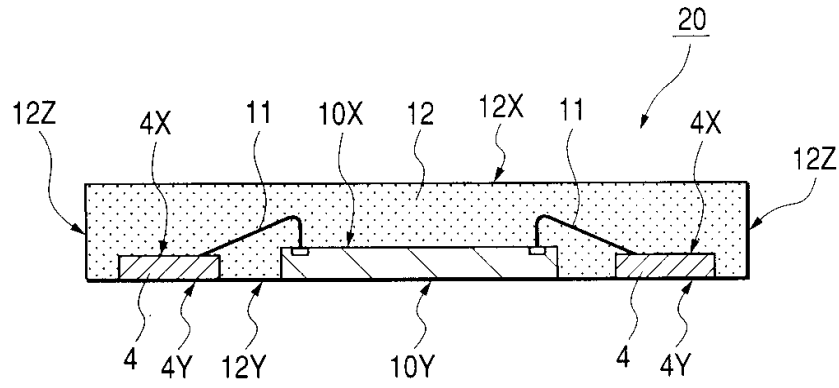
도면8



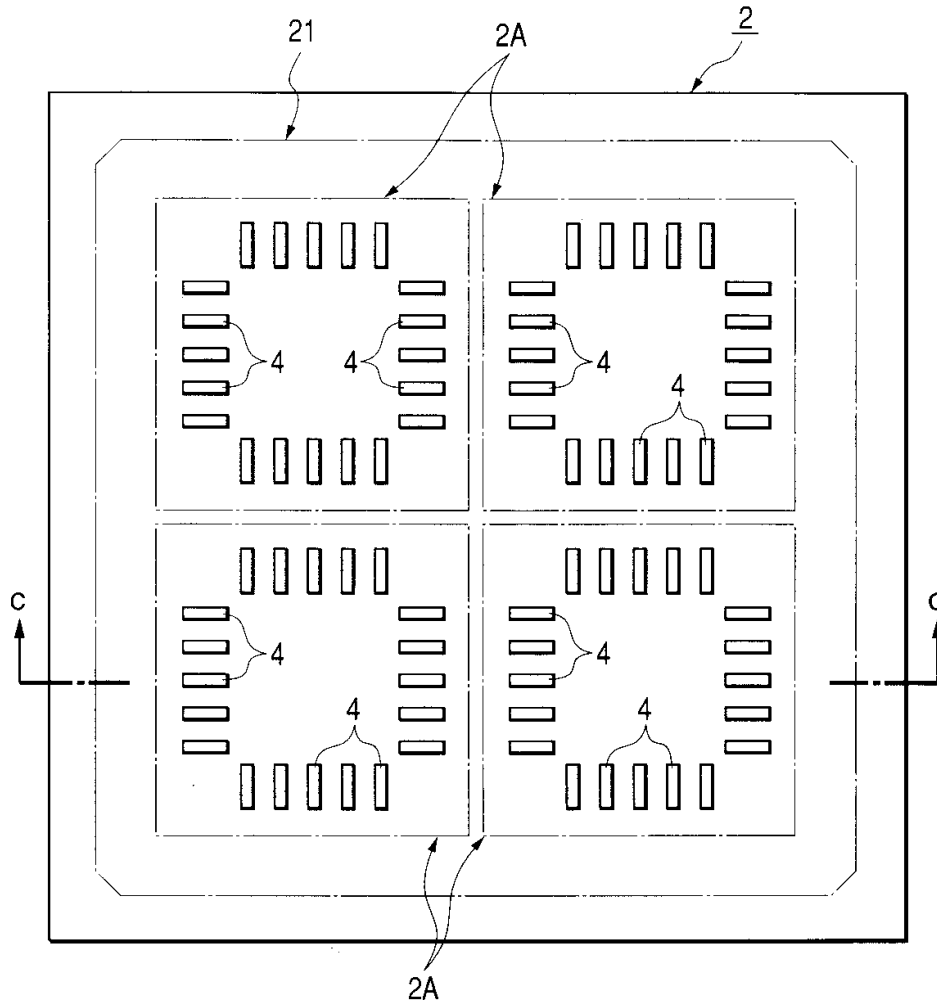
도면9



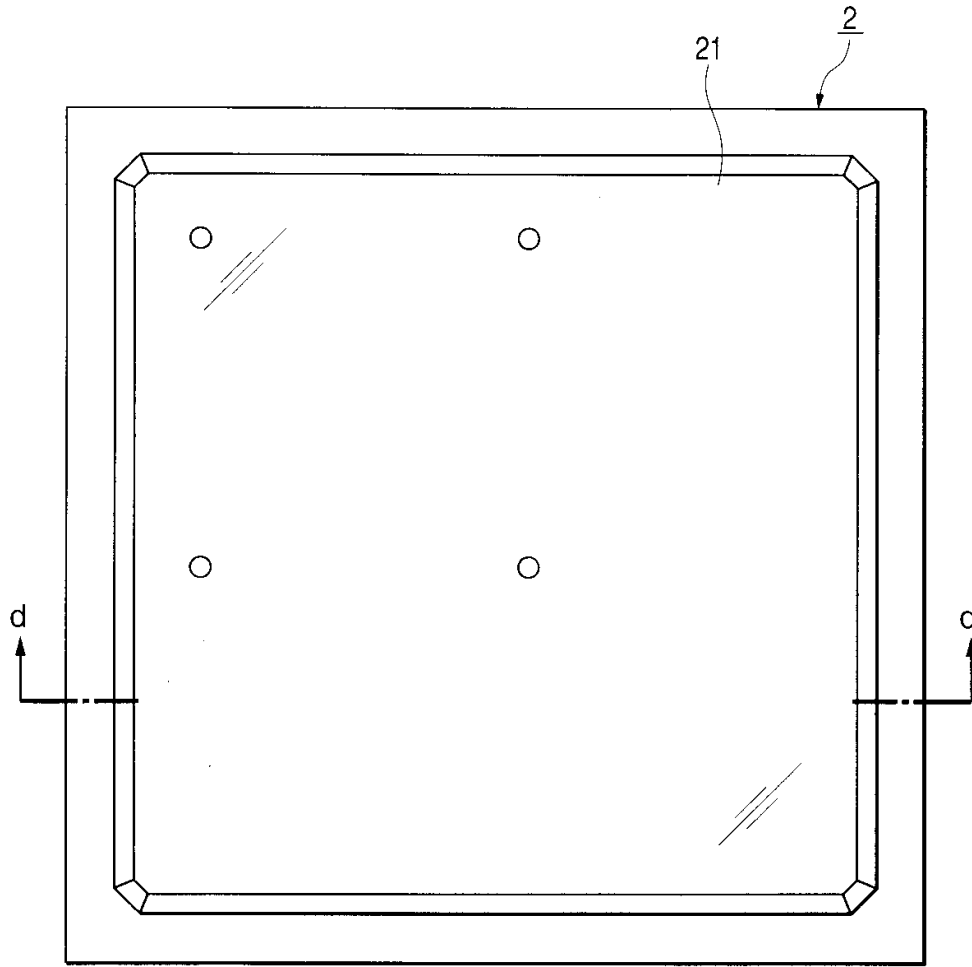
도면10



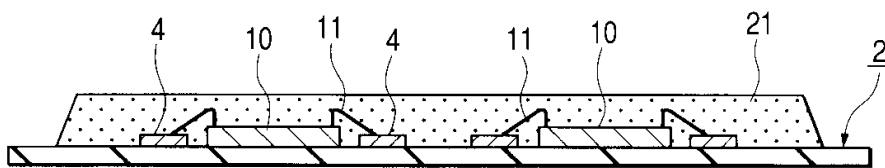
도면11a



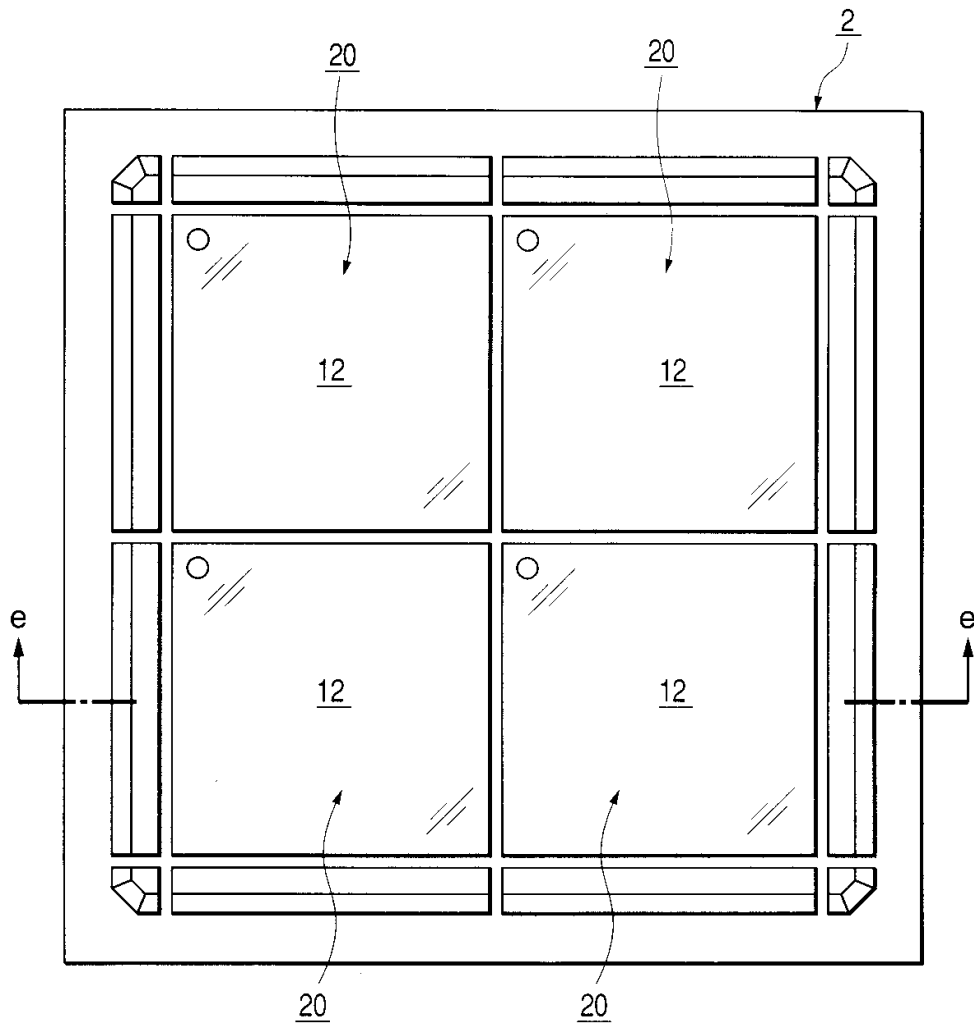
도면13a



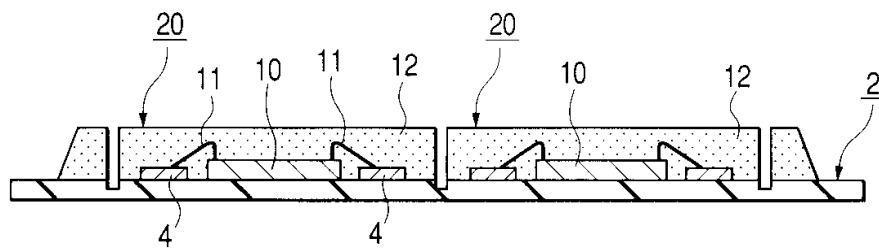
도면13b



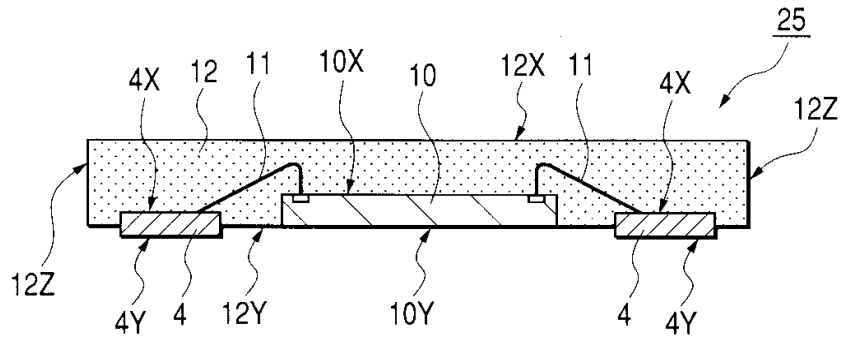
도면14a



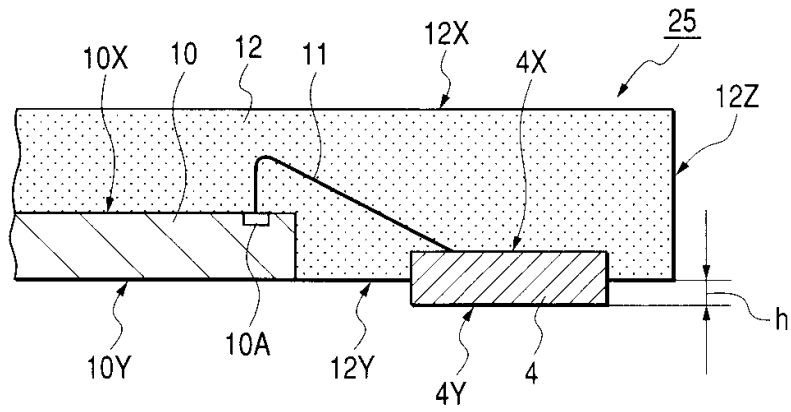
도면14b



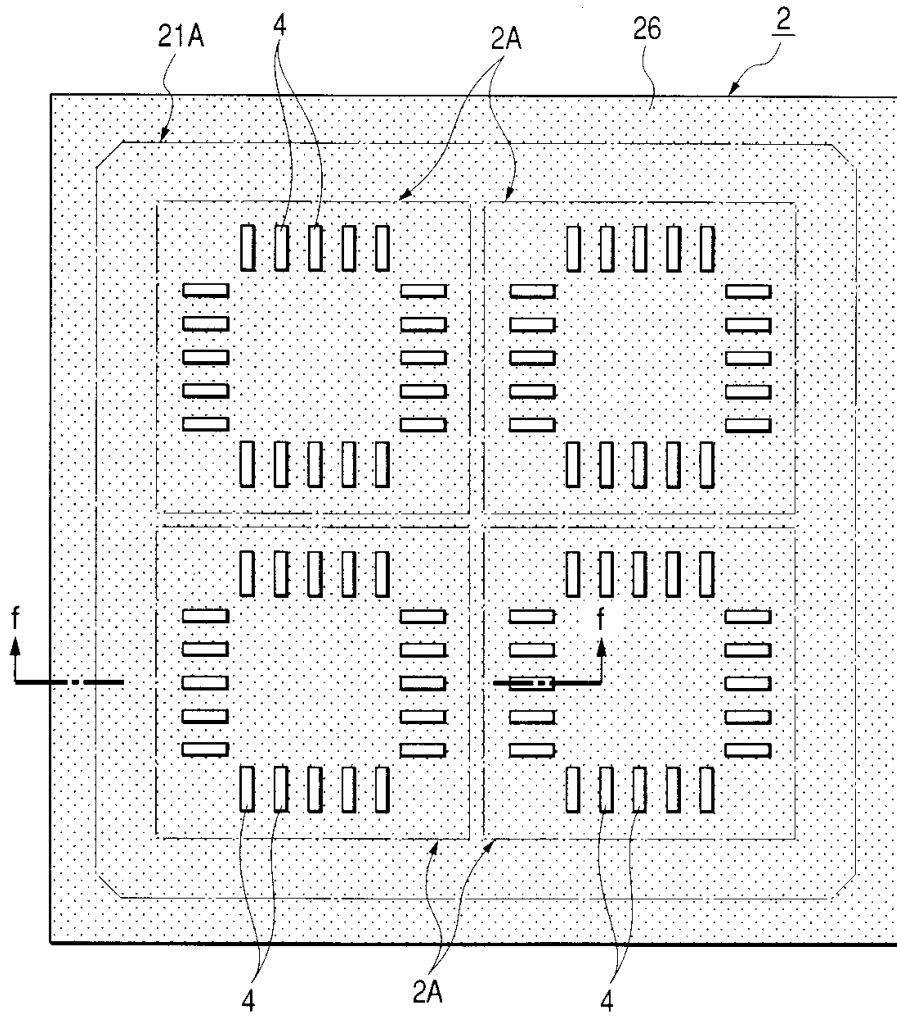
도면15a



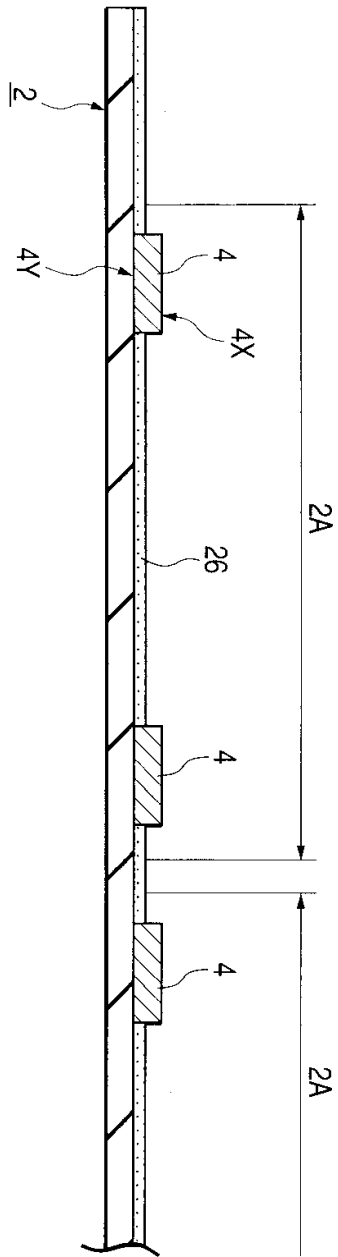
도면15b



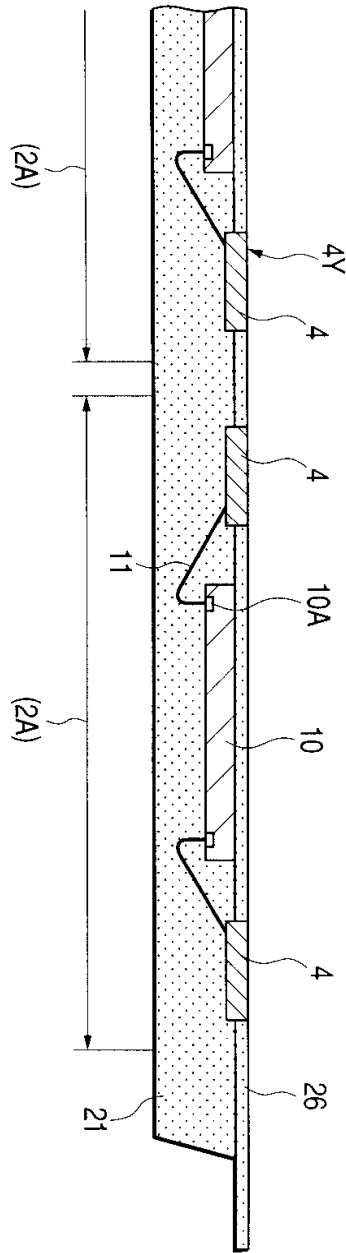
도면16



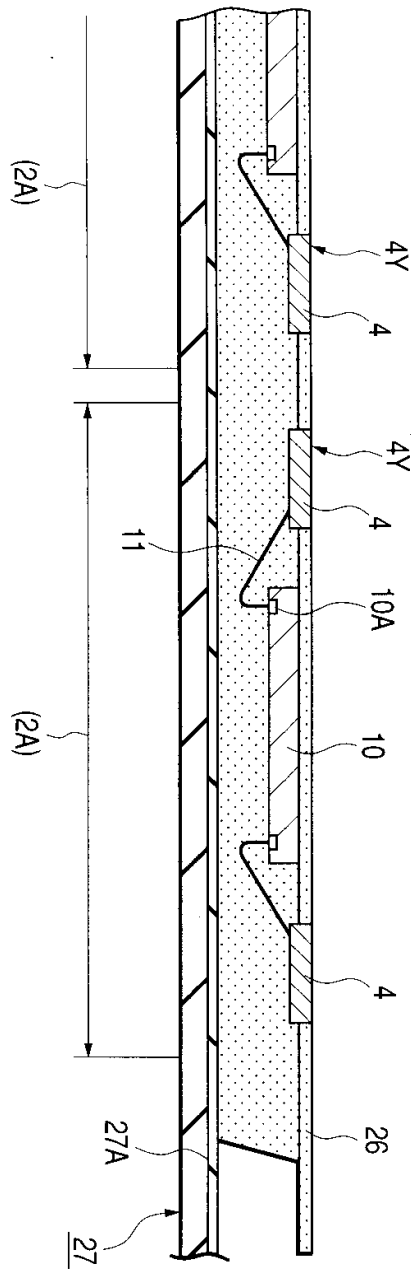
도면17



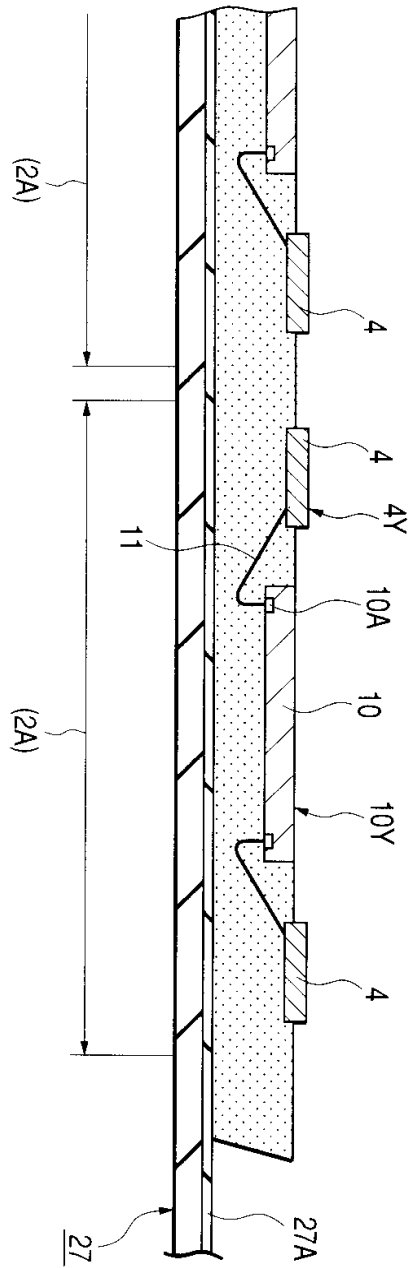
도면19a



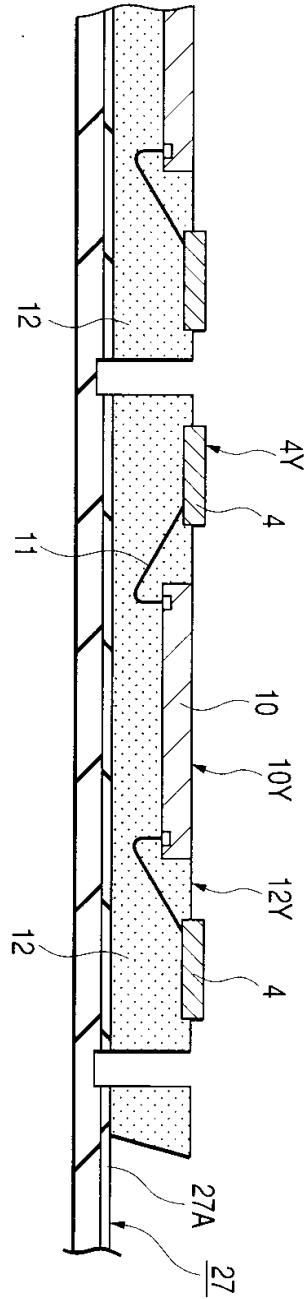
도면19b



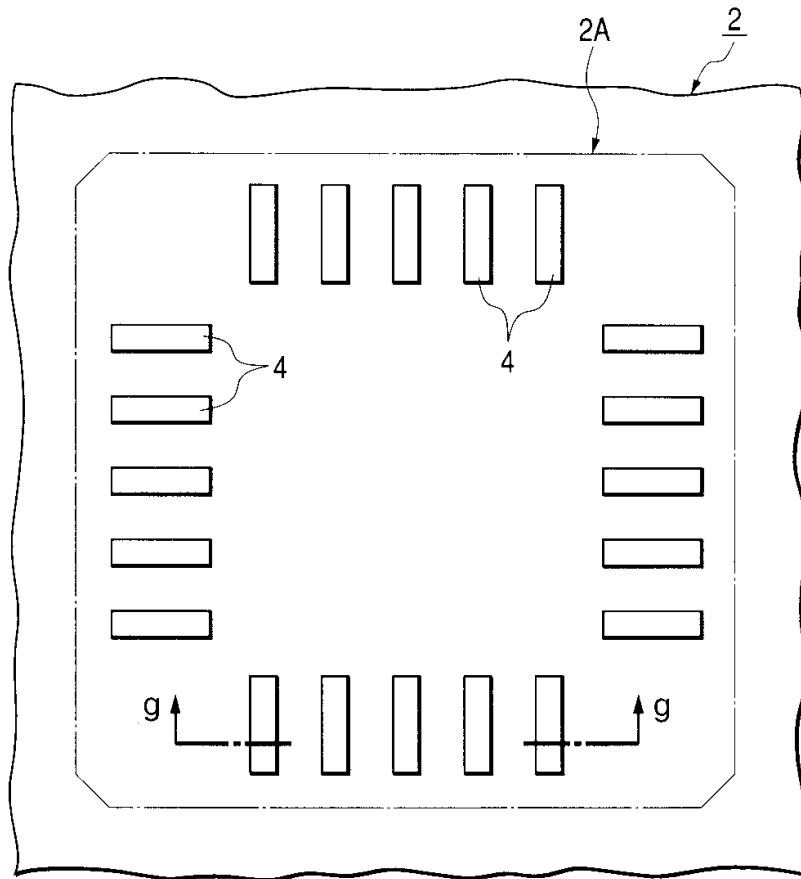
도면20a



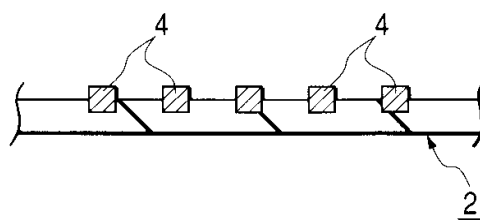
도면20b



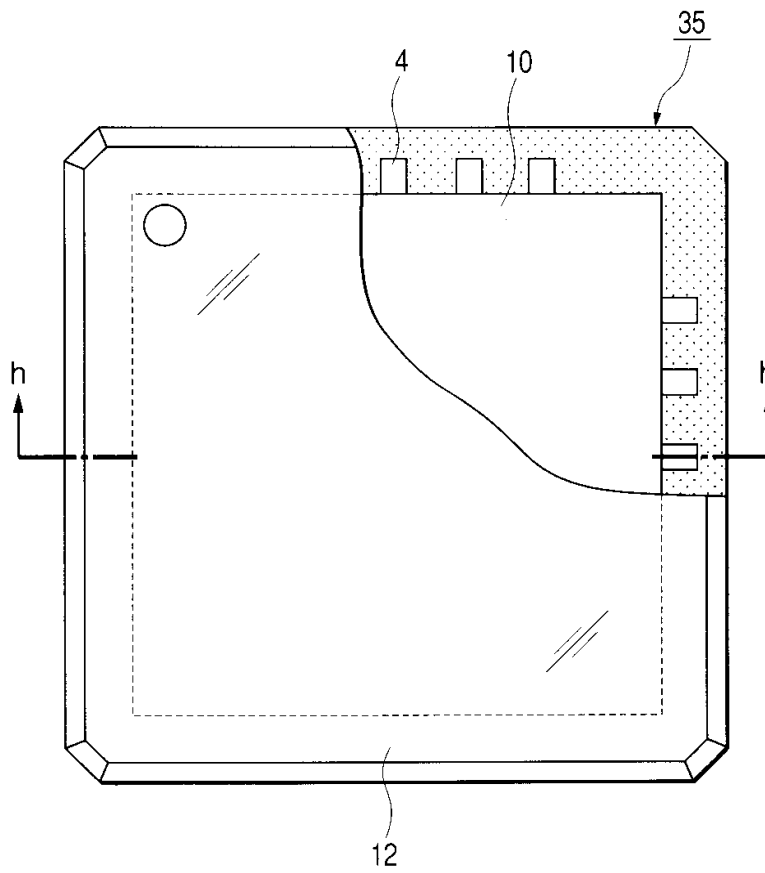
도면21a



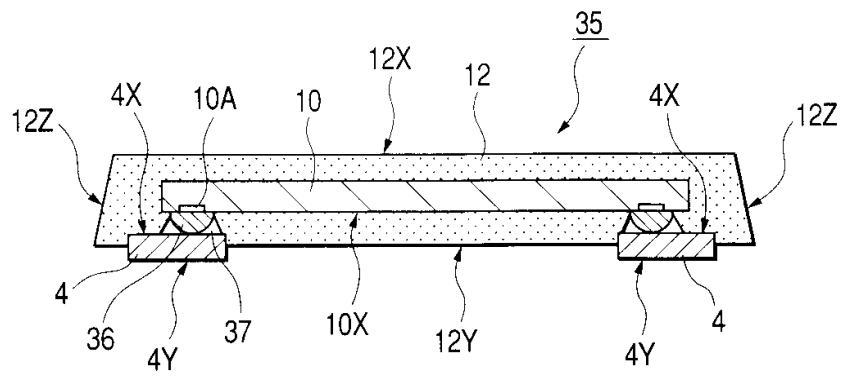
도면21b



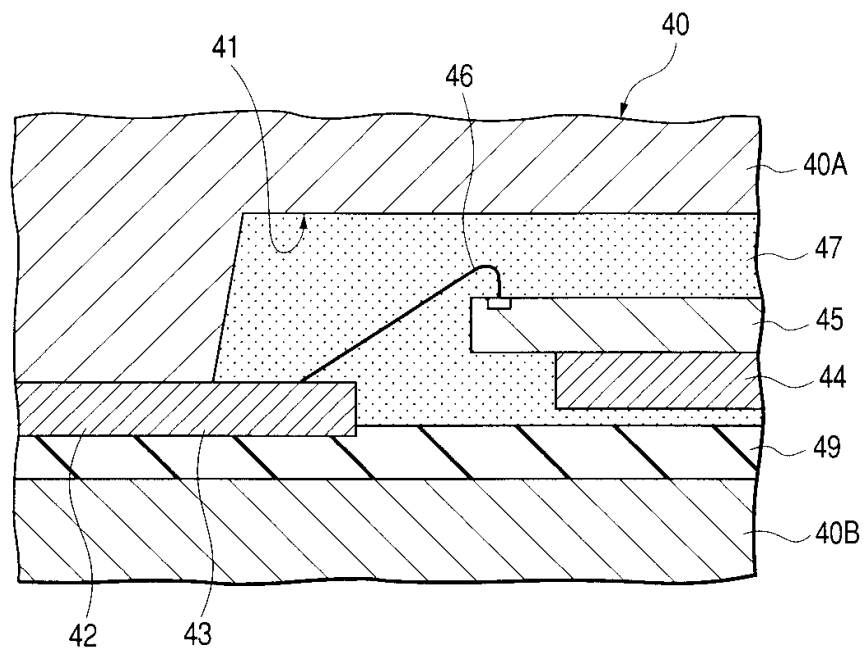
도면22a



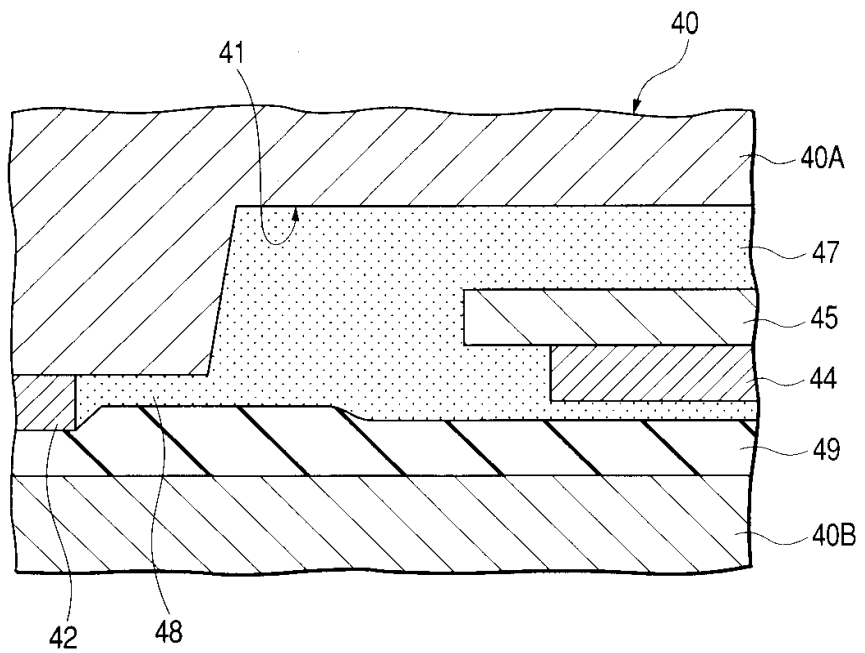
도면22b



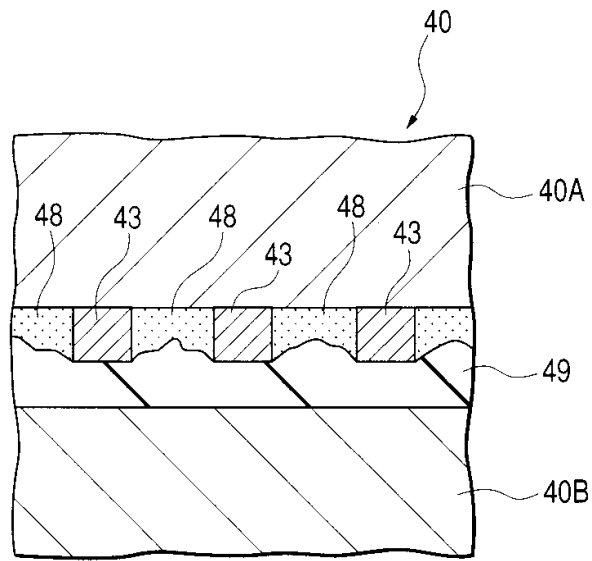
도면23



도면24



도면25



도면26

