

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 9 日(09.08.2012)



(10) 国際公開番号
WO 2012/105437 A1

- (51) 国際特許分類:
H01G 4/12 (2006.01) *H01G 4/30* (2006.01)
H01C 7/10 (2006.01)
- (21) 国際出願番号: PCT/JP2012/051779
- (22) 国際出願日: 2012 年 1 月 27 日(27.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-022504 2011 年 2 月 4 日(04.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 村田製作所 (Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 川本 光俊 (KAWAMOTO Mitsutoshi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社 村田製作所内 Kyoto (JP).
- (74) 代理人: 國弘 安俊 (KUNIHIRO Yasutoshi); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 1 4

ー 1 〇 サムティ新大阪フロントビル 1 〇 階
Osaka (JP).

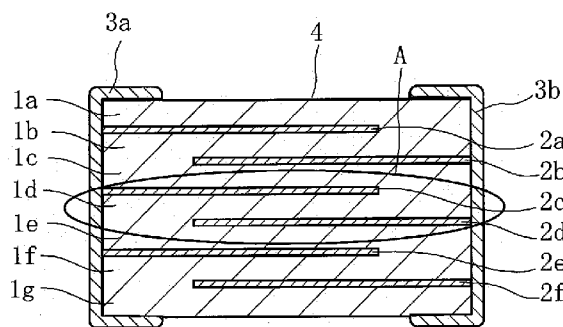
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LAMINATE SEMICONDUCTOR CERAMIC CAPACITOR HAVING VARISTOR FUNCTIONALITY AND METHOD FOR PRODUCING SAME

(54) 発明の名称: バリスタ機能付き積層型半導体セラミックコンデンサとその製造方法

[図1]



(57) Abstract: The present invention has: a component element (4) obtained by laminating a plurality of semiconductor ceramic layers (1a-1g), which are formed from a semiconductor ceramic that is SrTiO₃-based grain boundary insulating, and a plurality of internal electrode layers (2a-2f), which have Ni as the primary component, in an alternating manner and sintering; and external electrodes (3a, 3b) that are electrically connected to the internal electrode layers (2a-2f) at both ends of the component element (4). The thicknesses of the semiconductor ceramic layers (1b-1f) excluding the outer cladding semiconductor ceramic layers (1a, 1g) are at least 20 μm, and the average grain size of the crystal grains in the semiconductor ceramic layers (1a-1g) is no greater than 1.5 μm. When analyzing the central section or the vicinity of the central section in the direction of lamination of the semiconductor ceramic layers via a WDX method, the ratio (x/y) of the strength (x) of the element Ni to the strength (y) of the element Ti is no greater than 0.06. As a result, a laminate semiconductor ceramic capacitor having varistor functionality is achieved that has favorable reliability, is able to stably obtain favorable electrical characteristics and insulating properties, and has low unevenness in characteristics between products.

(57) 要約:

[続葉有]

WO 2012/105437 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

SrTiO₃系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層 1 a ~ 1 g と Ni を主成分とする複数の内部電極層 2 a ~ 2 f とが交互に積層されて焼結されてなる部品素体 4 と、該部品素体 4 の両端部に前記内部電極層 2 a ~ 2 f と電氣的に接続された外部電極 3 a、3 b とを有し、外装用の半導体セラミック層 1 a、1 g を除く半導体セラミック層 1 b ~ 1 f の各厚みが 20 μm 以上であって、前記半導体セラミック層 1 a ~ 1 g における結晶粒子の平均粒径が 1.5 μm 以下である。半導体セラミック層の積層方向の中央部又は該中央部近傍を WDX 法で分析した場合に、Ni 元素の強度 x と Ti 元素の強度 y との比率 x/y が 0.06 以下である。これにより製品間の特性バラツキが小さく、良好な電気特性や絶縁性を安定して得ることができ、かつ良好な信頼性を有するバリスタ機能付き積層型半導体セラミックコンデンサを実現する。

明 細 書

発明の名称：

バリスタ機能付き積層型半導体セラミックコンデンサとその製造方法

技術分野

[0001] 本発明はバリスタ機能付き積層型半導体セラミックコンデンサとその製造方法に関し、より詳しくは SrTiO_3 系粒界絶縁型の半導体セラミックを利用したバリスタ機能を有するバリスタ機能付き積層型半導体セラミックコンデンサとその製造方法に関する。

背景技術

[0002] 近年のエレクトロニクス技術の発展に伴い、携帯電話やノート型パソコン等の携帯用電子機器や、自動車などに搭載される車載用電子機器の普及と共に、電子機器の小型化、多機能化が求められている。

[0003] 一方、電子機器の小型化、多機能化を実現するために、各種IC、LSIなどの半導体素子が多く用いられるようになってきており、それに伴って電子機器のノイズ耐力が低下しつつある。

[0004] そこで、従来より、半導体素子の電源ラインにバイパスコンデンサとしてフィルムコンデンサ、積層型セラミックコンデンサ、積層型半導体セラミックコンデンサなどを配し、これにより電子機器のノイズ耐力を確保することが行われている。

[0005] 特に、カーナビやカーオーディオ、車載ECU等では、静電容量が1 nF程度のコンデンサを外部端子に接続し、これにより高周波ノイズを吸収することが広く行われている。

[0006] しかしながら、これらのコンデンサは、高周波ノイズの吸収に対しては優れた性能を示すが、コンデンサ自体は高電圧パルスや静電気を吸収する機能を有さない。このため斯かる高電圧パルスや静電気が電子機器内に侵入すると、電子機器の誤動作や半導体素子の破損を招くおそれがある。特に、静電容量が1 nF程度の低容量になると、ESD (Electro-Static Discharge :

「静電気放電」) 耐圧が極端に低くなり(例えば、2 k V ~ 4 k V 程度)、コンデンサそのものの破損を招くおそれがある。

[0007] そこで、従来では、図5に示すように、外部端子101と半導体素子102とを接続する電源ライン103にバイパスコンデンサ104を配すると共に、該バイパスコンデンサ104と並列に、例えばツェナーダイオード105を接続することが広く行われている。ツェナーダイオード105は、バイパスコンデンサ104を保護すると共に半導体素子102を保護する役割を担い、これによりESD耐圧を確保すると共に、半導体素子102をも保護している。

[0008] しかしながら、上述したようにバイパスコンデンサ104に対し並列にツェナーダイオード105を設けた場合は、部品個数が増加しコスト高を招く上に、設置スペースを確保しなければならず、デバイスの大型化を招くおそれがある。

[0009] 一方、 SrTiO_3 系粒界絶縁型の積層型半導体セラミックコンデンサは、バリスタ特性を有することが知られており、一定の電圧以上の電圧が印加されると大きな電流が流れることから、ESD対策品としても注目されている。

[0010] したがって、この種の積層型半導体セラミックコンデンサが、ESDに対する耐性だけではなく、半導体素子102の保護をも担うことができれば、従来のコンデンサとツェナーダイオードに代え、図6に示すように、1個の積層型半導体セラミックコンデンサ106のみで賄うことができる。そしてこれにより、部品点数の削減や低コスト化と共に、設計の標準化も容易となり、付加価値を有するコンデンサの提供が可能となる。

[0011] そして、特許文献1では、 SrTiO_3 系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層と複数の内部電極層とが交互に積層されて焼成されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層と電氣的に接続された外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサであって、前記半導体セラミックが、SrサイトとTi

サイトとの配合モル比 m は $1.000 < m \leq 1.020$ であり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、前記Ti元素100モルに対し0.5モル以下（ただし、0モルを含まず。）の範囲で粒界層中に存在し、かつ、結晶粒子の平均粒径が $1.0\mu\text{m}$ 以下としたバリスタ機能付き積層型半導体セラミックコンデンサが提案されている。

[0012] この特許文献1では、内部電極材料にNiを使用し、半導体セラミック層の1層当たりの厚みを $13\mu\text{m}$ 、積層数を10層として半導体セラミックコンデンサを作製している。そして、見掛け比誘電率 $\epsilon_{r\text{APP}}$ が1000以上の良好な電気特性を有し、比抵抗 $\log\rho$ が9.5以上の良好な絶縁性を有し、30kV以上のESD耐圧を確保できる小型低容量に適したバリスタ機能を有する積層型半導体セラミックコンデンサを得ている。

[0013] また、特許文献2には、半導体磁器を得るための主成分又はこの主成分を得るための物質と半導体化促進剤とを含む磁器原料を酸化性雰囲気中で仮焼する工程と、前記仮焼した磁器材料を使用して磁器生シートを形成する工程と、前記磁器生シートの主面に前記半導体磁器の粒界を絶縁化するための物質を混入した導電性ペーストを塗布する工程と、前記導電性ペーストが塗布された複数の磁器生シートを積層して積層体を形成する工程と、前記積層体を還元性雰囲気中で焼成して焼結体を得る工程と、前記焼結体を弱酸化性雰囲気中、 $900^{\circ}\text{C} \sim 1200^{\circ}\text{C}$ で熱処理する工程とを含む粒界絶縁型半導体積層磁器コンデンサの製造方法が提案されている。

[0014] 特許文献2では、大気雰囲気下、 1150°C の温度で仮焼されたセラミック原料からペースト塗布層を有する生シート積層体を作製し（生シートの厚み： $60\mu\text{m}$ ）、該生シート積層体を還元性雰囲気下、 1300°C で一次焼成した後、弱酸化性雰囲気下、 1000°C で二次焼成を行ない、これにより内部電極材料としてNi等の卑金属材料が使用可能なバリスタ機能を有する積層型半導体セラミックコンデンサを得ている。

先行技術文献

特許文献

[0015] 特許文献1：国際公開2008/004389号（請求項1、段落番号〔0100〕、〔0112〕、表1）

特許文献2：特開平5-36561号公報（請求項1、段落番号〔0015〕～〔0022〕）

発明の概要

発明が解決しようとする課題

[0016] ところで、特許文献1では、内部電極材料としてNiを使用しているが、本発明者の研究結果により、Niは焼成中に半導体セラミック層側に拡散することが分かった。しかしながら、このNiは電荷的にアクセプタとして作用するため、Niのセラミック層中への拡散量が多くなると、見掛け比誘電率 ϵ_{rapp} や絶縁抵抗が低下し、電気特性や絶縁性が劣化するおそれがある。また、このようなNiの拡散量に応じて電気特性や絶縁性が変動することから、製品間で特性バラツキが生じるおそれもある。

[0017] また、特許文献2は、一次焼成処理の焼成温度が仮焼処理よりも高く、このため一次焼成処理時に結晶粒子の粒成長が促進されて粗大化するおそれがある。このように結晶粒子が粗大化すると、二次焼成時には粒界層に酸素が行き渡り難くなり、このため比抵抗の大きな粒界絶縁層を得ることができなくなる。

[0018] また、この特許文献2では、生シートの厚みは60 μ mと厚いものの、一次焼成処理の焼成温度が1300℃と高いことから、内部電極材料であるNiの半導体セラミック層側への拡散が促進され、このため、上述した結晶粒子の粗大化と相俟って、絶縁性の低下を助長するおそれがある。

[0019] 本発明はこのような事情に鑑みなされたものであって、製品間の特性バラツキが小さく、良好な電気特性や絶縁性を安定して得ることができ、かつ良好な信頼性を有するバリスタ機能付き積層型半導体セラミックコンデンサ及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0020] 本発明者は、上記目的を達成するために、SrTiO₃系粒界絶縁型の積層

型半導体セラミックコンデンサについて、Niを主成分とした卑金属材料を内部電極材料に使用して鋭意研究を行った。その結果、半導体セラミック層の各厚みを20 μm 以上とし、かつ半導体セラミックの結晶粒子の平均粒径を1.5 μm 以下とすることにより、製品間の特性バラツキを抑制でき、これにより電気特性や絶縁性が良好で信頼性の優れた半導体セラミックコンデンサを安定して得ることができるという知見を得た。

[0021] 本発明はこれらの知見に基づきなされたものであって、本発明に係るバリスタ機能付き積層型半導体セラミックコンデンサ（以下、単に「積層型半導体セラミックコンデンサ」という。）は、SrTiO₃系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層とNiを主成分とする複数の内部電極層とが交互に積層されて焼結されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層と電氣的に接続された外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサにおいて、前記半導体セラミック層の各厚みが20 μm 以上であって、前記半導体セラミック層における結晶粒子の平均粒径が1.5 μm 以下であることを特徴としている。

[0022] 上述のように半導体セラミック層の各厚みと結晶粒子の平均粒径を規定することにより、両者が相俟って製品間の特性バラツキを抑制でき、これにより電気特性や絶縁性が良好で信頼性に優れ、ESD対応に適した積層型半導体セラミックコンデンサを高効率で安定的に得ることができる。

[0023] また、半導体セラミック層の積層方向の中央部又は該中央部近傍を波長分散型蛍光X線分析（Wave Length-dispersive X-ray Spectroscopy；以下、「WDX」という。）法で元素分析したところ、半導体セラミック層の厚みが20 μm 以上になると、Ni元素の強度xとTi元素の強度yとの比率x/yが0.06以下に低減できることが分かった。したがって、Ni元素の強度xとTi元素の強度yとの比率x/yが0.06以下となるような領域帯を半導体セラミック層中に形成することにより、Ni拡散が特性に与える影響を極力排除できる。

[0024] すなわち、本発明の積層型半導体セラミックコンデンサは、前記半導体セ

ラミック層の積層方向の中央部又は該中央部近傍をWDX法で分析した場合に、Ni元素の強度 x とTi元素の強度 y との比率 x/y が0.06以下であるのが好ましい。

[0025] これにより半導体セラミック層の中央部又は中央部付近は、特性に影響を与えない程度にNi濃度を低減させることが可能となる。

[0026] また、本発明の積層型半導体セラミックコンデンサは、前記半導体セラミックは、SrサイトとTiサイトとの配合モル比 m は $0.990 \leq m \leq 1.010$ であり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、前記Ti元素100モルに対し0.7モル以下（ただし、0モルを含まず。）の範囲で粒界層中に存在しているのが好ましい。

[0027] さらに、本発明の積層型半導体セラミックコンデンサは、前記アクセプタ元素が、前記Ti元素100モルに対し、0.3～0.5モルの範囲で含有されているのが好ましい。

[0028] また、本発明の積層型半導体セラミックコンデンサは、前記アクセプタ元素が、Mn、Co、Ni、及びCrのうちの少なくとも1種の元素であるのが好ましい。

[0029] また、本発明の積層型半導体セラミックコンデンサは、前記ドナー元素が、La、Nd、Sm、Dy、Nb、及びTa中から選択された少なくとも1種の元素であるのが好ましい。

[0030] また、本発明の積層型半導体セラミックコンデンサは、低融点酸化物が、前記Ti元素100モルに対し0.1モル以下の範囲で含有されているのが好ましい。

[0031] さらに、本発明の積層型半導体セラミックコンデンサは、前記低融点酸化物が、 SiO_2 であるのが好ましい。

[0032] また、本発明に係る積層型半導体セラミックコンデンサの製造方法は、Sr化合物、Ti化合物、及びドナー化合物を所定量秤量して混合粉碎した後、仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、アクセプタ化合物を前記仮焼粉末と混合して混合粉末を作製する混合粉末作製工程と、前

記混合粉末に成形加工を施してセラミックグリーンシートを作製し、その後Niを主成分とする導電膜とセラミックグリーンシートを交互に積層して積層体を形成する積層体形成工程と、還元雰囲気下、前記積層体に一次焼成処理を行った後、大気雰囲気下で二次焼成処理を行う焼成工程とを含む積層型半導体セラミックコンデンサの製造方法において、前記セラミックグリーンシートは焼成後の半導体セラミック層の厚みが $20\mu\text{m}$ 以上となるように作製すると共に、前記一次焼成処理における焼成温度は、前記仮焼処理における仮焼温度よりも低いことを特徴としている。

[0033] これによりNi拡散の影響が少ない領域帯を容易に形成することができ、かつ、結晶粒子の粗大化を極力抑制することが可能となる。そしてその結果、特性バラツキが抑制され、信頼性に優れた高性能の積層型半導体セラミックコンデンサを製造することができる。

[0034] また、本発明の積層型半導体セラミックコンデンサの製造方法は、前記仮焼粉末作製工程は、前記仮焼温度を $1300\sim 1450^{\circ}\text{C}$ に設定して仮焼処理を行い、前記焼成工程は、前記一次焼成処理における焼成温度を $1150\sim 1250^{\circ}\text{C}$ に設定して焼成処理を行うのが好ましい。

[0035] このように前記一次焼成処理の焼成温度を 1250°C 以下の低温で行なうことにより、内部電極材料であるNiの半導体セラミック層側への拡散を抑制することができ、見掛け比誘電率 $\epsilon_{r\text{APP}}$ や絶縁抵抗が良好な積層型半導体セラミックコンデンサを得ることができる。

発明の効果

[0036] 上記積層型半導体セラミックコンデンサによれば、半導体セラミック層の各厚みが $20\mu\text{m}$ 以上であって、前記半導体セラミック層における結晶粒子の平均粒径が $1.5\mu\text{m}$ 以下であるので、製品間の特性バラツキを抑制でき、これにより電気特性や絶縁性が良好で、信頼性が良好なバリスタ機能を有する積層型半導体セラミックコンデンサを安定して得ることができる。

[0037] すなわち、半導体セラミック層の各厚みを $20\mu\text{m}$ 以上とすることにより、半導体セラミック層の中央部乃至中央部付近にはNi拡散の影響を受けな

い領域帯が形成される。そしてこれにより、見掛け比誘電率 $\varepsilon_{r_{APP}}$ や絶縁抵抗の製品間でのバラツキを抑制され、かつこれらの特性向上を図ることができる。しかも、結晶粒子の平均粒径が $1.5 \mu m$ 以下と小さいので、二次焼成時に粒界層中に酸素が行き渡り易くなって絶縁抵抗の大きな粒界絶縁層を得ることが可能となる。

[0038] このように本発明の積層型半導体セラミックコンデンサによれば、半導体セラミック層の各厚みと結晶粒子の平均粒径を上述のように規定することにより、両者が相俟って製品間の特性バラツキを抑制でき、これにより電気特性や絶縁性が良好で信頼性に優れ、ESD対応に適した積層型半導体セラミックコンデンサを高効率で安定的に得ることができる。その結果、コンデンサとツェナーダイオードの機能を1個の積層型半導体セラミックコンデンサで実現することが可能となり、部品点数が削減され、低コスト化が可能となり、設計の標準化も容易となり、付加価値を有する積層型半導体セラミックコンデンサを提供することができる。

[0039] また、本発明の積層型半導体セラミックコンデンサの製造方法によれば、セラミックグリーンシートは焼成後の半導体セラミック層の厚みが $20 \mu m$ 以上となるように作製すると共に、一次焼成処理における焼成温度が仮焼処理における仮焼温度よりも低いので、Ni拡散の影響が少ない領域帯を容易に形成することができ、かつ、結晶粒子の粗大化を極力抑制することが可能となり、これにより特性バラツキが抑制され、信頼性に優れた高性能の積層型半導体セラミックコンデンサを製造することができる。

図面の簡単な説明

[0040] [図1]本発明に係る積層型半導体セラミックコンデンサの一実施の形態を模式的に示す断面図である。

[図2]WDX法により元素分析する場合の分析点を示す積層型半導体セラミックコンデンサの要部拡大断面図である。

[図3]実施例における半導体セラミック層の厚みと見掛け比誘電率 $\varepsilon_{r_{APP}}$ との関係を示す図である。

[図4]実施例における半導体セラミック層の厚みと強度比 x/y との関係を示す図である。

[図5]電源ラインに配されたバイパスコンデンサにツェナーダイオードを並列接続した場合の電気回路図である。

[図6]積層型半導体セラミックコンデンサを電源ラインに接続した場合の電気回路図である。

発明を実施するための形態

[0041] 次に、本発明の実施の形態を詳説する。

[0042] 図1は本発明に係る積層型半導体セラミックコンデンサの一実施の形態を模式的に示す断面図である。

[0043] この積層型半導体セラミックコンデンサは、部品素体4と、該部品素体4の両端部に形成された外部電極3a、3bとを備えている。

[0044] 部品素体4は、複数の半導体セラミック層1a～1gと複数の内部電極層2a～2fとが交互に積層されて焼結されてなる積層焼結体からなり、内部電極層2a、2c、2eは、部品素体4の一方の端面に露出すると共に、一方の外部電極3aと電氣的に接続され、内部電極層2b、2d、2fは、部品素体4の他方の端面に露出すると共に、他方の外部電極3bと電氣的に接続されている。

[0045] また、内部電極層2a～2fは、低コストで良導電性を有するNiを主成分とした卑金属材料が使用されている。

[0046] 半導体セラミック層1a～1gは、主成分が SrTiO_3 系材料からなり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、粒界層中に存在している。すなわち、半導体セラミック層1a～1gは、半導体からなる結晶粒子と、結晶粒子の周囲に形成される粒界層との集合体からなり、結晶粒子同士が粒界層を介して静電容量を形成する。これら半導体セラミック層1a～1gが内部電極層2a、2c、2eと内部電極層2b、2d、2fとの対向面間で直列に、或いは並列に繋げることで、全体として所望の静電容量を得ている。

[0047] そして、上記積層型半導体セラミックコンデンサは、半導体セラミック層 1 a～1 g 中、外装用の半導体セラミック層 1 a、1 g を除く半導体セラミック層 1 b～1 f の各厚みが $20\ \mu\text{m}$ 以上であって、半導体セラミックにおける結晶粒子の平均粒径が $1.5\ \mu\text{m}$ 以下とされている。これにより製品間の特性バラツキを抑制でき、電気特性や絶縁性が良好で信頼性に優れた積層型半導体セラミックコンデンサを得ることができる。

[0048] 以下、半導体セラミック層の各厚み、及び結晶粒子の平均粒径を上述のようにした理由を述べる。

[0049] (1) 半導体セラミック層の各厚み

図 2 は図 1 の A 部拡大断面図である。尚、図 2 では、半導体セラミック層 1 d が内部電極層 2 c と内部電極層 2 d とで挟まれている部分を示しているが、他の半導体セラミック層及び内部電極層も同様の関係にある。

[0050] すなわち、内部電極層 2 a～2 f は導電性ペーストを塗布して得られた導電膜を焼成して形成されるが、焼成時には、図 2 の矢印 B で示すように、導電膜中の N_i が、半導体セラミック層 1 a～1 g となるべきセラミックグリーンシート側に拡散する。この N_i は 2 価であり 4 価の T_i に比べて価数が小さく、電荷的にアクセプタとして作用する。このため半導体セラミック層 1 a～1 g 中、静電容量の形成に寄与する半導体セラミック層 1 b～1 f では、該半導体セラミック層 1 b～1 f 中の N_i 濃度が大きくなると、見掛け比誘電率 $\epsilon_{r_{APP}}$ の低下を招く。また、結晶粒界に N_i が入り込むことから、絶縁抵抗の低下を招くおそれがある。さらに N_i の拡散量に応じて見掛け比誘電率 $\epsilon_{r_{APP}}$ や絶縁抵抗も変動することから、静電容量や絶縁抵抗にもバラツキが生じる。

[0051] しかしながら、 N_i の拡散量は、半導体セラミック層 1 b～1 f の内部で一定の濃度勾配を有しており、内部電極層 2 a～2 f から離間すればするほど N_i 濃度は低くなる。

[0052] したがって、半導体セラミック層 1 b～1 f の各厚みを所定厚さ以上とすることにより、内部電極層 2 a～2 f から離間した半導体セラミック層 1 b

～1 f の中央部乃至中央部付近には、N i が全く存在しないか又は特性に影響を与えない程度の極微量しか存在しない領域帯が形成される。そしてこれにより、見掛け比誘電率 ϵ_{r_APP} や絶縁抵抗が低下したり、製品間でこれらの特性にバラツキが生じるのを回避することが可能となる。

[0053] そのためには半導体セラミック層 1 b～1 f の各厚みは、少なくとも 20 μm 以上必要である。

[0054] すなわち、半導体セラミック層 1 b～1 f の積層方向の中央部又は中央付近（図 2 中、点 P で示す。）を WDX 法で元素分析した場合、半導体セラミック層 1 b～1 f の各厚みを 20 μm 以上にすると、N i 元素の強度 x と T i 元素の強度 y との比率（以下、「強度比」という。） x/y が 0.06 以下に低減することができ、これにより N i 拡散が特性に影響を及ぼすのを回避することができる。

[0055] WDX 装置は、分光結晶、受光スリット、X線検出器等を備え、試料と分光結晶と X線検出器とは常にブラッグの条件を満たすように円弧状に配されており、試料に対する X線取り出し角度は常に一定とされている。

[0056] この WDX 装置では、電子線を試料に照射すると、この電子線照射により特性 X線を発生し、発生した特性 X線の X線スペクトルの中から、所定波長の X線を分光結晶で選別し、X線検出器で検出することにより、特定元素の強度を計測することができ、これにより微小粒子の元素分析を行うことができる。

[0057] そして、本積層型半導体セラミックコンデンサでは、上述したように半導体セラミック層 1 の各厚みを 20 μm 以上とすることにより、点 P で示す積層方向の中央部又は中央付近における強度比 x/y を 0.06 以下に低減することができ、これにより N i 拡散が特性に影響を及ぼすのを回避することができる。

[0058] 尚、半導体セラミック層 1 b～1 f のいずれかの厚みが 20 μm 未満になると、強度比 x/y が 0.06 を超えてしまって N i の半導体セラミック層 1 への拡散の影響を受け、見掛け比誘電率 ϵ_{r_APP} や絶縁抵抗の低下を招き、製

品間でこれらの特性にバラツキが生じるおそれがある。

[0059] 半導体セラミック層 1 b ~ 1 f の厚みの上限値は、特に限定されるものではないが、 $50\text{ }\mu\text{m}$ 以下が好ましい。小型の積層型半導体セラミックコンデンサ（例えば、長さ 1.0 mm 、幅 0.5 mm 、厚み 0.5 mm ）の場合、厚みが $50\text{ }\mu\text{m}$ を超えて厚くなると、 1 nF 程度の静電容量を得るのが困難になる。

[0060] 尚、外装用の半導体セラミック層 1 a, 1 g は、特性に影響を及ぼさないことから、その厚みは特に限定されるものではなく、 $20\text{ }\mu\text{m}$ 未満であってもよい。

[0061] (2) 結晶粒子の平均粒径

上記積層型半導体セラミックコンデンサの製造過程では、還元雰囲気下で一次焼成を行ってセラミックを半導体化した後、大気雰囲気下で二次焼成を行ない、再酸化処理によって酸素を結晶粒界に拡散させている。そしてこれにより結晶粒界を絶縁層（粒界絶縁層）とし、結晶粒界にショットキー障壁が形成され、絶縁抵抗を向上させることができる。

[0062] しかしながら、結晶粒子の平均粒径が $1.5\text{ }\mu\text{m}$ を超えると、平均粒径が大きくなりすぎ、二次焼成時に酸素が行き渡り難くなり、このためショットキー障壁の形成が不十分となって絶縁抵抗の低下を招くおそれがある。

[0063] そこで、本実施の形態では、結晶粒子の平均粒径が $1.5\text{ }\mu\text{m}$ 以下となるようにしている。

[0064] このように上記積層型半導体セラミックコンデンサは、半導体セラミック層 1 b ~ 1 f の各厚みが $20\text{ }\mu\text{m}$ 以上であって、半導体セラミックにおける結晶粒子の平均粒径を $1.5\text{ }\mu\text{m}$ 以下であるので、半導体セラミック層 1 b ~ 1 f は N i 拡散の影響を抑制でき、所望のショットキー障壁を形成できることから、静電容量や絶縁抵抗のバラツキを抑制しつつ、良好な電気特性や絶縁性を得ることができ、信頼性が良好で高性能の E S D 対策にも適した積層型半導体セラミックコンデンサを得ることができる。

[0065] したがって、コンデンサとツェナーダイオードの機能を 1 個の積層型半導

体セラミックコンデンサで実現することが可能となり、部品点数の削減や低コスト化が可能となり、設計の標準化も容易となり、付加価値を有する積層型半導体セラミックコンデンサを提供することが可能となる。

[0066] 尚、本実施の形態では、 Sr サイトと Ti サイトとの配合モル比 m は、 $0.990 \leq m \leq 1.010$ となるように調製するのが好ましい。

[0067] すなわち、 Sr を化学量論組成よりも過剰に含有させることにより、結晶粒子に固溶されずに結晶粒界に析出した Sr が粒成長を抑制し、これにより微粒の結晶粒子が得られる。そして結晶粒子が微粒化することによって結晶粒界に酸素が行き渡りやすくなり、ショットキー障壁の形成を促進し、良好な絶縁抵抗を確保することができる。

[0068] ただし、配合モル比 m は 1.010 を超えると、結晶粒子に固溶されなかった Sr の結晶粒界への析出が増加し、粒界絶縁層の厚みが過度に厚くなって静電容量の過度の低下を招くおそれがある。

[0069] 一方、 Ti を化学量論組成よりも過剰に含有させた場合は、結晶粒子が若干粗大化し、絶縁抵抗は低下傾向となるものの、十分に実用性に耐えうる絶縁抵抗を確保でき、しかも ESD 耐圧も良好に維持することができる。

[0070] ただし、配合モル比 m が 0.990 未満になると、結晶粒子の平均粒径が過度に粗大化して絶縁性の低下が顕著となり、しかも ESD 耐圧も低下する。

[0071] したがって、配合モル比 m は $0.990 \leq m \leq 1.010$ となるように調製するのが好ましい。

[0072] 尚、ドナー元素は、上述したように還元雰囲気中で焼成処理を行ってセラミックを半導体化するために結晶粒子中に固溶させているが、その含有量は特に限定されない。ただし、ドナー元素が Ti 元素 100 モルに対し 0.2 モル未満の場合は静電容量の過度の低下を招くおそれがある。一方、ドナー元素が Ti 元素 100 モルに対し 1.2 モルを超えると焼成温度の許容温度幅が狭くなるおそれがある。

[0073] したがって、ドナー元素の含有モル量は Ti 元素 100 モルに対し 0.2

～1.2モル、好ましくは0.4～1.0モルがよい。

[0074] そして、このようなドナー元素としては、特に限定されるものではなく、例えば、例えば、La、Nd、Sm、Dy、Nb、及びTa等を使用することができる。

[0075] また、アクセプタ元素は、上述したように粒界絶縁層中に存在する。粒界絶縁層は、電氣的に活性化するエネルギー準位（粒界準位）を形成してショットキー障壁の形成を促進し、これにより絶縁抵抗が向上し、良好な絶縁性を有する積層型半導体セラミックコンデンサを得ることができる。ただし、アクセプタ元素の含有モル量がTi元素100モルに対し0.7モルを超えると、ESD耐圧の低下を招き、好ましくない。

[0076] したがって、アクセプタ元素の含有モル量をTi元素100モルに対し0.7モル以下（ただし、0モルを含まず。）、好ましくは0.3～0.5モルが好ましい。

[0077] そして、このようなアクセプタ元素としては、特に限定されるものではないが、Mn、Co、Ni、Cr等を使用することができ、特にMnが好んで使用される。

[0078] また、上記半導体セラミック層1a～1g中に、Ti元素100モルに対し、0.1モル以下の範囲で低融点酸化物を添加するのも好ましく、このような低融点酸化物を添加することにより、焼結性を向上させることができると共に上記アクセプタ元素の結晶粒界への偏析を促進することができる。

[0079] 尚、低融点酸化物の含有モル量を上記範囲としたのは、その含有モル量がTi元素100モルに対し、0.1モルを超えると静電容量の過度の低下を招き、所望の電気特性が得られないおそれがあるからである。

[0080] また、低融点酸化物としては、特に限定されるものではなく、SiO₂、Bやアルカリ金属元素（K、Li、Na等）を含有したガラスセラミック、銅ータングステン塩等を使用することができるが、SiO₂が好んで使用される。

[0081] 次に、上記積層型半導体セラミックコンデンサの製造方法の一実施の形態

を説明する。

[0082] まず、セラミック素原料として SrCO_3 等のSr化合物、LaやSm等のドナー元素を含有したドナー化合物、及び、例えば比表面積が $10\text{ m}^2/\text{g}$ 以上（平均粒径：約 $0.1\text{ }\mu\text{m}$ 以下）の TiO_2 等、微粒のTi化合物をそれぞれ用意し、所定量秤量する。

[0083] 次いで、この秤量物に所定量（例えば、1～3重量部）の分散剤を添加し、PSZ（Partially Stabilized Zirconia；「部分安定化ジルコニア」）ボール等の粉碎媒体及び純水と共にボールミルに投入し、該ボールミル内で十分に湿式混合してスラリーを作製する。

[0084] 次に、このスラリーを蒸発乾燥させた後、大気雰囲気下、所定温度（例えば、 $1300^\circ\text{C}\sim 1450^\circ\text{C}$ ）で2時間程度、仮焼処理を施し、ドナー元素が固溶した仮焼粉末を作製する。

[0085] 次いで、MnやCo等のアクセプタ元素を含有したアクセプタ化合物を所定量秤量し、必要に応じて SiO_2 等の低融点酸化物を所定量秤量する。次いでこれらアクセプタ化合物及び低融点酸化物を前記仮焼粉末と混合し、純水及び有機系分散剤を添加し、再度前記粉碎媒体と共にボールミルに投入し、該ボールミル内で十分に湿式で混合する。そしてその後、蒸発乾燥させ、大気雰囲気下、所定温度（例えば、 $500\sim 700^\circ\text{C}$ ）で5時間程度、熱処理を行い、混合粉末を作製する。

[0086] 次に、この混合粉末にトルエン、アルコール等の有機溶媒や有機バインダ、可塑剤、界面活性剤等を適宜添加して十分に湿式で混合し、これによりセラミックスラリーを得る。

[0087] 次に、ドクターブレード法、リップコータ法、ダイコータ法等の成形加工法を使用してセラミックスラリーに成形加工を施し、焼成後の厚みが $20\text{ }\mu\text{m}$ 以上となるようにセラミックグリーンシートを作製する。尚、特性に寄与する部分に配されるセラミックグリーンシートについては、上述のように焼成後の厚みが $20\text{ }\mu\text{m}$ 以上となるように作製する必要があるが、外装用のセラミックグリーンシートについては、焼成後の厚みは特に限定されるもので

はなく、任意の厚みに形成するのも好ましい。

[0088] 次いで、Niを主成分とした内部電極用導電性ペーストを使用してセラミックグリーンシート上にスクリーン印刷法、グラビア印刷法、又は真空蒸着法、スパッタリング法などを用いた転写等を施し、前記セラミックグリーンシートの表面に所定パターンの導電膜を形成する。

[0089] 次いで、導電膜が形成されたセラミックグリーンシートを所定方向に複数枚積層すると共に、導電膜の形成されていない外装用のセラミックグリーンシートを積層した後、圧着し、所定寸法に切断して積層体を作製する。

[0090] そしてこの後、窒素雰囲気下、300～500℃の温度で2時間程度、脱バインダ処理を行なう。次いで、H₂ガスとN₂ガスが所定の流量比（例えば、H₂/N₂=0.025/100～1/100）となるように還元雰囲気とされた焼成炉を使用し、該焼成炉内で、1150～1250℃の温度で2時間程度、一次焼成を行い、積層体を半導体化する。

[0091] このように一次焼成処理における焼成温度（1150～1250℃）を、仮焼処理における仮焼温度（1300～1450℃）よりも低くすることにより、一次焼成処理において結晶粒子の粒成長が促進されることがほとんどなく、結晶粒子が粗大化するのを抑制することができ、これにより結晶粒子の平均粒径を容易に1.5μm以下にすることができる。

[0092] そして、このように積層体を半導体化した後、大気雰囲気下、600～900℃の低温で1時間程度、二次焼成を行い半導体セラミックに再酸化処理を施す。すなわち、この二次焼成処理では、結晶粒子の平均粒径が1.5μm以下であることから、酸素が粒界層全体に行き渡り易くなって所望の再酸化が行われて結晶粒界が絶縁層となり、これにより内部電極2が埋設された積層焼結体からなる部品素体4が作製される。

[0093] その後、部品素体4の両端部に外部電極用導電性ペーストを塗布し、焼付処理を行い、外部電極3a、3bを形成し、これにより積層型半導体セラミックコンデンサが製造される。

[0094] 尚、外部電極3a、3bの形成方法として、印刷、真空蒸着、又はスパッ

タリング等で形成してもよい。また、未焼成の積層体の両端部に外部電極用導電性ペーストを塗布した後、積層体と同時に焼成処理を施すようにしてもよい。

[0095] 外部電極用導電性ペーストに含有される導電性材料についても特に限定されるものではないが、Ga、In、Ni、Cu等の材料を使用するのが好ましく、さらに、これらの電極上にAg電極を形成することも可能である。

[0096] このように本実施の形態では、セラミックグリーンシートは焼成後における半導体セラミック層の各厚みが $20\mu\text{m}$ 以上となるように作製すると共に、前記一次焼成処理における焼成温度($1150\sim 1250^{\circ}\text{C}$)は、前記仮焼処理における仮焼温度($1300\sim 1450^{\circ}\text{C}$)よりも低いので、半導体セラミック層1a～1fの積層方向の中央部又は中央部付近はNiが全く存在しないか又は特性に影響を与えない程度の極微量しか存在しない領域帯が形成され、かつ一次焼成時に結晶粒子が粗大化するのを極力抑制できることから、結晶粒子の平均粒径は $1.5\mu\text{m}$ 以下とすることができる。したがって電気特性や絶縁性が良好で、特性バラツキが抑制された信頼性の良好なESD対応に適したバリスタ機能を有する高性能の積層型半導体セラミックコンデンサを安定的に製造することができる。

[0097] 尚、本発明は上記実施の形態に限定されるものではない。例えば、上記実施の形態では、固溶体を固相法で作製しているが、固溶体の作製方法は特に限定されるものではなく、例えば水熱合成法、ゾル・ゲル法、加水分解法、共沈法等任意の方法を使用することができる。

[0098] 次に、本発明の実施例を具体的に説明する。

実施例 1

[0099] [試料の作製]

セラミック素原料として SrCO_3 、比表面積が $30\text{m}^2/\text{g}$ （平均粒径：約 30nm ）の TiO_2 、及びドナー化合物としての LaCl_3 を用意した。そして、Laの含有量がTi元素100モルに対し0.8モルとなるように LaCl_3 を秤量し、さらにSrサイトとTiサイトとの配合モル比 m （= Sr

r サイト／T i サイト) が表 1 となるように SrCO_3 及び TiO_2 を秤量した。

[0100] 次いで、これらの秤量物 100 重量部に対し 3 重量部のポリカルボン酸アンモニウム塩を分散剤として添加した後、粉碎媒体として直径 2 mm の PSZ ボール及び純水と共にボールミルに投入し、該ボールミル内で 16 時間湿式混合してスラリーを作製した。

[0101] 次に、このスラリーを蒸発乾燥させた後、大気雰囲気下、表 1 に示す仮焼温度で 2 時間仮焼処理を行い、La が結晶粒子に固溶した仮焼粉末を得た。

[0102] 次に、アクセプタ元素としての Mn 元素の含有量が、Ti 元素 100 モルに対し、表 1 となるように、 MnCO_3 を前記仮焼粉末に添加し、また SiO_2 の含有モル量が、Ti 元素 100 モルに対し 0.1 モルとなるように、テトラエトキシシラン ($\text{Si}(\text{OC}_2\text{H}_5)_4$) を前記仮焼粉末に添加し、さらに分散剤としてのポリカルボン酸アンモニウム塩が 1 重量%となるように該分散剤を前記仮焼粉末に添加した。次いで、再び直径 2 mm の PSZ ボール及び純水と共にボールミルに投入し、該ボールミル内で 16 時間湿式混合した。尚、本実施例では、 MnCO_3 を仮焼粉末に添加しているが、 MnCl_2 溶液や Mn ゾル溶液を添加してもよい。

[0103] そしてこの後、蒸発乾燥させ、大気雰囲気下、600℃で 5 時間、熱処理を行い、分散剤等の有機成分を除去し、混合粉末を得た。

[0104] 次に、トルエン、アルコール等の有機溶媒、及び分散剤を前記混合粉末に適量添加し、再び直径 2 mm の PSZ ボールと共にボールミルに投入し、該ボールミル内にて湿式で 16 時間混合した。そしてこの後、有機バインダとしてのポリビニルビチラル (PVB) や可塑剤としてのジオクチルフタレート (DOP) 更にはカチオン性界面活性剤を適量添加し、湿式で 1.5 時間混合処理を行い、これによりセラミックスラリーを作製した。

[0105] 次に、リップコータ法を使用してこのセラミックスラリーに成形加工を施し、焼成後の半導体セラミック層の厚みが、表 1 となるようにセラミックグリーンシートを作製した。次いで、Ni を主成分とする内部電極用導電性ペ

ーストを使用してセラミックグリーンシート上にスクリーン印刷を施し、前記セラミックグリーンシートの表面に所定パターンの導電膜を形成した。

[0106] 次いで、導電膜の形成されたセラミックグリーンシートを所定方向に5枚積層した後、導電膜の形成されていない外装用のセラミックグリーンシートを上下に付与し、その後厚みが0.6 mm程度となるように熱圧着し、セラミックグリーンシートと内部電極とが交互に積層されたブロック体を得た。

[0107] そしてこの後、このブロック体を所定寸法に切断して積層体とし、該積層体を窒素雰囲気中、温度400℃で2時間、脱バインダ処理を行なった。次いで、 $H_2 : N_2 = 1 : 100$ の流量比に調製された還元雰囲気下、表1に示す焼成温度で2時間、積層体に一次焼成を施し、積層体を半導体化した。

[0108] 次に、大気雰囲気下、700℃の温度で1時間、二次焼成を行って再酸化処理を施し、これにより粒界に酸素を分散させて粒界絶縁層を形成し、その後、端面を研磨して部品素体を作製した。

[0109] 次いで、この部品素体の両端面にスパッタリングを施し、Ni-Cr層、Ni-Cu層、Ag層からなる三層構造の外部電極を形成した。次いで、電解めっきを施し、外部電極の表面にNi皮膜及びSn皮膜を順次形成し、これにより試料番号1～12の試料を作製した。得られた各試料の外径寸法は、長さL：1.0 mm、幅W：0.5 mm、厚みT：0.5 mmであった。尚、半導体セラミック層の有効積層数は4であった。

[0110] [試料の評価]

試料番号1～12の各試料について、試料を破断し、研磨、化学エッチングすることで結晶粒径が観察できるようにした。そして、走査型電子顕微鏡(SEM)でSEM写真を撮り、写真を画像解析し、結晶粒子の平均粒径(平均結晶粒径)を求めた。

[0111] また、試料番号1～12の各試料100個について、インピーダンスアナライザ(アジレント・テクノロジー社製：HP4194A)を使用し、周波数1 kHz、電圧1 Vの条件で静電容量を測定し、静電容量の平均値とバラツキの指標となる3CV(= $3 \cdot \sigma / \xi$ 、 σ ：標準偏差、 ξ ：平均値)を求

めた。また、静電容量値の平均値と試料の寸法から見掛け比誘電率 ϵ_{r_APP} を算出した。

[0112] さらに、試料番号 1 ～ 12 の各試料 100 個について、50 V の直流電圧を 1 分間印加し、その漏れ電流から絶縁抵抗を測定した。そして、各試料の絶縁抵抗の平均値及び最小値と試料寸法とから、比抵抗 $\log \rho$ の平均値及び最小値を求めた。

[0113] 次に、試料番号 1 ～ 12 の各試料を研磨し、WDX 法を使用し、半導体セラミック層の積層方向の中央部における強度比 x/y を求め、これにより Ni 拡散量を評価した。

[0114] 表 1 は、試料番号 1 ～ 12 の配合モル比、Ti 100 モルに対する Mn 及び SiO_2 の含有モル量、仮焼温度、焼成温度（一次焼成）、及び測定結果を示している。

[0115]

[表1]

試料 番号	配合モル比 m (—)	Mn (モル)	SiO ₂ (モル)	仮焼温度 (°C)	焼成温度 (°C)	平均結晶粒径 (μm)	半導体 セラミック層 の厚み (μm)	静電容量		見掛け 比誘電率 $\epsilon_{r\text{APP}}$ (—)	比抵抗 $\log\rho$ ($\rho:\Omega\text{cm}$)		強度比 x/y (—)
								平均値 (nF)	3CV (%)		平均値	最小値	
1*	1.000	0.3	0.1	1400	1210	0.7	2.6	1.08	14.5	330	9.5	7.6	0.13
2*	1.000	0.3	0.1	1400	1210	0.7	6.6	0.86	12.5	665	10.8	8.1	0.09
3*	1.000	0.3	0.1	1400	1210	0.7	12	0.92	10.1	1300	11.0	8.6	0.08
4	1.000	0.3	0.1	1400	1210	0.7	22	0.70	4.8	1780	11.2	10.5	0.06
5	1.000	0.3	0.1	1400	1210	0.8	38	0.42	4.2	1870	11.1	10.7	0.05
6	1.000	0.3	0.1	1400	1210	0.8	48	0.36	3.8	1900	11.2	10.9	0.05
7	1.000	0.3	0.1	1400	1210	0.8	87	0.19	3.7	1900	11.3	10.9	0.05
8	1.000	0.3	0.1	1400	1210	0.8	102	0.16	4.0	1900	11.1	10.8	0.05
9	0.990	0.3	0.1	1300	1210	1.4	22	0.70	4.6	1770	11.1	10.8	0.06
10	1.010	0.3	0.1	1400	1210	0.9	22	0.75	4.7	1900	11.2	10.7	0.06
11	1.000	0.5	0.1	1400	1210	1.1	22	0.98	4.8	2500	11.2	10.7	0.06
12*	1.000	0.3	0.1	1200	1300	2.2	22	0.83	9.2	2100	9.3	7.1	0.11

*は本発明範囲外

[0116] 試料番号1は、静電容量の3CVが14.5%と大きく、また、見掛け比誘電率 $\epsilon_{r\text{APP}}$ が330と極端に低く、比抵抗 $\log\rho$ も平均値で9.5、最小値で

7. 6と低かった。これは半導体セラミック層の厚みが $2.6\ \mu\text{m}$ と薄いことから、強度比 x/y も 0.13 と大きく、Niの半導体セラミック層への拡散の影響を受けたものと思われる。

[0117] 試料番号2も、静電容量の 3CV が 12.5% と大きく、また、見掛け比誘電率 $\epsilon_{r\text{APP}}$ が 665 、比抵抗 $\log\rho$ も平均値で 10.8 、最小値で 8.1 と低かった。これは半導体セラミック層の厚み($=6.6\ \mu\text{m}$)については、試料番号1よりは厚いものの、強度比 x/y が 0.09 と未だ大きく、試料番号1と略同様、Niの半導体セラミック層への拡散の影響を受けたものと思われる。

[0118] 試料番号3は、静電容量の 3CV が 10.1% と未だ大きく、また、見掛け比誘電率 $\epsilon_{r\text{APP}}$ が 1300 、比抵抗 $\log\rho$ も平均値で 11.0 、最小値で 8.6 と低かった。これは半導体セラミック層の厚み($=12\ \mu\text{m}$)は、試料番号1や2に比べて厚く、特性は改善されているものの、Ni拡散の影響を受けない程度に十分には厚くなく、強度比 x/y が 0.08 と大きく、Niの半導体セラミック層への拡散の影響を受けたものと思われる。

[0119] 一方、試料番号12は、半導体セラミック層の厚みが $22\ \mu\text{m}$ と大きく、このため見掛け比誘電率 $\epsilon_{r\text{APP}}$ も 2100 以上と大きい、静電容量の 3CV が 9.2% と大きく、比抵抗 $\log\rho$ は平均値で 9.3 、最小値で 7.1 と小さくなった。これは焼成温度が仮焼温度よりも高く、このため結晶粒子が粒成長して平均結晶粒径が $2.2\ \mu\text{m}$ に粗大化し、その結果、二次焼成時に酸素が行き渡らず、比抵抗 $\log\rho$ が低下したものと思われる。しかも、焼成温度も 1300°C と高くNiの拡散が促進され、半導体セラミック層の厚みを $22\ \mu\text{m}$ に厚くしても、強度比 x/y が 0.11 と大きくなった。その結果、半導体セラミック層中でのNiの拡散の影響を受けて比抵抗の低下を招き、静電容量の 3CV も大きくなった。

[0120] これに対し試料番号4~11の各試料は、焼成温度は仮焼温度よりも低く、半導体セラミック層の厚みも $20\ \mu\text{m}$ 以上であり、平均結晶粒径も $1.5\ \mu\text{m}$ 以下であるので、静電容量の 3CV も $3.7\sim4.8\%$ に抑制でき、見

掛け比誘電率 $\epsilon_{r_{APP}}$ も 1700 以上を確保でき、比抵抗 $\log \rho$ も平均値で 11.1 ~ 11.3、最小値で 10.7 ~ 10.9 であり、試料間のバラツキも小さく、良好な見掛け比誘電率 $\epsilon_{r_{APP}}$ と比抵抗 $\log \rho$ を有する積層型半導体セラミックコンデンサを得ることができた。

[0121] ただし、試料番号 7、8 は、半導体セラミック層の厚みがそれぞれ $87 \mu\text{m}$ 、 $102 \mu\text{m}$ と大きいため、静電容量が低下することが確認された。

[0122] 図 3 は、半導体セラミック層の厚みと見掛け比誘電率 $\epsilon_{r_{APP}}$ との関係を示している。

[0123] この図 3 から明らかなように、見掛け比誘電率 $\epsilon_{r_{APP}}$ は半導体セラミック層の厚みが $20 \mu\text{m}$ 以上で安定するが、半導体セラミック層の厚みが薄くなると、見掛け比誘電率 $\epsilon_{r_{APP}}$ が小さくなることが分かった。

[0124] 図 4 は、半導体セラミック層の厚みと強度比 x/y との関係を示している。

[0125] この図 4 から明らかなように、強度比 x/y 、すなわち N_i 拡散の影響は、半導体セラミック層の厚みが $20 \mu\text{m}$ 以上で安定し、半導体セラミック層の厚みが薄くなると、強度比 x/y が大きくなり、半導体セラミック層の中央部でも N_i 濃度が高くなることが分かった。

[0126] また、図 3 及び図 4 の対比から明らかなように、半導体セラミック層の厚み、見掛け比誘電率 $\epsilon_{r_{APP}}$ 、及び強度比 x/y には相関関係があり、半導体セラミック層の厚みが $20 \mu\text{m}$ 以上となる強度比 x/y が 0.06 以下になると、見掛け比誘電率 $\epsilon_{r_{APP}}$ も安定することが分かった。

実施例 2

[0127] Sr サイトと Ti サイトとの配合モル比 m を 1.000、 Ti 元素 100 モルに対する Mn の含有モル量を 0.3 モル、 SiO_2 の含有モル量を 0.1 モルと一定とした以外は、実施例 1 と同様の方法・手順で、セラミックスラリーを作製した。尚、仮焼処理は表 2 に示す仮焼温度で行った。

[0128] 次に、リップコート法を使用してこのセラミックスラリーに成形加工を施し、焼成後の半導体セラミック層の厚みが表 2 となるようにセラミックグリ

ーンシートを作製した。次いで、Niを主成分とする内部電極用導電性ペーストを使用してセラミックグリーンシート上にスクリーン印刷を施し、前記セラミックグリーンシートの表面に所定パターンの導電膜を形成した。

[0129] 次いで、導電膜の形成されたセラミックグリーンシートを所定方向に表2に示す有効積層数でもって積層した後、導電膜の形成されていない外層用のセラミックグリーンシートを上下に付与し、その後厚みが0.6mm程度となるように熱圧着し、セラミックグリーンシートと内部電極とが交互に積層されたブロック体を得た。

[0130] 尚、この有効積層数は、焼成後の半導体セラミック層の厚みが異なることから、静電容量が約1nFとなるように調整したものである。

[0131] そしてその後は、実施例1と同様の方法・手順で試料番号21～23の試料を作製した。尚、一次焼成処理は表2に示す焼成温度で行った。

[0132] 次に、試料番号21～23の各試料100個について、ESDのイミュニティ試験規格であるIEC61000-4-2（国際規格）に準拠し、正逆10回印加し、接触放電させて30kVにおけるESD耐圧試験を行った。

[0133] 表2は試料番号21～23の各試料における製造条件、及び測定結果を示している。

[0134]

[表2]

試料 番号	配合モル比 m (—)	Mn (モル)	SiO ₂ (モル)	仮焼温度 (°C)	焼成温度 (°C)	有効積層数	半導体セラミック層の厚み (μm)	平均結晶粒径 (μm)	ESD耐圧試験 故障個数
21*	1.000	0.3	0.1	1400	1210	5	12	0.7	15/100
22	1.000	0.3	0.1	1400	1210	6	22	0.7	0/100
23*	1.000	0.3	0.1	1200	1300	5	22	2.2	28/100

*は本発明範囲外

[0135] 試料番号21は、30kVでのESD耐圧試験で100個中、15個が破壊した。これは半導体セラミック層の厚みが12 μm と薄いため、Ni拡散の影響を受けて比抵抗 $\log\rho$ のバラツキが大きくなり、このためESDに対する耐性にバラツキが生じたものと思われる。

[0136] また、試料番号 23 は、100 個中、28 個が破壊した。これは半導体セラミック層の厚みは $22\ \mu\text{m}$ と大きいものの、焼成温度が仮焼温度よりも高く、結晶粒子が粗大化し、このため半導体セラミック層中への Ni 拡散が助長され、その結果比抵抗 $\log \rho$ のバラツキも大きくなり、ESD に対する耐性にもバラツキが生じたものと思われる。

[0137] これに対し試料番号 22 は、焼成温度は仮焼温度よりも低く、半導体セラミック層の厚みが $22\ \mu\text{m}$ で平均結晶粒径も $0.7\ \mu\text{m}$ であり、100 個中破壊した試料は生じないことが確認された。

産業上の利用可能性

[0138] 製品間の特性バラツキが小さく、良好な電気特性や絶縁性を有し、信頼性が良好な量産に適したバリスタ機能付き積層型半導体セラミックコンデンサが可能となり、コンデンサとツェナーダイオードとを 1 素子で担うことができる。

符号の説明

- [0139] 1 a ~ 1 g 半導体セラミック層
2 a ~ 2 f 内部電極層
3 a、3 b 外部電極
4 部品素体（積層焼結体）

請求の範囲

- [請求項1] SrTiO_3 系粒界絶縁型の半導体セラミックで形成された複数の半導体セラミック層とNiを主成分とする複数の内部電極層とが交互に積層されて焼結されてなる積層焼結体と、該積層焼結体の両端部に前記内部電極層と電氣的に接続された外部電極とを有するバリスタ機能付き積層型半導体セラミックコンデンサにおいて、
- 前記半導体セラミック層の各厚みが $20\mu\text{m}$ 以上であって、前記半導体セラミック層における結晶粒子の平均粒径が $1.5\mu\text{m}$ 以下であることを特徴とするバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項2] 前記半導体セラミック層の積層方向の中央部又は該中央部近傍を波長分散型蛍光X線分析法で元素分析した場合に、Ni元素の強度 x とTi元素の強度 y との比率 x/y が 0.06 以下であることを特徴とする請求項1記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項3] 前記半導体セラミックは、SrサイトとTiサイトとの配合モル比 m が $0.990 \leq m \leq 1.010$ であり、ドナー元素が結晶粒子中に固溶されると共に、アクセプタ元素が、前記Ti元素100モルに対し 0.7 モル以下（ただし、 0 モルを含まず。）の範囲で粒界層中に存在していることを特徴とする請求項1又は請求項2記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項4] 前記アクセプタ元素が、前記Ti元素100モルに対し、 $0.3 \sim 0.5$ モルの範囲で含有されていることを特徴とする請求項3記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項5] 前記アクセプタ元素は、Mn、Co、Ni、及びCrのうちの少なくとも1種の元素であることを特徴とする請求項3又は請求項4記載のバリスタ機能付き積層型半導体セラミックコンデンサ。
- [請求項6] 前記ドナー元素は、La、Nd、Sm、Dy、Nb、及びTa中か

ら選択された少なくとも1種の元素であることを特徴とする請求項3乃至請求項5のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

[請求項7] 低融点酸化物が、前記Ti元素100モルに対し0.1モル以下の範囲で含有されていることを特徴とする請求項1乃至請求項6のいずれかに記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

[請求項8] 前記低融点酸化物が、 SiO_2 であることを特徴とする請求項7記載のバリスタ機能付き積層型半導体セラミックコンデンサ。

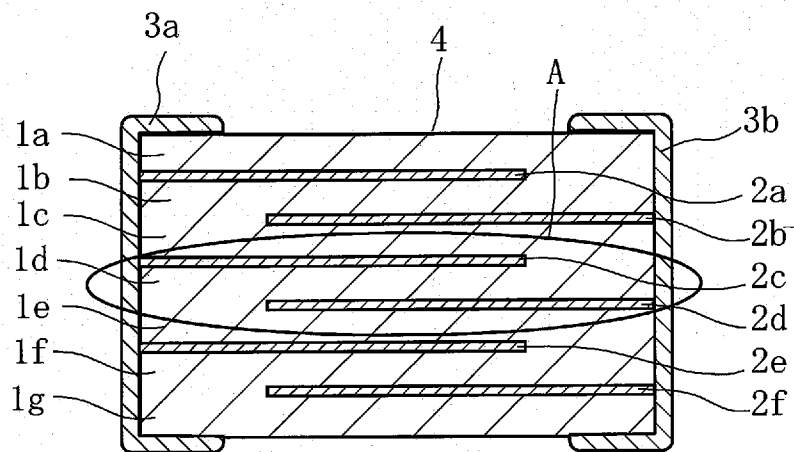
[請求項9] Sr化合物、Ti化合物、及びドナー化合物を所定量秤量して混合粉砕した後、仮焼処理を行って仮焼粉末を作製する仮焼粉末作製工程と、アクセプタ化合物を前記仮焼粉末と混合して混合粉末を作製する混合粉末作製工程と、前記混合粉末に成形加工を施してセラミックグリーンシートを作製し、その後Niを主成分とした導電膜とセラミックグリーンシートとを交互に積層して積層体を形成する積層体形成工程と、還元雰囲気下、前記積層体に一次焼成処理を行った後、大気雰囲気下で二次焼成処理を行う焼成工程とを含むバリスタ機能付き積層型半導体セラミックコンデンサの製造方法において、

前記セラミックグリーンシートは、焼成後の半導体セラミック層の厚みが $20\mu\text{m}$ 以上となるように作製すると共に、

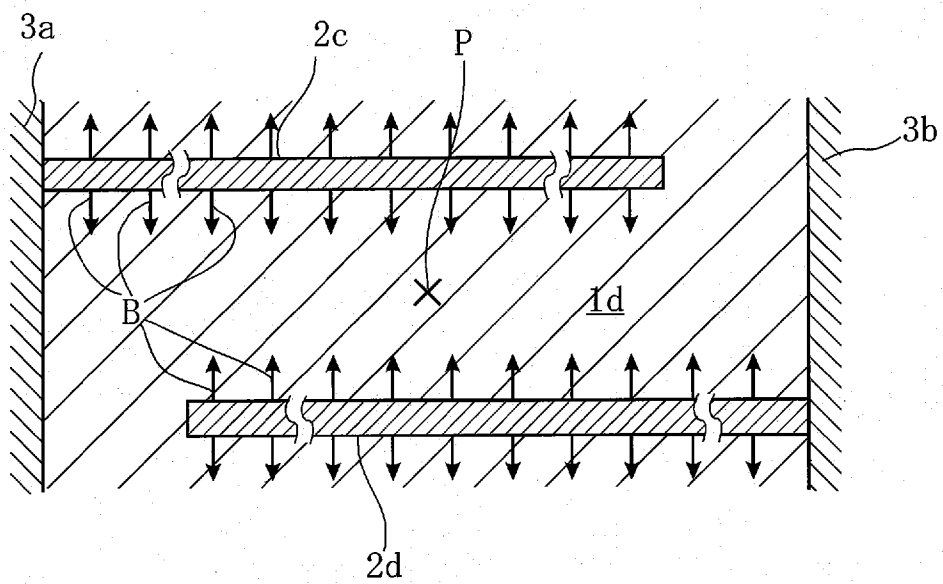
前記一次焼成処理における焼成温度は、前記仮焼処理における仮焼温度よりも低いことを特徴とするバリスタ機能付き積層型半導体セラミックコンデンサの製造方法。

[請求項10] 前記仮焼粉末作製工程は、前記仮焼温度を $1300\sim 1450^\circ\text{C}$ に設定して仮焼処理を行い、前記焼成工程は、前記一次焼成処理における焼成温度を $1150\sim 1250^\circ\text{C}$ に設定して焼成処理を行うことを特徴とする請求項9記載の半導体セラミックの製造方法。

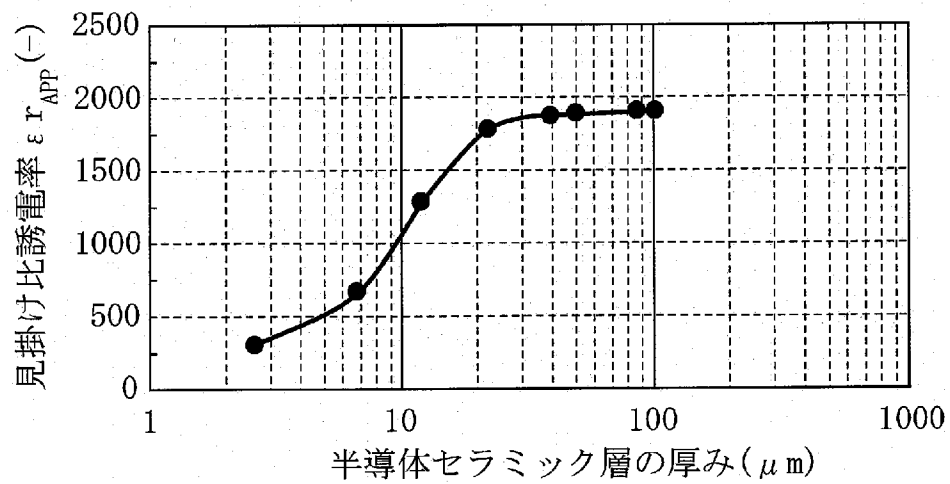
[図1]



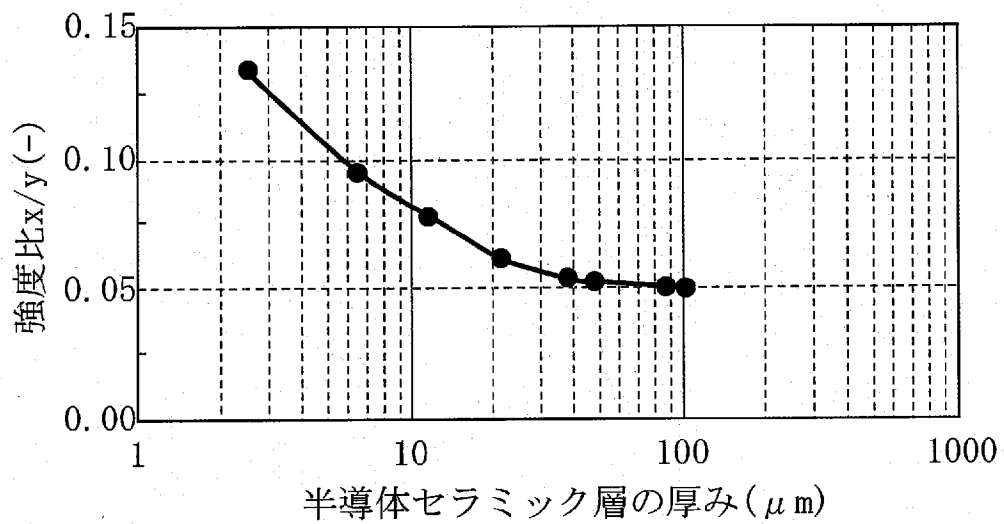
[図2]



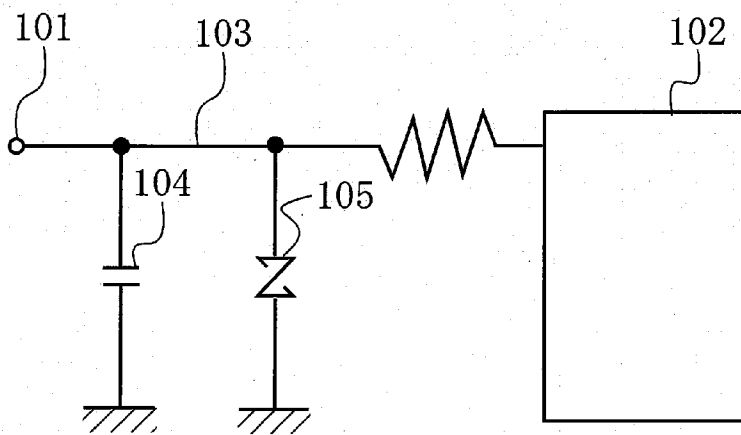
[図3]



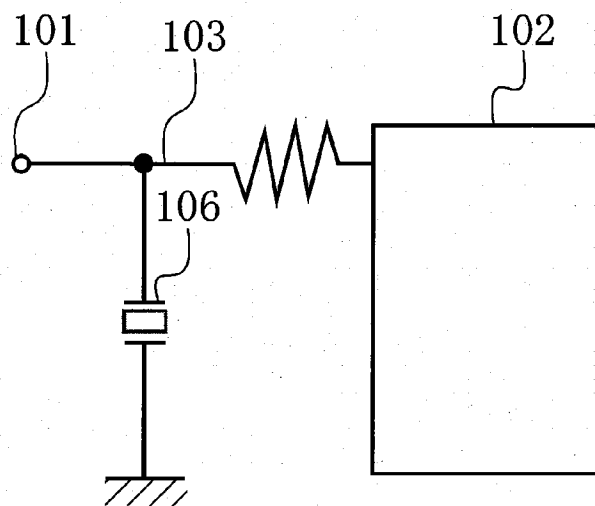
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051779

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01)i, H01C7/10(2006.01)i, H01G4/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, H01C7/10, H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2008/004389 A1 (Murata Mfg. Co., Ltd.), 10 January 2008 (10.01.2008), claims; paragraph [0080] & JP 4666269 B & US 2008/0117561 A1 & EP 2037467 A1 & CN 101341558 A & KR 10-2008-0037065 A & KR 10-0944100 B	1-10
Y	JP 2005-158895 A (TDK Corp.), 16 June 2005 (16.06.2005), paragraphs [0047], [0105] (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10 April, 2012 (10.04.12)

Date of mailing of the international search report
24 April, 2012 (24.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01G4/12(2006.01)i, H01C7/10(2006.01)i, H01G4/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01G4/12, H01C7/10, H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2008/004389 A1 (株式会社村田製作所) 2008.01.10, 特許請求の範囲, 段落[0080] & JP 4666269 B & US 2008/0117561 A1 & EP 2037467 A1 & CN 101341558 A & KR 10-2008-0037065 A & KR 10-0944100 B	1 - 1 0
Y	JP 2005-158895 A (TDK株式会社) 2005.06.16, 段落【0047】、【0105】 (ファミリーなし)	1 - 1 0

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 4 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小池 秀介

5 D

3 6 6 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1