



[12] 发明专利申请公开说明书

[21] 申请号 98101286.8

[43]公开日 1998年11月18日

[11] 公开号 CN 1199203A

[22]申请日 98.4.15

[30]优先权

[32]97.4.15 [33]JP[31]097587 / 97

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 本村真人

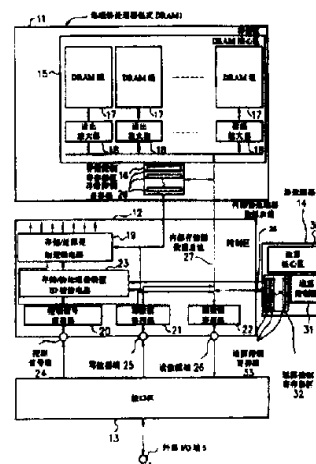
[74]专利代理机构 中原信达知识产权代理有限责任公司 1300室
代理人 穆德骏

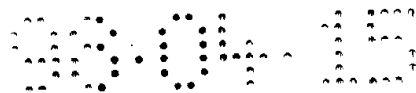
权利要求书 19 页 说明书 44 页 附图页数 27 页

[54]发明名称 包式存储器,协处理器总线及其控制方法

[57]摘要

集成协处理器包式 DRAM 中的存储区和协处理器区分别具有唯一的存储设备 ID 和协处理器 ID。集成协处理器包式 DRAM 通过外部 I/O 端与单总线主控器型存储器/协处理器总线连接。总线主控器将请求包传输到存储器/协处理器总线,每个接收请求包的集成协处理器包式 DRAM 根据存储于集成协处理器包式 DRAM 中的存储器 ID 和协处理器 ID 验证请求包中的设备 ID 字段。





权 利 要 求 书

5 1. 一种通过具有要求数量的信号端的外部 I/O 端与包式存储器/协处理器总线连接的集成协处理器包式存储器 LSI，包括存储区、控制区、接口区和要求数量的协处理器区，其特征在于：

10 分别给存储区和协处理器区指定存储器 ID 和协处理器 ID，这些 ID 存储于集成协处理器包式存储器 LSI 中，其中指定存储器 ID 和协处理器 ID，以便它们中的每一个能够唯一地从与包式存储器/协处理器总线连接的所有集成协处理器包式存储器 LSI 中所有存储区和协处理器区中指定一个存储区或一个协处理器区。

15 2. 根据权利要求 1 的集成协处理器包式存储器 LSI，其特征在于，存储区包括存储核心区和包含有要求数量的存储控制寄存器的存储控制寄存器区，

协处理器区包括运算核心区、运算控制区、及含有要求数量的运算控制寄存器的运算控制寄存器区，

控制区和存储区通过内部存储器数据总线连接，

控制区和协处理器区通过内部协处理器数据总线连接。

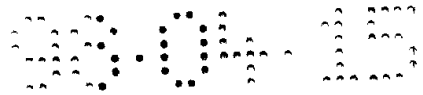
20 3. 根据权利要求 2 的集成协处理器包式存储器 LSI，其特征在于，存储核心区由动态随机存取存储器构成。

25 4. 一种连接总线主控器与要求数量的如权利要求 1、2 或 3 的集成协处理器包式存储器 LSI 的包式存储器/协处理器总线，其特征在于，

包式存储器/协处理器总线是单总线主控器型总线，在总线主控器传输信息包到包式存储器/协处理器总线时，不需要由总线主控器进行其总线归属权的判断，其中包括请求包和写数据包的两种信息包可以由总线主控器传输到包式存储器/协处理器总线，并且读数据包可以由集成协处理器存储 LSI 传输到包式存储器/协处理器总线。

30 5. 一种连接总线主控器与要求数量的如权利要求 1、2 或 3 的集成协处理器包式存储器 LSI 的包式存储器/协处理器总线，其特征在于，

包式存储器/协处理器总线是单总线主控器型总线，在总线主控器传输信息包到包式存储器/协处理器总线时，不需要由总线主控器进行其总线归属权的判断，其中包括请求包和写数据包的两种信息包可以由总



线主控器传输到包式存储器/协处理器总线,并且包括读数据包和确认包的两类信息包可以由集成协处理器存储 LSI 传输到包式存储器/协处理器总线。

5 6. 如权利要求 4 的存储器/协处理器总线,其特征在於, 请求包包括:

 从与包式存储器/协处理器总线连接的所有集成协处理器包式存储器 LSI 的所有存储区和协处理器区中指定请求包目标的设备 ID 字段;

 指定请求包请求的处理的命令字段; 及

10 指定执行由请求包请求的处理所必需的参数的参数字段。

 7. 如权利要求 5 的存储器/协处理器总线,其特征在於, 请求包包括:

15 从与包式存储器/协处理器总线连接的所有集成协处理器包式存储器 LSI 的所有存储区和协处理器区中指定请求包目标的设备 ID 字段;

 指定请求包请求的处理的命令字段; 及

 指定执行由请求包请求的处理所必需的参数的参数字段。

 8. 如权利要求 6 的存储器/协处理器总线,其特征在於,

20 无论设备 ID 字段指定存储区或协处理器区与否,设备 ID 字段的长度都是固定的, 并且无论设备 ID 字段指定存储区或协处理器区与否, 命令字段的长度也是固定的。

 9. 如权利要求 7 的存储器/协处理器总线,其特征在於,

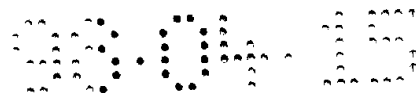
25 无论设备 ID 字段指定存储区或协处理器区与否,设备 ID 字段的长度都是固定的, 并且无论设备 ID 字段指定存储区或协处理器区与否, 命令字段的长度也是固定的。

 10. 如权利要求 6 的存储器/协处理器总线,其特征在於,

30 无论设备 ID 字段指定存储区或协处理器区与否,设备 ID 字段的长度都是固定的, 并且无论设备 ID 字段指定存储区或协处理器区与否, 命令字段的字段长度根据设备 ID 字段是否指定了存储区或协处理器区而变化。

35 11. 如权利要求 7 的存储器/协处理器总线,其特征在於,

 无论设备 ID 字段指定存储区或协处理器区与否,设备 ID 字段的长



度都是固定的，并且无论设备 ID 字段指定存储区或协处理器区与否，命令字段的字段长度根据设备 ID 字段是否指定了存储区或协处理器区而变化。

5 12. 如权利要求 8 的存储器/协处理器总线，包括
从总线主控器到集成协处理器包式存储器 LSI 的单向总线的控制
总线；及
总线主控器和集成协处理器包式存储器 LSI 之间的双向总线的数
据总线。

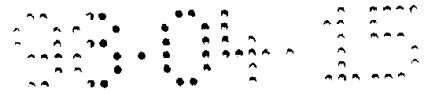
10 13. 如权利要求 9 的存储器/协处理器总线，包括
从总线主控器到集成协处理器包式存储器 LSI 的单向总线的控制
总线；及
总线主控器和集成协处理器包式存储器 LSI 之间的双向总线的数
据总线。

15 14. 如权利要求 10 的存储器/协处理器总线，包括
从总线主控器到集成协处理器包式存储器 LSI 的单向总线的控制
总线；及
20 总线主控器和集成协处理器包式存储器 LSI 之间的双向总线的数
据总线。

25 15. 如权利要求 11 的存储器/协处理器总线，包括
从总线主控器到集成协处理器包式存储器 LSI 的单向总线的控制
总线；及
总线主控器和集成协处理器包式存储器 LSI 之间的双向总线的数
据总线。

30 16. 如权利要求 8 的存储器/协处理器总线，包括：
从总线主控器到集成协处理器包式存储器 LSI 的单向总线的请求
总线；及
从集成协处理器包式存储器 LSI 到总线主控器的单向总线的应答
总线。

35 17. 如权利要求 9 的存储器/协处理器总线，包括：
从总线主控器到集成协处理器包式存储器 LSI 的单向总线的请求



总线；及

从集成协处理器包式存储器 LSI 到总线主控器的单向总线的应答总线。

5 18. 如权利要求 10 的存储器/协处理器总线，包括：

从总线主控器到集成协处理器包式存储器 LSI 的单向总线的请求总线；及

从集成协处理器包式存储器 LSI 到总线主控器的单向总线的应答总线。

10

19. 如权利要求 11 的存储器/协处理器总线，包括：

从总线主控器到集成协处理器包式存储器 LSI 的单向总线的请求总线；及

从集成协处理器包式存储器 LSI 到总线主控器的单向总线的应答总线。

15

20. 一种控制如权利要求 1、2 或 3 的集成协处理器包式存储器 LSI 的方法，包括步骤：

20 接收步骤，其中接口区通过外部 I/O 端接收来自权利要求 6 或 7 的包式存储器/协处理器总线的请求包；

验证步骤，其中控制区根据存于集成协处理器包式存储器 LSI 中的存储器 ID 和协处理器 ID，验证请求包中的设备 ID 字段；

25 解码步骤，其中只有在设备 ID 字段指定任何一个存于集成协处理器包式存储器 LSI 中的存储器 ID 和协处理器 ID 的情况下，控制区才把请求包中的命令字段解码；以及

指示步骤，其中控制区指示由设备 ID 字段指定的存储区或协处理器区执行由请求包发出请求的处理。

30 21. 如权利要求 1 的集成协处理器包式存储器 LSI，其特征在于，由权利要求 20 的方法控制该集成协处理器包式存储器 LSI，且集成协处理器包式存储器 LSI 还包括：

存储器 ID 寄存器，用于存储存储区的存储器 ID 的；

一个或多个协处理器 ID 寄存器，分别用于存储协处理器区的协处理器 ID；及

35 存储器/协处理器 ID 验证电路，该电路与存储器 ID 寄存器和协处理器 ID 寄存器连接，用于根据存储于存储器 ID 寄存器的设备 ID，并



行验证设备 ID 字段，根据分别存储于协处理器 ID 寄存器中的各协处理器 ID，验证协处理器 ID 字段，由此判断设备 ID 字段是否指定了集成协处理器包式存储器 LSI 中的每个存储区和协处理器区。

5 22. 如权利要求 2 的集成协处理器包式存储器 LSI，其特征在于，由权利要求 20 的方法控制该集成协处理器包式存储器 LSI，且集成协处理器包式存储器 LSI 还包括：

存储器 ID 寄存器，用于存储存储区的存储器 ID；

10 一个或多个协处理器 ID 寄存器，分别用于存储协处理器区的协处理器 ID；及

存储器/协处理器 ID 验证电路，该电路与存储器 ID 寄存器和协处理器 ID 寄存器连接，用于根据存储于存储器 ID 寄存器的设备 ID，并行验证设备 ID 字段，根据分别存储于协处理器 ID 寄存器中的各协处理器 ID，验证协处理器 ID 字段，由此判断设备 ID 字段是否指定了集成协处理器包式存储器 LSI 中的每个存储区和协处理器区。

15 23. 如权利要求 3 的集成协处理器包式存储器 LSI，其特征在于，由权利要求 20 的方法控制该集成协处理器包式存储器 LSI，且集成协处理器包式存储器 LSI 还包括：

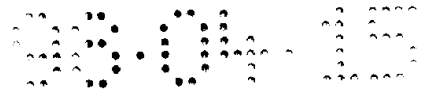
20 存储器 ID 寄存器，用于存储存储区的存储器 ID；

一个或多个协处理器 ID 寄存器，分别用于存储协处理器区的协处理器 ID；及

25 存储器/协处理器 ID 验证电路，该电路与存储器 ID 寄存器和协处理器 ID 寄存器连接，用于根据存储于存储器 ID 寄存器的设备 ID，并行验证设备 ID 字段，根据分别存储于协处理器 ID 寄存器中的各协处理器 ID，验证协处理器 ID 字段，由此判断设备 ID 字段是否指定了集成协处理器包式存储器 LSI 中的每个存储区和协处理器区。

30 24. 如权利要求 22 的集成协处理器包式存储器 LSI，其特征在于，提供存储器 ID 寄存器作为存储区的存储控制寄存器区中的一个存储控制寄存器，提供协处理器 ID 寄存器作为协处理器区的运算控制寄存器区的一个运算控制寄存器。

35 25. 如权利要求 20 的方法，其特征在于，在解码步骤，控制区使用不同的解码方法，根据请求包的设备 ID 字段是否指定了存储区或协处理器区，把命令字段解码，其中有特定位模式的命令字段可以根据设



备 ID 字段是否指定了存储区或协处理器指定不同的处理请求。

5 26. 如权利要求 20 的方法，其特征在于，在请求包中的设备 ID 字段指定了存储区时，控制区把请求包的命令字段解码，并根据解码的结果指示存储区对存储区中的存储核心区或存储控制寄存器区进行写存取或读存取。

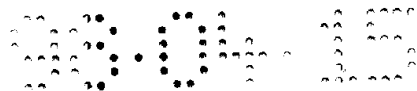
10 27. 如权利要求 20 的方法，其特征在于，在请求包中的设备 ID 字段指定了存储区时，控制区把请求包的命令字段解码，根据解码结果判断存储区是否可以由请求包请求的写存取或读存取，把判断结果作为确认包传输给包式存储器/协处理器总线，并在已判断存储区可以进行存取时，指示存储区对存储区中的存储核心区或存储控制寄存器区进行写存取或读存取。

15 28. 如权利要求 20 的方法，其特征在于，在请求包中的设备 ID 字段指定了一个协处理器区时，控制区把请求包的命令字段解码，并根据解码的结果指示指定的协处理器区对协处理器区中的运算控制寄存器区进行写存取或读存取。

20 29. 如权利要求 20 的方法，其特征在于，在请求包中的设备 ID 字段指定了一个协处理器时，控制区把请求包的命令字段解码，根据解码结果判断指定的协处理器区是否可以由请求包请求的写存取或读存取，把判断结果作为确认包传输给包式存储器/协处理器总线，并在已判断协处理器区可以进行存取时，指示指定的协处理器区对协处理器区中的运算控制寄存器区进行写存取或读存取。

30 30. 如权利要求 20 的方法，其特征在于，
在请求包中的设备 ID 字段指定了存储区时，控制区把请求包的命令字段解码，并根据解码的结果指示存储区对存储区中的存储核心区或存储控制寄存器区进行写存取或读存取；以及

35 在请求包中的设备 ID 字段指定了一个协处理器区时，控制区把请求包的命令字段解码，根据解码结果判断协处理器区是否可以由请求包请求的写存取或读存取，把判断结果作为确认包传输给包式存储器/协处理器总线，并在已判断指定的协处理器区可以进行存取时，指示指定的协处理器区对协处理器区中的运算控制寄存器区进行写存取或读存取。



31. 如权利要求 20 的方法，其特征在于，

在请求包中的设备 ID 字段指定了存储区时，控制区把请求包的命令字段解码，并根据解码的结果指示存储区对存储区中的存储核心区或存储控制寄存器区进行写存取或读存取；

在请求包中的设备 ID 字段指定了一个协处理器区时，控制区把请求包的命令字段解码，

然后，在被解码的命令字段指示对运算控制寄存器区进行写存取后，控制区判断所指定的协处理器区是否可以写存取，把判断结果作为确认包传输给包式存储器/协处理器总线，并在判断协处理器区可以进行存取后，指示指定的协处理器区对协处理器区中的控制寄存器区进行写存取；及

在被解码的命令字段指示对运算控制寄存器区进行读存取后，控制区指示指定的协处理器区对协处理器区中的运算控制寄存器区进行读存取。

32. 如权利要求 26 的方法，其特征在于，在对存储核心区进行写存取时，存储区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并利用由请求包的参数字段指定的地址将写数据写入存储核心区。

33. 如权利要求 27 的方法，其特征在于，在对存储核心区进行写存取时，存储区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并利用由请求包的参数字段指定的存储地址将写数据写入存储核心区。

34. 如权利要求 30 的方法，其特征在于，在对存储核心区进行写存取时，存储区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并利用由请求包的参数字段指定的存储地址将写数据写入存储核心区。

35. 如权利要求 31 的方法，其特征在于，在对存储核心区进行写存取时，存储区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并利用由请求包的参数字段指定的存储地址将写数据写入存储核心区。



36. 如权利要求 26 的方法，其特征在于，在对存储控制寄存器区进行写存取时，存储区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并利用由请求包的参数字段指定的存储地址将写数据写入存储控制寄存器。

5

37. 如权利要求 27 的方法，其特征在于，在对存储控制寄存器区进行写存取时，存储区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并将写数据写入由请求包的参数字段指定的存储控制寄存器。

10

38. 如权利要求 30 的方法，其特征在于，在对存储控制寄存器区进行写存取时，存储区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并将写数据写入由请求包的参数字段指定的存储控制寄存器。

15

39. 如权利要求 31 的方法，其特征在于，在对存储控制寄存器区进行写存取时，存储区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并将写数据写入由请求包的参数字段指定的存储控制寄存器。

20

40. 如权利要求 26 的方法，其特征在于，在对存储控制寄存器区进行写存取时，存储区接收已含于来自控制区的请求包的部分参数字段中的写数据，并将写数据写入由请求包的部分参数字段指定的存储控制寄存器。

25

41. 如权利要求 27 的方法，其特征在于，在对存储控制寄存器区进行写存取时，存储区接收已含于来自控制区的请求包的部分参数字段中的写数据，并将写数据写入由请求包的部分参数字段指定的存储控制寄存器。

30

42. 如权利要求 30 的方法，其特征在于，在对存储控制寄存器区进行写存取时，存储区接收已含于来自控制区的请求包的部分参数字段中的写数据，并将写数据写入由请求包的部分参数字段指定的存储控制寄存器。

35

43. 如权利要求 31 的方法，其特征在于，在对存储控制寄存器区



进行写存取时，存储区接收已含于来自控制区的请求包的部分参数字段中的写数据，并将写数据写入由请求包的部分参数字段指定的存储控制寄存器。

5 44. 如权利要求 26 的方法，其特征在于，在对存储核心区或存储控制寄存器区进行读存取时，存储区根据请求包中的参数字段的指定，从存储核心区或存储控制寄存器区读出数据，并将该数据提供给控制区，控制区组合包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

10

 45. 如权利要求 27 的方法，其特征在于，在对存储核心区或存储控制寄存器区进行读存取时，存储区根据请求包中的参数字段的指定，从存储核心区或存储控制寄存器区读出数据，并将该数据提供给控制区，控制区组合包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

15

 46. 如权利要求 30 的方法，其特征在于，在对存储核心区或存储控制寄存器区进行读存取时，存储区根据请求包中的参数字段的指定，从存储核心区或存储控制寄存器区读出数据，并将该数据提供给控制区，控制区组合包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

20

 47. 如权利要求 31 的方法，其特征在于，在对存储核心区或存储控制寄存器区进行读存取时，存储区根据请求包中的参数字段的指定，从存储核心区或存储控制寄存器区读出数据，并将该数据提供给控制区，控制区组合包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

25

 48. 如权利要求 28 的方法，其特征在于，在对运算控制寄存器区进行写存取时，协处理器区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并将写数据写入请求包的参数字段指定的运算控制寄存器。

30

 49. 如权利要求 29 的方法，其特征在于，在对运算控制寄存器区进行写存取时，协处理器区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并将写数据

35



写入请求包的参数字段指定的运算控制寄存器。

5 50. 如权利要求 30 的方法，其特征在于，在对运算控制寄存器区进行写存取时，协处理器区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并将写数据写入请求包的参数字段指定的运算控制寄存器。

10 51. 如权利要求 31 的方法，其特征在于，在对运算控制寄存器区进行写存取时，协处理器区接收已含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线接收的，并将写数据写入请求包的参数字段指定的运算控制寄存器。

15 52. 如权利要求 28 的方法，其特征在于，在对运算控制寄存器区进行写存取时，协处理器区接收已含于来自控制区的请求包的部分参数字段中的写数据，并将写数据包写入由请求包的部分参数字段指定的运算控制寄存器。

20 53. 如权利要求 29 的方法，其特征在于，在对运算控制寄存器区进行写存取时，协处理器区接收已含于来自控制区的请求包的部分参数字段中的写数据，并将写数据包写入由请求包的部分参数字段指定的运算控制寄存器。

25 54. 如权利要求 30 的方法，其特征在于，在对运算控制寄存器区进行写存取时，协处理器区接收已含于来自控制区的请求包的部分参数字段中的写数据，并将写数据包写入由请求包的部分参数字段指定的运算控制寄存器。

30 55. 如权利要求 31 的方法，其特征在于，在对运算控制寄存器区进行写存取时，协处理器区接收已含于来自控制区的请求包的部分参数字段中的写数据，并将写数据包写入由请求包的部分参数字段指定的运算控制寄存器。

35 56. 如权利要求 28 的方法，其特征在于，在对运算控制寄存器区进行读存取时，协处理器区从由请求包的参数字段指定的运算控制寄存器读取数据，并将该数据提供给控制区，控制区组合成包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器



总线。

5 57. 如权利要求 29 的方法，其特征在于，在对运算控制寄存器区进行读存取时，协处理器区从由请求包的参数字段指定的运算控制寄存器读取数据，并将该数据提供给控制区，控制区组合成包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

10 58. 如权利要求 30 的方法，其特征在于，在对运算控制寄存器区进行读存取时，协处理器区从由请求包的参数字段指定的运算控制寄存器读取数据，并将该数据提供给控制区，控制区组合成包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

15 59. 如权利要求 31 的方法，其特征在于，在对运算控制寄存器区进行读存取时，协处理器区从由请求包的参数字段指定的运算控制寄存器读取数据，并将该数据提供给控制区，控制区组合成包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

20 60. 如权利要求 31 的方法，其特征在于，
在对存储核心区、存储控制寄存器区或运算控制寄存器区进行读存取时，在接收了请求包后，集成协处理器包式存储器 LSI 以预定总线时序将读数据包传输到包式存储器/协处理器总线，及

25 在对运算控制寄存器区进行写存取时，在接收了请求包后，集成协处理器包式存储器 LSI 以相同的预定总线时序将确认包传输到包式存储器/协处理器总线。

30 61. 如权利要求 28 的方法，其特征在于，在运算控制寄存器区提供运算启动寄存器，以便在协处理器区开始进行算术逻辑运算时，协处理器区能够查阅运算启动寄存器，在对运算启动寄存器的写存取由请求包中的命令字段和参数字段指定时，包含于请求包的参数字段中的写数据，或包含于写数据包中的写数据用作表示将要执行的算术逻辑运算程序的第一指令地址的程序指针，在程序指针写入到运算启动寄存器后，
35 协处理器区开始利用程序指针进行算术逻辑运算。



5 62. 如权利要求 29 的方法，其特征在于，在运算控制寄存器区提供运算启动寄存器，以便在协处理器区开始进行算术逻辑运算时，协处理器区能够查阅运算启动寄存器，在对运算启动寄存器的写存取由请求包中的命令字段和参数字段指定时，包含于请求包的参数字段中的写数据，或包含于写数据包中的写数据用作表示将要执行的算术逻辑运算程序的第一指令地址的程序指针，在程序指针写入到运算启动寄存器后，协处理器区开始利用程序指针进行算术逻辑运算。

10 63. 如权利要求 30 的方法，其特征在于，在运算控制寄存器区提供运算启动寄存器，以便在协处理器区开始进行算术逻辑运算时，协处理器区能够查阅运算启动寄存器，在对运算启动寄存器的写存取由请求包中的命令字段和参数字段指定时，包含于请求包的参数字段中的写数据，或包含于写数据包中的写数据用作表示将要执行的算术逻辑运算程序的第一指令地址的程序指针，在程序指针写入到运算启动寄存器后，
15 协处理器区开始利用程序指针进行算术逻辑运算。

20 64. 如权利要求 31 的方法，其特征在于，在运算控制寄存器区提供运算启动寄存器，以便在协处理器区开始进行算术逻辑运算时，协处理器区能够查阅运算启动寄存器，在对运算启动寄存器的写存取由请求包中的命令字段和参数字段指定时，包含于请求包的参数字段中的写数据，或包含于写数据包中的写数据用作表示将要执行的算术逻辑运算程序的第一指令地址的程序指针，在程序指针写入到运算启动寄存器后，协处理器区开始利用程序指针进行算术逻辑运算。

25 65. 如权利要求 61 的方法，其特征在于，在对运算启动寄存器的写存取由请求包指定时，表示协处理器区是否能进行指定的算术逻辑运算的信息被作为确认包传输到包式存储器/协处理器总线，并且只有在指定的算术逻辑运算可以由协处理器区进行时，协处理器区才进行算术逻辑运算。

30 66. 如权利要求 62 的方法，其特征在于，在对运算启动寄存器的写存取由请求包指定时，表示协处理器区是否能进行指定的算术逻辑运算的信息被作为确认包传输到包式存储器/协处理器总线，并且只有在指定的算术逻辑运算可以由协处理器区进行时，协处理器区才进行算术逻辑运算。
35



5 67. 如权利要求 63 的方法，其特征在于，在对运算启动寄存器的写存取由请求包指定时，表示协处理器区是否能进行指定的算术逻辑运算的信息被作为确认包传输到包式存储器/协处理器总线，并且只有在指定的算术逻辑运算可以由协处理器区进行时，协处理器区才进行算术逻辑运算。

10 68. 如权利要求 64 的方法，其特征在于，在对运算启动寄存器的写存取由请求包指定时，表示协处理器区是否能进行指定的算术逻辑运算的信息被作为确认包传输到包式存储器/协处理器总线，并且只有在指定的算术逻辑运算可以由协处理器区进行时，协处理器区才进行算术逻辑运算。

15 69. 如权利要求 56 的方法，其特征在于，提供一个运算结果寄存器，作为一个运算控制寄存器，以便协处理器区可以向运算结果寄存器中写入算术逻辑运算结果，在对运算结果寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算结果寄存器中的数据，并组合成读数据包，并将读数据包传输到包式存储器/协处理器总线。

20 70. 如权利要求 57 的方法，其特征在于，提供一个运算结果寄存器，作为一个运算控制寄存器，以便协处理器区可以向运算结果寄存器中写入算术逻辑运算结果，在对运算结果寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算结果寄存器中的数据，并组合成读数据包，并将读数据包传输到包式存储器/协处理器总线。

25 71. 如权利要求 58 的方法，其特征在于，提供一个运算结果寄存器，作为一个运算控制寄存器，以便协处理器区可以向运算结果寄存器中写入算术逻辑运算结果，在对运算结果寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算结果寄存器中的数据，并组合成读数据包，并将读数据包传输到包式存储器/协处理器总线。

30 72. 如权利要求 59 的方法，其特征在于，提供一个运算结果寄存器，作为一个运算控制寄存器，以便协处理器区可以向运算结果寄存器中写入算术逻辑运算结果，在对运算结果寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算结果寄存器中的数据，并组合成读数据包，并将读数据包传输到包式存储器/协处理器总线。

35



5 73. 如权利要求 69 的方法, 其特征在于, 在对运算结果寄存器的读存取由请求包指定时, 表示算术逻辑运算结果是否已写入指定运算结果寄存器的信息被作为确认包传输到包式存储器/协处理器总线, 并且只有在算术逻辑运算的结果已写入到运算结果寄存器中后, 才进行对运算结果寄存器的读存取。

10 74. 如权利要求 70 的方法, 其特征在于, 在对运算结果寄存器的读存取由请求包指定时, 表示算术逻辑运算结果是否已写入指定运算结果寄存器的信息被作为确认包传输到包式存储器/协处理器总线, 并且只有在算术逻辑运算的结果已写入到运算结果寄存器中后, 才进行对运算结果寄存器的读存取。

15 75. 如权利要求 71 的方法, 其特征在于, 在对运算结果寄存器的读存取由请求包指定时, 表示算术逻辑运算结果是否已写入指定运算结果寄存器的信息被作为确认包传输到包式存储器/协处理器总线, 并且只有在算术逻辑运算的结果已写入到运算结果寄存器中后, 才进行对运算结果寄存器的读存取。

20 76. 如权利要求 72 的方法, 其特征在于, 在对运算结果寄存器的读存取由请求包指定时, 表示算术逻辑运算结果是否已写入指定运算结果寄存器的信息被作为确认包传输到包式存储器/协处理器总线, 并且只有在算术逻辑运算的结果已写入到运算结果寄存器中后, 才进行对运算结果寄存器的读存取。

25 77. 如权利要求 69 的方法, 其特征在于, 在对运算结果寄存器的读存取由请求包指定时, 包含于读数据包中的表示算术逻辑运算结果是否已写入指定的运算结果寄存器的信息被传输到包式存储器/协处理器总线。

30 78. 如权利要求 70 的方法, 其特征在于, 在对运算结果寄存器的读存取由请求包指定时, 包含于读数据包中的表示算术逻辑运算结果是否已写入指定的运算结果寄存器的信息被传输到包式存储器/协处理器总线。

35 79. 如权利要求 71 的方法, 其特征在于, 在对运算结果寄存器的读存取由请求包指定时, 包含于读数据包中的表示算术逻辑运算结果是



否已写入指定的运算结果寄存器的信息被传输到包式存储器/协处理器总线。

5 80. 如权利要求 72 的方法，其特征在于，在对运算结果寄存器的读存取由请求包指定时，包含于读数据包中的表示算术逻辑运算结果是否已写入指定的运算结果寄存器的信息被传输到包式存储器/协处理器总线。

10 81. 如权利要求 61 的方法，其特征在于，在通过对运算控制寄存器的写存取，将协处理器进行算术逻辑运算所必需的数量参数的写存取写入到运算控制寄存器后，协处理器区根据对运算启动寄存器的写存取开始进行算术逻辑运算，并且协处理器区查阅存储于运算控制寄存器中的参数进行算术逻辑运算。

15 82. 如权利要求 62 的方法，其特征在于，在通过对运算控制寄存器的写存取，将协处理器进行算术逻辑运算所必需的数量参数的写存取写入到运算控制寄存器后，协处理器区根据对运算启动寄存器的写存取开始进行算术逻辑运算，并且协处理器区查阅存储于运算控制寄存器中的参数进行算术逻辑运算。

20 83. 如权利要求 63 的方法，其特征在于，在通过对运算控制寄存器的写存取，将协处理器进行算术逻辑运算所必需的数量参数的写存取写入到运算控制寄存器后，协处理器区根据对运算启动寄存器的写存取开始进行算术逻辑运算，并且协处理器区查阅存储于运算控制寄存器中的参数进行算术逻辑运算。

25 84. 如权利要求 64 的方法，其特征在于，在通过对运算控制寄存器的写存取，将协处理器进行算术逻辑运算所必需的数量参数的写存取写入到运算控制寄存器后，协处理器区根据对运算启动寄存器的写存取开始进行算术逻辑运算，并且协处理器区查阅存储于运算控制寄存器中的参数进行算术逻辑运算。

30 85. 如权利要求 69 的方法，其特征在于，在算术逻辑运算的结果不能容纳于运算结果寄存器时，要求数量的运算控制寄存器还用于存储部分算术逻辑运算结果，并且在通过对运算结果寄存器的读存取成功地读出了部分结果后，通过对运算控制寄存器的读存取，从协处理器区读



出算术逻辑运算结果。

5 86. 如权利要求 70 的方法，其特征在于，在算术逻辑运算的结果不能容纳于运算结果寄存器时，要求数量的运算控制寄存器还用于存储部分算术逻辑运算结果，并且在通过对运算结果寄存器的读存取成功地读出了部分结果后，通过对运算控制寄存器的读存取，从协处理器区读出算术逻辑运算结果。

10 87. 如权利要求 71 的方法，其特征在于，在算术逻辑运算的结果不能容纳于运算结果寄存器时，要求数量的运算控制寄存器还用于存储部分算术逻辑运算结果，并且在通过对运算结果寄存器的读存取成功地读出了部分结果后，通过对运算控制寄存器的读存取，从协处理器区读出算术逻辑运算结果。

15 88. 如权利要求 72 的方法，其特征在于，在算术逻辑运算的结果不能容纳于运算结果寄存器时，要求数量的运算控制寄存器还用于存储部分算术逻辑运算结果，并且在通过对运算结果寄存器的读存取成功地读出了部分结果后，通过对运算控制寄存器的读存取，从协处理器区读出算术逻辑运算结果。

20 89. 如权利要求 56 的方法，其特征在于，要求数量的运算控制寄存器用于存储协处理器区进行算术逻辑运算期间产生的中间数据，在对一个存储中间数据的运算控制寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算控制寄存器中的中间数据，并将之
25 组合成读数据包，然后将该读数据包传输到包式存储器/协处理器总线。

30 90. 如权利要求 57 的方法，其特征在于，要求数量的运算控制寄存器用于存储协处理器区进行算术逻辑运算期间产生的中间数据，在对一个存储中间数据的运算控制寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算控制寄存器中的中间数据，并将之

35 91. 如权利要求 58 的方法，其特征在于，要求数量的运算控制寄存器用于存储协处理器区进行算术逻辑运算期间产生的中间数据，在对一个存储中间数据的运算控制寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算控制寄存器中的中间数据，并将之



组合成读数据包，然后将该读数据包传输到包式存储器/协处理器总线。

5 92. 如权利要求 59 的方法，其特征在于，要求数量的运算控制寄存器用于存储协处理器区进行算术逻辑运算期间产生的中间数据，在一个存储中间数据的运算控制寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算控制寄存器中的中间数据，并将之组合成读数据包，然后将该读数据包传输到包式存储器/协处理器总线。

10 93. 如权利要求 21 的集成处理器包式存储器 LSI，其特征在于，集成协处理器包式存储器 LSI 具有外部选择输入(select-in)端和外部选择输出(select-out)端，

每个存储器区和协处理器区具有内部选择输入端和内部选择输出端，

15 通过连接内部选择输出端与相应的内部选择输入端，并将所有存储区与协处理器区连接成链，形成存储区/协处理器区链，

集成协处理器包式存储器 LSI 的外部选择输入端与存储区/协处理器区链的第一块的内部选择输入端连接，及

存储器区/协处理器区链的最后一块的内部选择输出端与集成协处理器包式存储器 LSI 的外部选择输出端连接。

20 94. 一种控制权利要求 93 的集成协处理器包式存储器 LSI 的方法，其特征在于，

25 在初始化处理时，集成协处理器包式存储器 LSI 中存储区和协处理器区的存储器 ID 和协处理器 ID 设定为预定的初始值，并且存储区和协处理器区的所有内部选择输出端设定为逻辑值‘0’，及

初始化处理后，只要向其内部选择输入端提供逻辑值‘0’，每一个其存储器 ID 和协处理器 ID 已设定为初始值的存储区和协处理器区忽略对其的写存取，并连续从其内部选择输出端输出逻辑值‘0’，

30 只要向其内部选择输入端提供逻辑值‘1’，每个存储区和协处理器区接受对其的写存取，并从其内部选择输出端输出逻辑值‘1’，由此，根据对其的写存取，将由请求包的参数字段指定的存储器 ID 和协处理器 ID 写入存储器 ID 寄存器或协处理器 ID 寄存器。

95. 如权利要求 4 的包式存储器/协处理器总线，其特征在于，

35 通过连接外部选择输出端与相应的外部选择输入端，将要求数量的权利要求 93 的集成协处理器包式存储器 LSI 连接成链，从而形成集成



协处理器包式存储器 LSI 链，

总线主控器具有外部选择输入端和外部选择输出端，

总线主控器的外部选择输出端与集成协处理器包式存储器 LSI 链中的第一集成协处理器包式存储器 LSI 的外部选择输入端连接，以及

5 集成协处理器包式存储器 LSI 链中的最后一个集成协处理器包式存储器 LSI 的外部选择输出端与总线主控器的外部选择输入端连接。

96. 如权利要求 5 的包式存储器/协处理器总线，其特征在于，

10 通过连接外部选择输出端与相应的外部选择输入端，将要求数量的权利要求 93 的集成协处理器包式存储器 LSI 连接成链，从而形成集成协处理器包式存储器 LSI 链，

总线主控器具有外部选择输入端和外部选择输出端，

总线主控器的外部选择输出端与集成协处理器包式存储器 LSI 链中的第一集成协处理器包式存储器 LSI 的外部选择输入端连接，以及

15 集成协处理器包式存储器 LSI 链中的最后一个集成协处理器包式存储器 LSI 的外部选择输出端与总线主控器的外部选择输入端连接。

97. 一种控制权利要求 95 或 96 的包式存储器/协处理器总线的方法，其特征在于，

20 初始化处理时，与包式存储器/协处理器总线连接的所有集成协处理器包式存储器 LSI 中的所有存储区和协处理器区的存储器 ID 和协处理器 ID 设定为预定初始值，存储区和协处理器区的所有内部选择输出端设定为逻辑 '0'，及

25 初始化处理后，总线主控器将其外部选择输出端的逻辑值从 '0' 变到 '1'，并传输指定请求包的设备 ID 字段中的初始值和指定请求包的参数字段中的新存储器 ID 或新协处理器 ID 的请求包，由此将新存储器 ID 或新协处理器 ID 赋予集成协处理器包式存储器 LSI 链中第一集成协处理器包式存储器 LSI 的存储区/协处理器区链的第一块，以及

30 此后，总线主控器再次传输指定请求包的设备 ID 字段中的初始值和指定请求包的参数字段中新存储器 ID 和新协处理器 ID 的请求包，由此，根据通过集成协处理器包式存储器 LSI 链中的块逻辑值 '1' 传输，将特定且唯一的存储区 ID 和协处理器 ID 一个接一个地赋予集成协处理器包式存储器 LSI 链中的存储区和协处理器区。

35 98. 如权利要求 2 的集成协处理器包式存储器 LSI，其特征在于，存储区包括作为一个存储控制寄存器的设备定义寄存器，用于预存



储将识别存储区和协处理器区的设备定义信息，以及

每个协处理器区包括作为一个运算控制寄存器的设备定义寄存器，用于预存储识别存储区和协处理器区的设备定义信息。

5 99. 一种控制权利要求 98 的集成协处理器包式存储器 LSI 的方法，其特征在于，通过进行给存储控制寄存器区或运算控制寄存器区中的设备定义寄存器指定特定设备 ID 的读存取，获得设备定义信息，由此总线主控器检查特定设备 ID 是否已赋予存储区或协处理器区。

10 100. 如权利要求 99 的方法，其特征在于，不管读存取的目标是否在存储区或协处理器区，总线主控器利用除设备 ID 字段的指定外都相同的请求包，进行对设备定义寄存器的读存取。

15 101. 如权利要求 2 的集成协处理器包式存储器 LSI，其特征在于，运算控制寄存器区包括作为一个运算控制寄存器的功能定义寄存器，用于预存储把协处理器区的算术逻辑运算功能分类的功能定义码。

20 102. 一种控制权利要求 101 的集成协处理器包式存储器 LSI 的方法，其特征在于，通过进行给运算控制寄存器区中的功能定义寄存器指定特定设备 ID 的读存取，获得功能定义信息，由此总线主控器检查对应于特定设备 ID 的协处理器区的算术逻辑功能。

说明书

包式存储器、协处理器总线及其控制方法

5

本发明涉及一种具有一个或多个内部芯片上协处理器的包式存储器 LSI(即,集成协处理器包式存储器 LSI),及用于连接集成协处理器包式存储器 LSI 与总线主控器的包式存储器/协处理器总线。

10

一般情况下,如果存储器 LSI 的存储容量变得越来越大,则要求存储器 LSI 随之具有更宽的数据带宽的存储能力。通过与存有许多物件的包袋类相比则容易理解这一点。如果包袋的尺寸越来越大,而其开口的尺寸保持不变,则书包必然变得越来越不便于存取物件。类似地,如果存储 LSI 的存储容量变大,而其数据带宽保持不变,则存储 LSI 会变得很难写入和读取数据。因此,重要的是保持存储容量和数据带宽间的平衡,以实现能用于系统中的存储 LSI,所以具有最大存储容量的存储器 LSI DRUM 正在不断促进带宽扩展方面的研究。

15

20

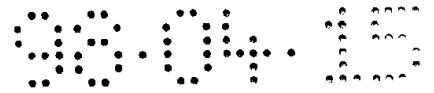
为了扩展数据带宽,存储器 LSI 和外部设备间接口的工作频率不得不尽可能地增大,其中外部 I/O 信号端的同时工作变成了障碍。在多个信号端同时高速工作的情况下,存储 LSI 芯片的功耗变高,产生强烈的开关噪声,由此会造成工作错误。而且,在外部 I/O 信号端数量巨大时,外部 I/O 信号端间趋于发生时间偏斜,时序调节变困难,所以高速工作也变难。

25

30

35

为此,已研制出一些实现 DRAM 较宽数据带宽的技术。按这些技术,DRAM 与之相连的存储器总线中的信号线数量减少,DRAM 的外部 I/O 信号端的端数量减少,存储器总线的工作频率增大。这种 DRAM 的典型实例有 RambusDRAM、SLDRAM(以前称为 SyncLink DRAM)、Mediachannel DRAM 等。Rambus 公司公布的各种手册中有对 Rambus DRAM 的具体说明。SLDRAM 已由 SLDRAM Consortium(以前称为 SyncLink Consortium)将对它们的规范编制成 IEEE 标准技术,暂时实行规范见 IEEE Micro 1997 年 11 月/12 月, pp.29-39 的“SLDRAM : High-Performance, Open-Standard Memory”,或 Draft 099 P1596.7-199x (http://www.sldram.com/Documents/SyncLink D0_99.pdf) “Draft Standard



for A High-Speed Memory Interface(SLDRAM)” 。关于 Mediachannel
DRAM,已在 Tim Robinson 等人于公知的 96 COMPCON 国际会议(Spring)
发表的论文 Multi-Gigabyte/sec DRAMwith the Micro Unity Mediachannel
Interface”中作了具体说明, 见 Proc.of COMPCON'96 (Spring), pp.378
5 (1996)。

在采用这种技术的 DRAM 中, 采用了称为 ‘包式’ 或 ‘规约型’
的存储器总线技术或 DRAM 接口技术, 以便实现有效的 DRAM 存取,
及实现使外部 I/O 信号端的信号线数和端数较少。因此, 此后将分别称
10 根据这些常规技术的 DRAM 和存储器总线为 ‘包式 DRAM’ 和 ‘包式
存储器总线’ 。

以下将说明包式 DRAM 和包式存储器总线。

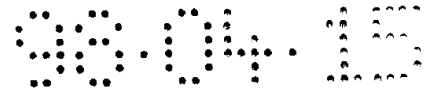
15 图 1 是展示常规包式 DRAM1001 的构成实例的框图。图 1 中, 包
式 DRAM1011 包括存储区 11、控制区 1012 和接口区 13 。

存储区 11 由 DRAM 核心区 15 和存储控制寄存器区 16 构成。
DRAM 核心区 15 包括多个 DRAM 组 17 和提供给相应的每个 DRAM 组
20 17 的多个读出放大器 18, 存储控制寄存器区 16 包括多个存储控制寄存
器 29 。

控制区 1012 包括存储控制逻辑电路 1019、控制信号寄存器 20、
写数据寄存器 21、读取数据寄存器 22 和存储器 ID 验证电路 1023。控
25 制区 1012 具有与接口区 13 相连的 3 个 I/O 信号端。控制区 1012 的 I/O
信号端包括控制信号端 24 和写入数据端 25(输入端)及读取数据端 26(输
出端)。

接口区 13 与外部 I/O 信号端 5 连接。存储区 11 和控制区 1012 通
30 过内部存储器数据总线 27 连接在一起, 该数据总线为双向总线。

图 2A - 2C 是展示常规包式 DRAM1001 和微处理器 9 通过包式存
储器总线 1002 连接的实例的框图。图 2A - 2C 展示了 3 种类型的连接
方式。包式存储器总线 1002 是单总线主控器型总线, 只有一个总线主
35 控器能够存在于包式存储器总线 1002 上。所有与包式存储器总线 1002
连接的包式 DRAM1001 作为从设备工作。这里, ‘总线主控器(bus



5 master) 一词一般是指可以专门控制一条总线并向总线发送请求的设备，‘从设备’一词一般是指不自动向包式存储器总线 1002 发送请求但只应答来自总线主控器的请求的设备。正如以下将解释的，通过只允许该总线上有一个总线主控器，总线主控器可以发送请求，而不判断包式存储器总线 1002 的总线归属权，由此可以简化包式存储器总线 1002 的规约。顺便提及，尽管提供微处理器 9 作为图 2A - 2C 的包式存储器总线 1002 的总线主控器，但也可以为包式存储器总线 1002 提供其它类型的总线主控器，例如存储控制器、信号处理器、图形加速器、其它类型的 ASIC 等。

10

在图 2A 的构成中，与图 1 的包式 DRAM 1001 相同，图 2A 的包式 DRAM1001 由存储区 11、控制区 1012 及接口区 13 构成。控制区 1012 的所有 I/O 端即控制信号端 24、写数据端 25 和读数据端 26 皆与接口区 13 连接。接口区 13 通过外部 I/O 端 5 与包式存储器总线 1002 连接。包式存储器总线 1002 连接微处理器 9 与包式存储 DRAM1001。图 2A 中的包式存储器总线 1002 为双向总线。

15

图 2B 的构成中，接口区 13 由控制接口区 13 - 1 和数据接口区 13 - 2 构成。控制区 1012 的控制信号端 24 与控制接口区 13 - 1 连接，控制区 1012 的写入数据端 25 和读取数据端 26 与数据接口区 13 - 2 连接。图 2B 的包式存储器总线 1002 由控制总线 1002 - 1 和数据总线 1002 - 2 构成。控制接口区 13 - 1 与控制总线 1002 - 1 连接，数据接口区 13 - 2 与数据总线 1002 - 2 连接。图 2B 中，控制总线 1002 - 1 为多微处理器 9 到包式 DRAM 1001 的单向总线，数据总线 1002 - 2 为双向总线。

20

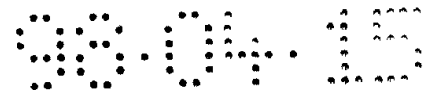
25

图 2C 的构成中，接口区 13 由请求接口区 13 - 3 和应答接口区 13 - 4 构成。控制区 1012 的控制信号端 24 和写数据端 25 与请求接口区 13 - 3 连接，控制区 1012 的读数据端 26 与应答接口区 13 - 4 连接。图 2C 的包式存储器总线 1002 由请求总线 1002 - 3 和应答总线 1002 - 4 构成。请求接口 13 - 3 与请求总线 1002 - 3 连接，应答接口区 13 - 4 与应答总线 1002 - 4 连接。图 2C 中，请求总线 1002 - 3 为从微处理器 9 到包式 DRAM1001 的单向总线，而应答总线 1002 - 4 是相反方向的单向总线。

30

35

图 3 是展示向包式 DRAM1001 发出请求的处理请求的分类表。处

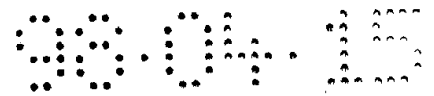


理类型包括‘存储器存取’、‘初始化’、和‘刷新’。每种处理请求由包式存储器总线 1002 的总线主控器即图 2A — 2C 中的微处理器 9 提出。‘存储器存取’按目的分为两种类型，即，向存储区 11 中的 DRAM 核心区 15 的存储器存取，和向存储区 11 的存储控制寄存器区 16 的存储器存取。向 DRAM 核心区 15 的存储器存取和向存储控制寄存器区 16 的存储器存取皆包括两种操作(命令)，即，读取和写入。而且，在 DRAM 核心区 15 存取的情况下，读取或写入数据的数据长度为指定长度。一般情况下，数据长度例如约为 8 位到 256 位。在向存储控制寄存器区 16 存取的情况下，一般读取或写入固定数据长度的数据，数据长度设定为存储控制寄存器区 16 的存储控制寄存器 29 的数据长度(例如，8 位)或较短的固定长度。‘初始化’包括使存储控制逻辑电路 1019 的内部状态复位、将包式 DRAM 1001 的特定设备信息存储到存储控制寄存器区 16 的操作等。‘刷新’一般是指周期性重新写 DRAM 单元，以保持 DRAM 工作所必需的 DRAM 单元的记忆。

以下将首先参照图 1 和 3 解释对包式 DRAM 1001 的 DRAM 存取操作。按任何一种 DRAM 存取，图 3 所示的‘处理类型’、‘目标’、‘操作’、和‘数据长度’由微处理器 9(即总线主控器)指定，指定的信息通过外部 I/O 端 5 和接口区 13，传输到包式 DRAM 1001 的控制区 1012 的控制信号端 24。指定信息还包括用于指定一个 DRAM 组 17 的存储地址和将要存取的位置，或用于指定存储控制寄存器区 16 中特定存储控制寄存器 29 的存储控制寄存器数。这种通过控制信号端 24 提供的信息此后称之为‘控制信号信息’。

控制信号信息还包括用于从多个与包式存储器总线 1002 连接的包式 DRAM 1001 中选择一个或多个包式 DRAM 1001 的存储器 ID。每个包式 DRAM 1001 具有一个特定的存储器 ID，这个存储器 ID 存于存储控制寄存器区 16 中一个特定的存储控制寄存器 29 中，每个包式 DRAM 1001 中的存储器 ID 验证电路 1023 相对于包式 DRAM 1001 自身的存储器 ID 验证控制信号信息中所含的设备 ID。通过此验证，判断通过外部 I/O 端 5 提供的请求(例如 DRAM 存取)的目标是否是包式 DRAM 1001 自身。如果 DRAM 存取请求的目标不是包式 DRAM 1001 自身，将不执行以后的操作。顺便提及，存在着控制信号信息中所含的设备 ID 指定两个或更多包式 DRAM 1001 的存储器 ID 的情况。

控制区 1012 中，已读出的数据在读存取的情况下从读数据端 26 输



出，而将写入的数据在写存取的情况下提供到写数据端 25。控制信号寄存器 20、写数据寄存器 21 和读数据寄存器 22 分别作为用于控制信号端 24、写数据端 25 和读数据端 26 的 I/O 锁存器(I/O 寄存器)工作。存储控制逻辑电路 1019 根据通过控制信号端 24 提供的控制信号信息确定随后的操作，并控制 DRAM 存取。在控制 DRAM 存取的过程中，必要时存储控制逻辑电路 1019 查阅存储控制寄存器区 16 中存储控制寄存器 29 中的存储器。在对 DRAM 核心区 15 的 DRAM 存取的情况下，通过指定存储地址选择所要求的 DRAM 组 17，DRAM 组 17 中的数据通过相应的读出放大器 18 进行存取。这里，读出放大器 18 还作为用于相应 DRAM 组 17 的高速缓冲存储器或高速缓冲器工作。因此，在 DRAM 存取的地址范围包含在已暂时存于读出放大器 18 的数据内时，读出放大器 18 代替 DRAM 组 17 高速进行存取，由此可以进行高速 DRAM 存取。

在对 DRAM 核心区 15 进行 DRAM 存取的情况下，根据所需数据是否已暂时存于读出放大器 18 内进行对 DRAM 组 17 的存取，所以存取时间有较大改变。在随后的存取是对未暂存于读出放大器 18 中的数据寻址的情况下，如果暂存于读出放大器 18 中的数据在随后的存取之前写回到 DRAM 组 17，则对于高速存取是有益。因此，在对 DRAM 核心区 15 进行 DRAM 存取的情况下，控制信号信息一般包括关于控制 DRAM 核心区 15 的信息，例如是否对 DRAM 组 17 的存取要执行，是否读出放大器 18 中的数据要写回到 DRAM 组 17 等。

如上所述，在已参照图 2A - 2C 说明的包式存储器总线 1002 的常规构成中，包式存储器总线 1002 的特征是由很少信号线构成。具体地，信号线的数量约为 10 - 30 条。按常规技术，Rambus 采用图 2A 的构成，SLDRAM Consortium 采用图 2B 的构成，Mediachannel 采用图 2C 的构成。如上所述，为了通过很少信号线从微处理器 9 向包式 DRAM 1001 发送 DRAM 存取所必需的控制信号信息，或为了利用很少信号线在微处理器 9 和包式 DRAM 1001 间进行数据传输，必须提供在某些周期中将控制信号信息和数据组合成信息包、并发送/接收该信息包的系统。而且，为了组合和拆散这些信息包，必须建立某些固定规约。

图 4A 和 4B 是展示在包式存储器总线 1002 上传输的信息包分类的示意图，图 4A 中示出的两种信息包，即请求包和写数据包，它们从微处理器 9 传输到包式 DRAM 1001。请求包是通过根据预定规约将上述控制信号信息编码产生的长度可变的的信息包，写数据包包括大小可变的

写数据。另外，图 4B 所示的两种包即读数据包和确认包从包式 DRAM 1001 传输。读数据包包括其大小可变的读数据。确认包一般是固定长度的包。确认包在某些情况下是必需的，而在另一些情况下是不必要的，以下将对此作说明。

5

在用于请求对包式 DRAM 1001 进行 DRAM 存取的微处理器 9(即总线主控器)可以不判断包式 DRAM 1001 是否能接受 DRAM 存取请求，或包式 DRAM 1001 是否可以立即应答此请求的情况下，例如，在包式 DRAM 1001 的刷新期间请求对 DRAM 核心区 15 进行存取，且微处理器 9 不知是否刷新在进行中的情况下，确认包是必需的。而且，在微处理器 9 不知道要存取的数据是否已暂时存储于读出放大器 18 的情况下，确认包也是必要的。在这些情况下，确认包包括表示所请求的存取是否被接受的信息，和指示微处理器 9 在被请求的存取不可能被接受的情况如何工作的信息。该指令例如可以是在预定时间后再次请求存取的指令，或可以是等待一定时间直到存取完成的指令。另一方面，在微处理器 9 完全管理和掌握包式 DRAM 1001 的内部状态，以便在微处理器 9 进行存取请求时保证存取被接受的情况下，确认包是不必要的。Rambus 采用需要确认包的方法，SLDRAM Consortium 采用不需要确认包的方法。

20

图 5A - 5C 是展示图 2A - 2C 的构成中包式存储器总线 1002 上传输信息的示意图。图 5A - 5C 中，以与图 2A - 2C 相同的方式，微处理器 9(总线主控器)设于左侧，包式 DRAM 1001(从设备)设于右侧。

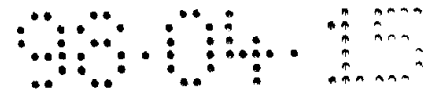
25

在图 2A 的构成中，每种信息包在双向包式存储器总线 1002 上传输。因此，图 5A 示出了按两种操作：写和读分类的信息包传输。在写操作期间，微处理器 9 首先发送请求包，然后发送写数据包。为此，包式 DRAM 1001 发送确认包，然后如果接受则正确地写入写数据。在读操作期间，微处理器 9 发送请求包，包式 DRAM 1001 发送确认包。如果被接受，则包式 DRAM 1001 随之发送读数据包。顺便提及，如上所述，不用确认包也可以进行上述操作，其中其它类信息包的传输与图 5A 相同。

30

图 5B 展示了在图 2B 的构成中的控制总线 1002 - 1 或数据总线 1002 - 2 上传输信息包的情况。请求包在控制总线 1002 - 1 上传输，写数据包、读数据包及确认包在数据总线 1002 - 2 上传输。如上所述，

35



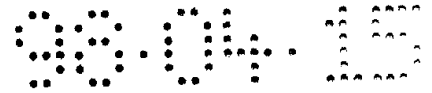
存在着不使用确认包和采用这种构成的 SLD RAM Consortium 实际不使用确认包的情况。

5 图 5C 展示了在图 2C 构成中的请求总线 1002 - 3 或应答总线 1002 - 4 上传输信息包的情况。请求包和写数据包在请求总线 1002 - 3 上传输，读数据包和确认包在应答总线 1002 - 4 上传输。如上所述,存在着不使用确认包的情况。

10 图 6A 和 6B 是展示接收了请求包后包式 DRAM 1001 的工作流程图。图 6A 展示的是必需确认包的情况，而图 6B 展示的是不必用确认包的情况。参见图 6A 接收了请求包后，包式 DRAM 1001 验证存储器 ID，并判断是否必须应答此请求。如果存储器 ID 不是包式 DRAM 1001 自身的存储器 ID，则处理结束。如果存储器 ID 匹配，则包式 DRAM 1001 拆散请求包，并确定存取模式。随后，包式 DRAM 1001 根据所确定的
15 存取模式，判断包式 DRAM 1001 是否正确应答了对 DRAM 核心区 15 或存储控制寄存器区 16 的存取请求。随后，包式 DRAM 根据判断结果组合确认包，并发送此确认包。确认包包括表示包式 DRAM 1001 是否接受请求的信息。在请求被接受时，进行存取，在读存取情况下，包式 DRAM 1001 发送读数据包，处理结束。在写存取情况下，包式 DRAM
20 1001 接收写数据包，写数据包被写入 DRAM 核心区 15 或存储控制寄存器区 16，且处理结束。在请求未被接受时，包式 DRAM 1001 进行存取准备。这里，存取准备包括刷新期间完成刷新的等待，或者如果被请求数据的地址与已暂存于读出放大器 18 中的数据不对应，则从 DRAM 组 17 向读出放大器传输数据。在存取准备后，包式 DRAM 1001 转到存取
25 操作，且按与请求被接受情况下相同的方式进行操作，或对应于特定请求包完成此操作，并等待接收另一请求包。

30 图 6B 中，由于不使用确认包，所以包式 DRAM 1001 的操作更简单。存储器 ID 验证后，拆散请求包，确定存取模式，进行读或写存取，相关请求包的操作结束。

35 图 7A - 7E 是展示采用 SLD RAM Consortium 技术作实例情况下，每个信息包的典型包格式的示意图。图 7A - 7C 展示了请求包的实例，图 7D 展示了确认包的实例，图 7E 展示了读数据包或写数据包的实例。顺便提及，按 SLD RAM Consortium 技术，控制总线 1002 - 1 由 10 位存储器总线信号线构成，数据总线 1002 - 2 由 16 位存储器总线信号线



构成。

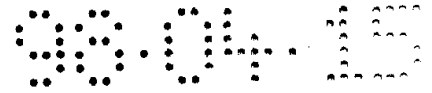
图 7A 展示了用于请求对 DRAM 核心区 15 进行写存取或读存取的请求包。图 22A 的请求包占据了 4 个周期中的 10 位控制总线 1002 - 1。在第一周期，前 7 位用作指定设备 ID 的设备 ID 字段，其余 3 位用作指定命令 No.0 的命令字段。在第 2 周期，前 3 位用作指定命令 No.1 的命令字段，其余 7 位用作指定参数 No.0 的参数字段。其余两个周期分别用作指定参数 No.1 和 No.2 的参数字段。已参照图 3 作了解释的控制信号信息包括处理类型、目标、操作、数据长度、关于控制 DRAM 核心区 15 的信息等，该控制信号信息由命令 No.0 和命令 No.1 的命令字段指定。DRAM 核心区 15 中数据的地址由参数 No.0、No.1、和 No.2 的参数字段指定。

图 7B 展示了请求对存储控制寄存器区 16 进行读存取的请求包。由第 2 周期的后 7 位的参数 No.0 字段指定要存取的存储控制寄存器区 16 中的一个存储控制寄存器 29 中。

图 7C 展示了请求对存控制寄存器区 16 进行写存取的请求包。根据第 2 周期后 7 位的参数 No.0 字段指定要存取的存储控制寄存器区 16 中的一个存储控制寄存器 29 中。由第 3 周期中参数 No.1 和第 4 周期中参数 No.2 指定写数据。

如图 7A - 7C 所示，设备 ID 字段含于每个请求包中，包式 DRAM 1001 必须应答此请求的请求包由对设备 ID 字段的验证唯一确定。同样，命令 No.0 和命令 No.1 的字段对每个请求包是相同的，要在包式 DRAM 1001 中进行的存取操作通过将此字段解码唯一确定。参数字段用于根据请求存取的类型指定 DRAM 核心区 15 中数据地址、存储控制寄存器、写数据。顺便提及，设备 ID 字段的指定不限于一个包式 DRAM 1001，存在多个包式 DRAM 1001 同时被指定的情况(称作‘多信道’)，或所有与包式存储器总线 1002 连接的包式 DRAM 1001 同时被指定的情况(称作‘广播’)。

图 7D 展示了确认包包格式的实例。实际上，SLDRAM Consortium 技术中不存在确认包，这样图 7D 展示了在 SLDRAM 数据总线 1002 - 2 上实现的 Rambus 的确认包格式。图 7D 的确认包在一个周期中占据数据总线，其中前 2 位用于表示请求是否可以被接受(即是否可以对此请求



进行应答), 或是否存在某些系统错误。

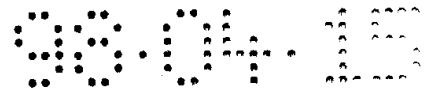
图 7E 展示了写数据包或读数据包的格式的实例。每个写数据包和读数据包在必要数量的周期中传输不同长度的数据, 占据数据总线 1002 - 2。

如上所述, 常规技术中的包式 DRAM1001 和包式存储器总线 1002 根据预定规约实现在总线主控器和包式 DRAM 1001 间传输信息包的功能。另外, 在并行处理系统和分配系统的领域中, 已采用在多个设备之间进行通信的常规技术很长时间了。在这些系统中, 多个设备(或节点)通过总线或网络连接, 为了执行设备(或节点)间的相互处理请求, 或为了同步并行进行处理, 采用了包式传输或其它类型的通信手段。

存在有各类常规技术, 其中可以采用 Intel 的 Pentium Pro 微处理器的‘处理器总线’作为例子。Nitin Sarangdhar 等人在 96 年(Spring)的 COMPCON 国际会上发表的论文对这种处理器总线作了说明, 见“ An Overview of the Pentium Pro Processor Bus ”, Proc. of COMPCON'96 (Spring), pp.383(1996)。Pentium Pro 处理器总线是在设想连接多个 Pentium Pro 微处理器、存储控制器、及 I/O 控制器等的情况下设计出来的, 设备的物理和电连接方法及处理器总线的驱动规约已建立。而且, 已为 Pentium Pro 处理器总线确立了保持多个 Pentium Pro 微处理器间的高速缓存相关性的标准方法。这里, “高速缓存相关性”是指通过从相同数据拷贝分别存于每个节点的高速缓存存储器中的复制品具有相同值的状态。

如上所述, 利用包式 DRAM 1001 和包式存储器总线 1002 的常规技术实现了根据预定规约传输信息包的功能。按这种技术, 信息包传输功能只用于对包式 DRAM 1001 进行 DRAM 存取, 即, 用于对 DRAM 核心区 15 或存储控制寄存器区 16 的读存取或写存取, 及用于包式 DRAM 1001 的初始化或刷新的控制。然而, 这种通过信息包传输实现通信功能的最初应用不必限于这种 DRAM 存取。换言之, 这些功能可以被用作可以满足各种目的的手段。

关于这种目的实例, 可以在包式 DRAM 1001 中设置具有某些算术逻辑运算功能的一外或多个协处理器, 通过包式存储器总线 1002 从总线主控器发送某类信息包, 由此借助总线主控器控制协处理器的算术逻

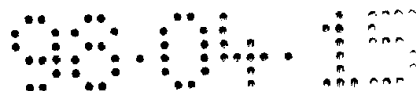


辑运算。在这种具有内部协处理器(即,集成协处理器包式 DRAM)的包式 DRAM 中,可以对芯片上的 DRAM 进行宽带宽和低空转时间的内部存取,这样一来,内部协处理器可以通过对以宽带宽和低空转时间存于体存储芯片上 DRAM 中的数据进行内部存取来进行有效的算术逻辑运算。如上所述,未考虑利用包式 DRAM 1001 的常规技术的信息包传输功能的其它目的(非 DRAM 存取),所以这种常规技术不足以用作控制前述协处理集成包式 DRAM 的存储器总线技术。

另外,似乎通过使用前述其它技术,例如并行处理系统中的处理器总线等,容易实现对设于 DRAM 内的协处理器的算术逻辑运算的这种外部控制(芯片上处理器有的外部控制)。然而,解决这些问题会带来以下缺点。

并行处理系统中处理器总线等的规约因为某些原因比包式存储器总线 1002 的规约更复杂。首先,该处理器总线是在假设多个总线主控器的情况下设计的。存在着多个总线主控器立即请求处理器总线的情况,这样一来,不得不在两总线主控器之间进行处理器总线的总线归属权的判断。而且,为了避免死锁或活锁,必须对处理器总线进行流量控制。另外,规约不得不支持多种总线的不同通信格式和多种总线的不同通信模式(即,设备通信应在其间进行,用其进行时序传输等)。再者,保证多个处理器间的例如高速缓存相关性等数据协调性的规格不得不包括于规约中。因此,处理器总线的规约很复杂,通过处理器总线在这种系统中通信要花长得多的时间。

另一方面,由于请求包式存储器总线 1002 的总线主控器只有一个,不必进行总线归属权的判断,且由于规约不必支持多类信息包格式,所以包式存储器总线 1002 的规约相当类似。另外,如果包式存储器总线 1002 的如微处理器、存储控制器等总线主控器设计成用于管理和掌握包式 DRAM 1001 的内部状态,则可以如上所述不用确认包构成规约,因此可以实现非常简单的规约,因此,利用包式 DRAM 1001 和包式存储器总线 1002 的简单规约常规系统的优点在于,可以高速进行信息包的组合、传输和拆散,可以在短时间内进行通过包式存储器总线 1002 的通信。减少 DRAM 存取时间及扩宽数据带宽为设计 DRAM 的主要问题。因此,上述特征对于用于构成 DRAM 系统的存储器总线非常有益。



综上所述,如果采用并行处理系统或分配处理系统领域中的常规技术构成带有包式 DRAM 1001 和包式存储器总线 1002 的系统,则规约的处理需花大量时间,且 DRAM 存取时间不可避免地显著增加。在试图实现可以作为普通包式 DRAM 1001 进行外部读存取和写存取的上述集成协处理器包式 DRAM 时,不允许为了实现内部协处理器的算术逻辑运算功能的外部控制而增加包式 DRAM 1001 自身的存取时间。另一方面,无法通过常规包式 DRAM 1001 和包式存储器总线 1002 实现芯片上内部协处理器的算术逻辑运算功能的外部控制。

因此,本发明的主要目的是提供一种带有内部协处理器的灵活、高性能的包式 DRAM(即集成协处理器包式 DRAM),以此可以实现芯片上内部协处理器算术逻辑运算的外部控制。

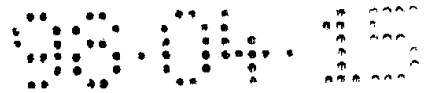
本发明的另一目的是提供这种集成协处理器包式 DRAM,与常规包式 DRAM 相比,无需相对于外部 I/O 信号端的端子数和对芯片上包式 DRAM 自身的 DRAM 存取附加空间/时间。

本发明的再一目的是提供一种能够实现集成协处理器包式 DRAM 的外部控制的包式存储器/协处理器总线,可以在同一芯片上实现芯片上内部协处理器的算术逻辑运算和对包式 DRAM 的 DRAM 存取功能的外部控制。

本发明又一目的是提供一种包式存储器/协处理器总线,与常规包式存储器总线相比,无需相对于构成总线的信号线数量和 DRAM 存取的总线时序附加空间/时间。

本发明再一目的是提供一种集成协处理器包式 DRAM 和包式存储器/协处理器总线,由此可以以混合方式连接任意数量的包式 DRAM 和任意数量的集成协处理器包式 DRAM 与相同的包式存储器/协处理器总线,其中通过包式存储器/协处理器总线,可以实现对包式 DRAM 的 DRAM 存取、对集成协处理器包式 DRAM 的 DRAM 存取及对集成协处理器包式 DRAM 中的芯片上内部协处理器的算术逻辑运算功能的控制。

根据本发明的第 1 方面,提供一种集成协处理器包式存储器 LSI,该集成协处理器包式存储器 LSI 通过具有要求数量的信号端子的外部



I/O 端与包式存储器/协处理器总线连接,该集成协处理器包式存储器 LSI 包括: 存储区、控制区、接口区、及要求数量的协处理器区。在该集成协处理器包式存储器 LSI 中,分别给存储区和协处理器区指定存储器 ID 和协处理器 ID, 并将它们存于集成协处理器包式存储器 LSI 中, 其中
5 指定存储器 ID 和 协处理器 ID, 以便它们中的每一个可以从与包式存储器/协处理器总线连接的集成协处理器包式存储器 LSI 的所有存储区和协处理器区中唯一指定一个存储区或一个协处理器区。

根据本发明的第 2 方面,在所述的第 1 方面中,存储区包括存储核心区和含有多个要求数量的存储控制寄存器的存储控制寄存器区。协处理器区包括运算核心区、运算控制区、及含有要求数量的运算控制寄存器的运算控制寄存器区。控制区和存储区通过内部存储器数据总线连接,控制区和协处理器区通过内部协处理器数据总线连接。
10

根据本发明的第 3 方面,在所述的第 2 方面中,存储核心区由动态随机存取存储器构成。
15

根据本发明的第 4 方面,提供一种包式存储器/协处理器总线,用于连接总线主控器和第 1、第 2 或第 3 方面的要求数量的集成协处理器包式存储器 LSI。包式存储器/协处理器总线是单主控器型总线,在总线主控器将信息包传输到包式存储器/协处理器总线时,不需要进行由主控器进行的其总线归属权的判断,其中包括请求包和写数据包的两类信息包可以通过总线主控器传输到包式存储器/协处理器总线,读数据包可以通过集成协处理器包式存储器 LSI 传输到包式存储器/协处理器总线。
20

根据本发明的第 5 方面,提供一种包式存储器/协处理器总线,用于连接总线主控器与第 1、第 2 或第 3 方面的要求数量的集成协处理器包式存储器 LSI。包式存储器/协处理器总线是单主控器型总线,在总线主控器将信息包传输到包式存储器/协处理器总线时,不需要进行由主控器进行的其总线归属权的判断,其中包括请求包和写数据包的两类信息包可以通过总线主控器传输到包式存储器/协处理器总线,包括读数据和确认包的两类信息包可以通过集成协处理器包式存储器 LSI 传输到包式存储器/协处理器总线。
25

根据本发明的第 6 和第 7 方面,在所述的第 4 和 5 方面中,请求包包括指定所有与包式存储器/协处理器总线连接的集成协处理器包式存
30



存储器 LSI 中的所有存储区和协处理器区的请求目标的设备 ID 字段、指定请求包请求的处理的命令字段、和指定执行由请求包请求的处理所必需的参数的参数字段。

5 根据本发明的第 8 和第 9 方面，在所述的第 6 和第 7 方面中，无论设备 ID 字段指定存储区或协处理器区与否，设备 ID 字段的长度都是固定的，并且无论设备 ID 字段指定存储区或协处理器区与否，命令字段的长度也是固定的。

10 根据本发明的第 10 和 11 方面，在所述的第 6 和第 7 方面中，无论设备 ID 字段指定存储区或协处理器区与否，设备 ID 字段的长度都是固定的，且命令字段的长度根据设备 ID 字段指定存储区或协处理器区与否改变。

15 根据本发明第 12、13、14 和 15 方面，在所述的第 8、9、10 和 11 方面中，包式存储器/协处理器总线包括控制总线 and 数据总线，其中控制总线是从总线主控器到集成协处理器包式存储器 LSI 的单向总线，数据总线是总线主控器和集成协处理器包式存储器 LSI 之间的双向总线。

20 根据本发明的第 16、17、18 和 19 方面，在所述的第 8、9、10 和 11 方面中，包式存储器/协处理器总线包括请求总线和应答总线，其中请求总线是从总线主控器到集成协处理器包式存储器 LSI 的单向总线，应答总线是从集成协处理器包式存储器 LSI 到总线主控器的单向总线。

25 根据本发明的第 20 方面，提供一种控制所述第 1、2 或 3 方面的集成协处理器包式存储器 LSI 的方法。该方法包括接收步骤、验证步骤、解码步骤、及指示步骤。在接收步骤，接口区通过外部 I/O 端接收来自
30 第 6 或第 7 方面的包式存储器/协处理器总线的请求包。在验证步骤，控制区根据存于集成协处理器包式存储器 LSI 中的存储器 ID 和协处理器 ID 验证请求包中的设备 ID 字段。在解码步骤，只有在设备 ID 字段指定任何一个存于集成协处理器包式存储器 LSI 中的存储器 ID 和协处理器 ID 的情况下，控制区才把请求包中的命令字段解码。在指示步骤，控制
35 区指示由设备 ID 字段指定的存储区或协处理器区执行由请求包发出请求的处理。

5 根据本发明的第 21、22 和 23 方面，在所述的第 1、2 和 3 方面
 中，由第 20 方面的方法控制集成协处理器包式存储器 LSI，且集成协
 处理器包式存储器 LSI 还包括存储器 ID 寄存器、一个或多个协处理器
 ID 寄存器、及存储器/协处理器 ID 验证电路。存储器 ID 寄存器存储存
 储区的存储器 ID。各协处理器 ID 寄存器分别存储协处理器区的协处理
 器 ID。存储器/协处理器 ID 验证电路与存储器 ID 寄存器和协处理器
 ID 寄存器连接，根据存储于存储器 ID 寄存器中的设备 ID，并行验证设
 备 ID 字段，根据分别存储于协处理器 ID 寄存器中的协处理器 ID，验
 证协处理器 ID 字段，由此判断设备 ID 字段是否指定了集成协处理器包
 10 式存储器 LSI 中的每个存储区和协处理器区。

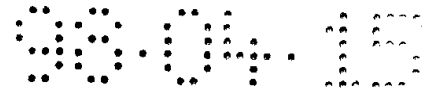
15 根据本发明的第 24 方面，在所述的第 22 方面中，提供存储器 ID
 寄存器作为存储区的存储控制寄存器区中的一个存储控制寄存器，提供
 协处理器 ID 寄存器作为协处理器区的运算控制寄存器区的一个运算控
 制寄存器。

20 根据本发明的第 25 方面，在所述的第 20 方面中，在解码步骤，控
 制区使用不同的解码方法，根据请求包的设备 ID 字段是否指定了存储
 区或协处理器区，把命令字段解码。因此，带有特定位模式的命令字
 段可以根据设备 ID 字段是否指定了存储区或协处理器指定不同的处理
 请求。

25 根据本发明的第 26 方面，在所述的第 20 方面中，在请求包中的设
 备 ID 字段指定了存储区时，控制区把请求包的命令字段解码，并根据
 解码的结果指示存储区对存储区中的存储核心区或存储控制寄存器区
 进行写存取或读存取。

30 根据本发明的第 27 方面，在所述的第 20 方面中，在请求包中的设
 备 ID 字段指定了存储区时，控制区把请求包的命令字段解码，根据解
 码结果判断存储区是否可以由请求包请求的写存取或读存取，把判
 断结果作为确认包传输给包式存储器/协处理器总线，并在已判断存储区
 可以进行存取时，指示存储区对存储区中的存储核心区或存储控制寄
 存器区进行写存取或读存取。

35 根据本发明的第 28 方面，在所述的第 20 方面中，在请求包中的设



备 ID 字段指定了一个协处理器区时，控制区把请求包的命令字段解码，并根据解码的结果指示指定的协处理器区对协处理器区中的运算控制寄存器区进行写存取或读存取。

5 根据本发明的第 29 方面，在所述的第 20 方面中，在请求包中的设备 ID 字段指定了一个协处理器时，控制区把请求包的命令字段解码，根据解码结果判断指定的协处理器区是否可以由请求包请求的写存取或读存取，把判断结果作为确认包传输给包式存储器/协处理器总线，并在已判断协处理器区可以进行存取时，指示指定的协处理器区对
10 协处理器区中的运算控制寄存器区进行写存取或读存取。

 根据本发明的第 30 方案，在所述的第 20 方案中，在请求包中的设备 ID 字段指定了存储区时，控制区把请求包的命令字段解码，并根据解码的结果指示存储区对存储区中的存储核心区或存储控制寄存器区
15 进行写存取或读存取。在请求包中的设备 ID 字段指定了一个协处理器区时，控制区把请求包的命令字段解码，根据解码结果判断指定的协处理器区是否可以由请求包请求的写存取或读存取，把判断结果作为确认包传输给包式存储器/协处理器总线，并在已判断协处理器区可以进行存取时，指示指定的协处理器区对协处理器区中的运算控制寄存器区
20 进行写存取或读存取。

 根据本发明的第 31 方案，在所述的第 20 方案中，在请求包中的设备 ID 字段指定了存储区时，控制区把请求包的命令字段解码，并根据解码的结果指示存储区对存储区中的存储核心区或存储控制寄存器区
25 进行写存取或读存取。在请求包中的设备 ID 字段指定了一个协处理器区时，控制区把请求包的命令字段解码。然后，如果被解码的命令字段指示对运算控制寄存器区进行写存取，控制区判断所指定的协处理器区是否可以由请求包请求的写存取，把判断结果作为确认包传输给包式存储器/协处理器总线，并在判断协处理器区可以进行存取后，指示指定的协处理器区
30 对协处理器区中的控制寄存器区进行写存取。如果被解码的命令字段指示对运算控制寄存器区进行读存取，控制区指示指定的协处理器区则对协处理器区中的运算控制寄存器区进行读存取。

 根据权利要求 32、33、34 和 35 的方案，在第 26、27、30 和
35 31 方案中，在对存储核心区进行写存取时，存储区接收含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线



获取的，并利用由请求包的参数字段指定的存储器地址将写数据写入存储核心区。

5 根据根据权利要求 36、37、38 和 39 的方案，在第 26、27、30 和 31 方案中，在对存储控制寄存器区进行写存取时，存储区接收含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线获取的，并将写数据写入由请求包的参数字段指定的存储控制寄存器。

10 根据第 40、41、42 和 43 的方案，在第 26、27、30 和 31 方案中，在对存储控制寄存器区进行写存取时，存储区接收含于来自控制区的请求包的部分参数字段的写数据，并将写数据写入由请求包的部分参数字段指定的存储控制寄存器。

15 根据本发明的第 44、45、46 和 47 方案，在第 26、27、30 和 31 方案中，在对存储核心区或存储控制寄存器区进行读存取时，存储区根据请求包中的参数字段，从存储核心区或存储控制寄存器区读出数据，并将该数据提供给控制区，控制区组合包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

20 根据本发明的第 48、49、50 和 51，在第 28、29、30 和 31 的方案中，在对运算控制寄存器区进行写存取时，协处理器区接收含于写数据包中的写数据，该写数据包是控制区通过接口区从包式存储器/协处理器总线获取的，并将写数据写入请求包的参数字段指定的运算控制寄存器。

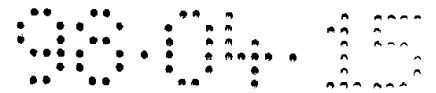
25

根据本发明的第 52、53、54、和 55 方案，在第 28、29、30 和 31 的方案中，在对运算控制寄存器区进行写存取时，协处理器区接收含于来自控制区的请求包的部分参数字段的写数据，并将写数据包写入由请求包的部分参数字段指定的运算控制寄存器。

30

根据本发明的第 56、57、58 和 59 方案，在第 28、29、30 和 31 的方案中，在对运算控制寄存器区进行读存取时，协处理器区从由请求包的参数字段指定的运算控制寄存器读取数据，并将该数据提供给控制区，控制区组合包括该数据的读数据包，接口区通过外部 I/O 端将读数据包传输到包式存储器/协处理器总线。

35



5 根据本发明的第 60 方案，在第 31 方案中，在对存储核心区、存储控制寄存器区或运算控制寄存器区进行读存取时，在接收了请求包后，集成协处理器包式存储器 LSI 以预定总线时序将读数据包传输到包式存储器/协处理器总线，在对运算控制寄存器区进行写存取时，在接收了请求包后，集成协处理器包式存储器 LSI 以相同的预定总线时序将确认包传输到包式存储器/协处理器总线。

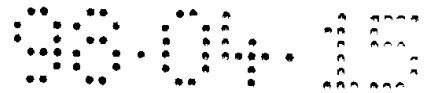
10 根据本发明的第 61、62、63 和 64 方案，在第 28、29、30 和 31 的方案中，在运算控制寄存器区提供运算启动寄存器，以便在协处理器区开始进行算术逻辑运算时，协处理器区能够查阅运算启动寄存器。在对运算启动寄存器的写存取由请求包中的命令字段和参数字段指定时，包含于请求包的参数字段中的写数据，或包含于写数据包中的写数据用作表示将要执行的算术逻辑运算程序的第一指示地址的程序指针，在程序指针写入到运算启动寄存器后，协处理器区开始利用程序指针才进行算术逻辑运算。

20 根据第 65、66、67 和 68 的方案，在第 61、62、63 和 64 的方案中，在对运算启动寄存器的写存取由请求包指定时，表示协处理器区是否能进行所指定的算术逻辑运算的信息被作为确认包传输到包式存储器/协处理器总线，并且只有在所指定的算术逻辑运算可以由协处理器区进行时，协处理器区进行算术逻辑运算。

25 根据本发明的第 69、70、71 和 72 方案，在第 56、57、58 和 59 的方案中，提供一个运算结果寄存器，作为一个运算控制寄存器，以便协处理器区可以向运算结果寄存器中写入算术逻辑运算结果。在对运算结果寄存器的读存取由请求包中的命令字段和参数字段指定时，存储于运算结果寄存器中的数据被读出，并被组合成读数据包，并且读数据包传输到包式存储器/协处理器总线。

30 根据本发明的第 73、74、75 和 76 的方案，在 69、70、71 和 72 的方案中，在对运算结果寄存器的读存取由请求包中定时，表示算术逻辑运算结果是否已被写入指定运算结果寄存器的信息被作为确认包传输到包式存储器/协处理器总线，只有在算术逻辑运算的结果已被写入到运算结果寄存器中后，才进行对运算结果寄存器的读存取。

35



根据本发明的 77、78、79 和 80 的方案，在 69、70、71 和 72 方案中，在对运算结果寄存器的读存取由请求包指定时，包含于读数据包中的表示算术逻辑运算结果是否已被写入指定的运算结果寄存器的信息被传输到包式存储器/协处理器总线。

5

根据本发明的第 81、82、83 和 84 方案，在第 61、62、63 和 64 方案中，在通过对运算控制寄存器的写存取，将协处理器进行算术逻辑运算所必需的参数写入了要求数量的运算控制寄存器后，协处理器区根据对运算启动寄存器的写存取开始进行算术逻辑运算。然后，协处理器区参考存储于运算控制寄存器中的参数进行算术逻辑运算。

10

根据本发明的第 85、86、87 和 88 方案，在第 69、70、71 和 72 的方案中，在算术逻辑运算的结果不能容纳于运算结果寄存器时，要求数量的运算控制寄存器还用于存储部分算术逻辑运算结果。在通过对运算结果寄存器的读存取连续地读出了部分结果后，通过对运算控制寄存器的读存取从协处理器区读出算术逻辑运算结果。

15

根据本发明的第 89、90、91 和 92 方案，在第 56、57、58 和 59 方案中，要求数量的运算控制寄存器用于存储协处理器区进行算术逻辑运算期间产生的中间数据。在对存储中间数据的运算控制寄存器的读存取由请求包中的命令字段和参数字段指定时，读出存储于运算控制寄存器中的中间数据，并将之组合成读数据包，然后将该读数据包传输到包式存储器/协处理器总线。

20

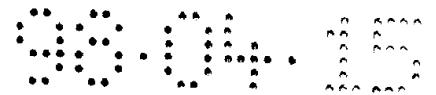
根据本发明的第 93 方案，在第 21 方案中，集成协处理器包式存储器 LSI 具有外部选择输入(select-in)端和外部选择输出(select-out)端，每个存储器区和协处理器区具有内部选择输入端和内部选择输出端。通过连接内部选择输出端与相应的内部选择输入端，并将所有存储区与协处理器区连接成链，形成存储区/协处理器区链。集成协处理器包式存储器 LSI 的外部选择输入端与存储区/协处理器区链的第一块的内部选择输入端连接。存储区/协处理器区链的最后一块的内部选择输出端与集成协处理器包式存储器 LSI 的外部选择输出端连接。

25

30

根据本发明的第 94 方案，提供一种控制第 93 方案的集成协处理器包式存储器 LSI 的方法。按该方法，在初始化步骤中，集成协处理器包式存储器 LSI 中存储区和协处理器区的存储器 ID 和协处理器 ID 设定为

35

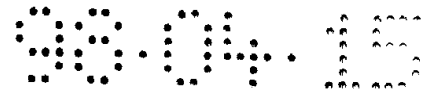


5 预定的初始值，存储区和协处理器区的所有内部选择输出端设定为逻辑值‘0’。初始化后，只要向其内部选择输入端提供逻辑值‘0’，每一个其存储器 ID 和协处理器 ID 已设定为初始值的存储区和协处理器区忽略对其的写存取，并保持从其内部选择输出端输出逻辑值‘0’。只要向其内部选择输入端提供逻辑值‘1’，每个存储区和协处理器区接收对其的写存取，并从其内部选择输出端输出逻辑值‘1’，由此根据对其的写存取，将由请求包的参数字段指定的存储器 ID 和协处理器 ID 写入存储器 ID 寄存器或协处理器 ID 寄存器。

10 根据本发明的第 95 和 96 方案，在第 4 和 5 方案中，通过连接外部选择输出端与相应的外部选择输入端，将要求数量的第 93 方案的集成协处理器包式存储器 LSI 连接成链，从而形成集成协处理器包式存储器 LSI 链。总线主控制器具有外部选择输入端和外部选择输出端。总线主控制器的外部选择输出端与集成协处理器包式存储器 LSI 链中的第一集成协处理器包式存储器 LSI 的内外部选择输入端连接，集成协处理器包式存储器 LSI 链中的最后一个集成协处理器包式存储器 LSI 与总线主控制器的外部选择输入端连接。

20 根据本发明的第 97 方案，提供一种控制第 95 和 96 方案的包式存储器/协处理器总线的方法。在该方法中，作为初始化步骤，与包式存储器/协处理器总线连接的所有集成协处理器包式存储器 LSI 中的所有存储区和协处理器区的存储器 ID 和协处理器 ID 在预定初始值设定，存储区和协处理器区的所有内部选择输出端设定为逻辑‘0’。初始化处理后，总线主控制器将其外部选择输出端的逻辑值从‘0’变到‘1’，并传输指定请求包的设备 ID 字段的初始值和指定请求包的参数字段中的新存储器 ID 或新协处理器 ID 的请求包，由此将新存储器 ID 或新协处理器 ID 赋予集成协处理器包式存储器 LSI 链中第一集成协处理器包式存储器 LSI 的存储区/协处理器区链的第一块。此后，总线主控制器再次传输指定请求包中的设备 ID 字段的初始值和指定请求包的参数字段中新存储 ID 和新协处理器 ID 的请求包，由此，根据通过集成协处理器包式存储器 LSI 链中的块的逻辑值‘1’传输，将特定且唯一的存储区 ID 和协处理器 ID 一个接一个地赋予集成协处理器包式存储器 LSI 链中的存储区和协处理器区。

35 根据本发明的第 98 方案，在第 2 方案中，存储区包括作为一个存储控制寄存器的设备定义寄存器，用于预存储将识别存储区和协处理器



区的设备定义信息，每个协处理器区包括作为一个运算控制寄存器的设备定义寄存器，用于预存储识别存储区和协处理器区的设备定义信息。

5 根据本发明的第 99 方案，提供一种控制第 98 方案的集成协处理器包式存储器 LSI 的方法。按该方法，通过进行给存储控制寄存器区或运算控制寄存器区中的设备定义寄存器指定特定设备 ID 的读存取，获得设备定义信息，由此总线主控器检查特定设备 ID 是否已赋予存储区或协处理器区。

10 根据本发明的第 100 方案，在第 99 方案中，不管读存取的目标是否在存储区或协处理器区，总线主控器利用除设备 ID 字段的指定外都相同的请求包，进行对设备定义寄存器的读存取。

15 根据本发明的第 101 方案，在第 2 方案中，运算控制寄存器区包括作为一个运算控制寄存器的功能定义寄存器。功能定义寄存器预存储把协处理器区的算术逻辑运算功能分类的功能定义码。

20 根据本发明的第 102 方案，提供一种控制第 101 方案的集成协处理器包式存储器 LSI 的方法。在该方法中，通过进行给运算控制寄存器区中的功能定义寄存器指定特定设备 ID 的读存取，获得功能定义码，由此总线主控器检查对应于特定设备 ID 的协处理器区的算术逻辑功能。

通过以下结合附图对本发明的详细说明，会使本发明的目的和特点变得更清楚，其中：

25

图 1 是常规包式 DRAM 的构成实例的框图；

图 2A - 2C 是通过常规包式存储器总线连接图 1 的常规包式 DRAM 和协处理器的实例的框图；

图 3 是展示向图 1 的包式 DRAM 请求的处理请求的分类表；

30

图 4A 和 4B 是展示在常规包式存储器总线上传输的各类请求包的示意图；

图 5A - 5C 是展示在图 2A - 2C 构成的包式存储器总线上传输信息包的示意图；

35

图 6A 和 6B 是展示接收了请求包后包式 DRAM 的工作情况的流程图；

图 7A - 7E 是展示每个信息包的典型包格式的示意图，采用

SLDRAM Consortium 作实例；

图 8 是展示根据本发明实施例的集成协处理器包式 DRAM 的框图；

5 图 9A - 9C 是展示通过本发明的包式存储器/协处理器总线连接图 8 的集成协处理器包式 DRAM 和微处理器 9 的实例的框图；

图 10A 和 10B 是展示在本发明的包式存储器/协处理器总线上传输的各类信息包的示意图；

图 11A - 11C 是展示按图 9A - 9C 的各实施例在包式存储器/协处理器总线上传输信息包的情况的示意图；

10 图 12 是展示由请求包向本发明的集成协处理器包式 DRAM 提出请求的处理请求的分类表；

图 13A - 13F 是展示在本发明的包式存储器/协处理器总线上传输的每种信息包的包格式的示意图；

15 图 14 是展示根据本发明实施例的存储器/协处理器 ID 验证电路的构成的示意图；

图 15 是展示集成协处理器包式 DRAM 的存取请求操作的实例的流程图；

图 16 是展示集成协处理器包式 DRAM 的存取请求操作的另一实例的流程图；

20 图 17 是展示对本发明的集成协处理器包式 DRAM 中协处理器区的协处理存取的具体功能的分类表；

图 18 是展示本发明的协处理器区的构成实例的框图；

图 19 是展示在由总线主控器对本发明的集成协处理器包式 DRAM 进行的存取过程中总线时序实例的时序图；

25 图 20 是展示在由总线主控器对本发明的集成协处理器包式 DRAM 进行的存取过程中总线时序另一实例的时序图；

图 21 是展示根据本发明另一实施例的包式存储器/协处理器总线的框图；

30 图 22 是展示本发明集成协处理器包式 DRAM 中存储控制寄存器区和运算控制寄存器区的实例的示意图。

下面参照附图详细说明本发明的优选实施例。

(集成协处理器包式 DRAM)

35 图 8 是展示本发明一个实施例的集成协处理器包式 DRAM 的框图。

图 8 的集成协处理器包式 DRAM 包括存储区 11、控制区 12、接口区 13 及协处理器区 14。

5 存储区 11 包括 DRAM 核心区 15 和存储控制寄存器区 16。DRAM 核心区 15 包括多个 DRAM 组 17 和对应于每个 DRAM 组 17 提供的多个读出放大器 18，存储控制寄存器区 16 包括多个存储控制寄存器 29。

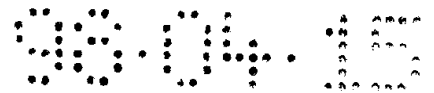
10 控制区 12 包括存储/运算控制逻辑电路 19、控制信号寄存器 20、写数据寄存器 21、读数据寄存器 22 及存储器/协处理器 ID 验证电路 23。控制区 12 具有三个 I/O 信号端，与接口区 13 连接。控制区 12 的 I/O 信号端包括控制信号端 24 及写数据端 25(输入端)和读数据端 26(输出端)。

15 接口区 13 与由多个信号端构成的外部 I/O 端 5 连接。存储区 11 和控制区 12 通过双向内部存储器数据总线 27 连接在一起。

20 协处理器区 14 包括运算核心区 30、运算控制区 31 和运算控制寄存器区 32。运算控制寄存器区 32 包括多个运算控制寄存器 33。协处理器区 14 通过双向内部协处理器数据总线 28 与控制区 12 连接在一起。

25 顺便提及，本发明中，设于集成协处理器包式 DRAM1 中的协处理器区 14 的数量不限于 1 个，可以是包括 0 在内的任意要求数量。然而，为简单起见，图 8 示出了集成协处理器包式 DRAM 1 内设一个协处理器区 14 的情况。

30 图 8 中，存储区 11 的存储控制寄存器区 16 和协处理器区 14 的运算控制寄存器区 32 与控制区 12 中的存储器/协处理器 ID 验证电路 23 连接，用于判断外部 I/O 端 5 接收的处理请求是发送到存储区 11 的请求还是发送到协处理器的请求，如下所述。存储区 11 具有特定的存储器 ID，协处理器区 14 具有特定的协处理器 ID。存储区 11 的存储器 ID 存储于存储控制寄存器区 16 的一个专门的存储控制寄存器 29 中，而协处理器区 14 的协处理器 ID 存储于运算控制寄存器区 32 的一个专门的运算控制寄存器 33 中。根据分别存储于存储控制寄存器区 16 中和运算控制寄存器区 32 中的存储区 11 的存储器 ID 和协处理器区 14 的协处理器 ID，验证已通过外部 I/O 端 5 和控制信号寄存器 20 提供的指定设备 ID，



从而由存储器/协处理器 ID 验证电路 23 进行上述判断。

(包式存储器/协处理器总线)

5 图 9A - 9C 是展示集成协处理器包式 DRAM 1 和微处理器 9 通过本发明的包式存储器/协处理器总线 2 连接的实例的框图。图 9A - 9C 中，展示了集成协处理器包式 DRAM 1 中有三种类型的接口区 13 和相应的三种类型的包式存储器/协处理器总线 2 的三个实施例。顺便提及，本发明的包式存储器/协处理器总线 2 是单总线主控器型总线，只允许包式存储器/协处理器总线 2 上有一个总线主控器，所有与包式存储器/协处理器总线 2 连接的集成协处理器包式 DRAM 1 都作为从设备工作。如上所述，‘总线主控器’一词一般是指可以专门控制总线和向总线发送请求的设备，‘从设备’一词一般是指不向总线自动发送请求但应答来自总线主控器的请求的设备。由于一条总线上只允许一个总线主控器，且在总线上设置其它设备作为从设备，所以总线主控器不用判断包式存储器/协处理器总线 2 的总线归属权便可发送请求，由此可以简化包式存储器/协处理器总线 2 的规约。顺便提及，尽管提供微处理器 9 作为图 9A - 9C 的包式存储器/协处理器总线 2 的总线主控器，但也可以为包式存储器/协处理器总线 2 提供其它类型的总线主控器，例如其它类型的存储控制器、信号处理器、图形加速器、ASIC 等等。

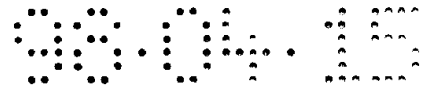
20

在图 9A 的构成中，与图 8 的方式相同，图 9A 的集成协处理器包式 DRAM 1 由存储区 11、控制区 12、接口区 13 和协处理器区 14 构成。控制区 12 的所有 I/O 端即控制信号端 24、写数据端 25 和读数据端 26 与接口区 13 连接。接口区 13 通过外部 I/O 端 5 与包式存储器/协处理器总线 2 连接。包式存储器/协处理器总线 2 连接微处理器 9 和多个集成协处理器包式 DRAM 1。图 9A 的包式存储器/协处理器总线 2 为含有要求数量的信号线的双向总线。

25

图 9B 的构成中，接口区 13 由控制接口区 13 - 1 和数据接口区 13 - 2 构成。控制区 12 的控制信号端 24 与控制接口区 13 - 1 连接，控制区 12 的写数据端 25 和读数据端 26 与数据接口区 13 - 2 连接。图 9B 的包式存储器/协处理器总线 2 由控制总线 2 - 1 和数据总线 2 - 2 构成，它们每一个都包括要求数量的信号线。控制接口区 13 - 1 与控制总线 2 - 1 之间及数据接口区 13 - 2 与数据总线 2 - 2 之间通过外部 I/O 端 5 连接。图 9B 中，控制总线 2 - 1 是从微处理器 9 到集成协处理器包式 DRAM 1 的单向总线，数据总线 2 - 2 是双向总线。

35



在图 9C 的构成中，接口区 13 由请求接口区 13 - 3 和应答接口区 13 - 4 构成。控制区 12 的控制信号端 24 和写数据端 25 与请求接口区 13 - 3 连接，控制区 12 的读数据端 26 与应答接口区 13 - 4 连接。图 9C 的存储器/协处理器总线 2 由请求总线 2 - 3 和应答总线 2 - 4 构成。请求接口区 13 - 3 与请求总线 2 - 3 之间及应答接口区 13 - 4 与应答总线 2 - 4 之间通过外部 I/O 端 5 连接。图 9C 中，请求总线 2 - 3 是从微处理器 9 到集成协处理器包式 DRAM 1 的单向总线，而应答总线 2 - 4 是相反方向的单向总线。

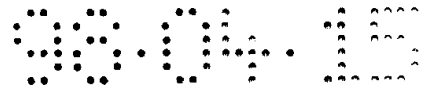
(存储器 ID 及协处理器 ID)

在每个与包式存储器/协处理器总线 2 连接的本发明集成协处理器包式 DRAM 1 中，每个存储区 11 具有特定存储器 ID，每个协处理器区 14 具有特定协处理器 ID。根据本发明的实施例，通过赋予不同的数值，将存储器 ID 和协处理器 ID 赋予存储区 11 和协处理器区 14，以便每个 ID 具体到设备，并且对于包式存储器/协处理器总线 2 是唯一的。由于这种赋值，通过指定存储器 ID(或协处理器 ID)，可以从与包式存储器/协处理器总线 2 连接的所有包集成协处理器包式 DRAM 1 的多个存储区 11 和协处理器区 14 中确定一个存储区(或一个协处理器区 14)。

本发明包式存储器/协处理器总线 2 的目的之一是将构成包式存储器/协处理器总线 2 的信号线的数量减少到构成常规包式存储器总线 1002 的信号线数量水平。因此，根据本发明的包式存储器/协处理器总线 2 的特征在于构成包式存储器/协处理器总线 2 的信号线的数量较少。具体地，包式存储器/协处理器总线 2 的信号线的数量约为 10 - 30 条。如上所述，为了通过这些少量信号线在微处理器 9(总线主控器)和集成协处理器包式 DRAM 1 之间传输必要信息，需要提供在某些周期中将信息组合成信息包并发送和接收信息包的系统，为了组合和拆散这些信息包，还必须建立某些固定规约。

(信息包类型)

图 10A 和 10B 是展示在本发明的包式存储器/协处理器总线 2 上传输的各类信息包的示意图。图 10A 中示出的两种信息包即请求包和写数据包从微处理器 9 传输到集成协处理器包式 DRAM 1。请求包是一种可变长度的信息包，是通过根据预定规约将对一个集成协处理器包式 DRAM 1 的处理请求的指令编码产生的。写数据包包括大小可变的写数



据。另外，示于图 10B 的两种信息包即读数据包和确认包从集成协处理器包式 DRAM 1 传输。读数据包包括大小可变的读数据。确认包一般是固定长度的信息包。确认包是某些实施例所必需的，而在另一些实施例中是不必要的，如以下所述。

5

(信息包传输)

图 11A - 11C 是展示图 9A - 9C 的每个实施例中在包式存储器/协处理器总线 2 上传输信息包的情况的示意图。图 11A - 11C 中，与图 9A - 9C 的方式相同，微处理器 9(总线主控器)设置于左侧，集成协处理器包式 DRAM 1(从设备)设置于右侧。图 11A - 11C 分别对应于图 9A - 9C。

10

如图 11A 所示，每种信息包在图 9A 实施例中的双向包式存储器/协处理器总线 2 上传输。

15

如图 11B 所示，请求包在控制图 9B 实施例的总线 2 - 1 上传输，写数据包、读数据包和确认包在图 9B 实施例的数据总线 2 - 2 上传输。

20

如图 11C 所示，请求包和写数据包在图 9C 实施例的请求总线 2 - 3 上传输，读数据包和确认包在图 9C 实施例的应答总线 2 - 4 上传输。

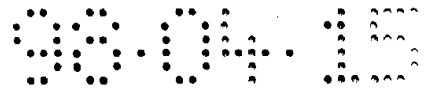
(被请求的处理)

图 12 是展示由请求包向本发明的集成协处理器包式 DRAM 1 请求的处理请求的分类表。处理类型包括对存储区 11 的‘存储器存取’，对协处理器区 14 的‘协处理器存取’，‘初始化’和‘刷新’。每种处理都是由图 9A - 9C 中的包式存储器/协处理器总线 2 的总线主控器即微处理器 9 请求的。‘存储器存取’处理按目标分为两种，即对存储区 11 中的 DRAM 核心区 15 的存储器存取，以及对存储区 11 中的存储控制寄存器区 16 在存储器存取。每个对 DRAM 核心区 15 的存储器存取和对存储控制寄存器区 16 的存储器存取皆包括两种操作(命令)，即读和写。在‘协处理器存取’时，请求的目标是协处理器区 14 中的运算控制寄存器区 32，也有两种操作(命令)，即读和写。‘初始化’包括使存储控制逻辑电路 19 的内部状态复位、把集成协处理器包式 DRAM 1 的特定设备信息存储于存储控制寄存器区 16 和运算控制寄存器区 32 中的操作等等。‘刷新’一般是指周期性地重写 DRAM 核心区 15 中的 DRAM 单元，用于保持 DRAM 核心区 15 的工作所必需的 DRAM 单元的记忆。

25

30

35



下面将解释特殊初始化过程。由于刷新过程几乎与本发明的目的无关，所以省略对刷新过程的说明。向存储区 11 的存储控制寄存器区 16 和协处理器区 14 中的运算控制寄存器区 32 发出‘初始化’请求，并向存储区 11 中的 DRAM 核心区 15 发出‘刷新’请求。在任何一种情况下，
5 微处理器 9(总线主控器)皆为请求者。

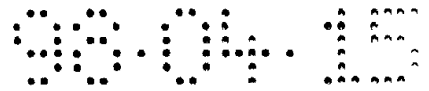
(包格式)

图 13A - 13F 是展示在本发明的包式存储器/协处理器总线 2 上传输的每种信息包的包格式的示意图。图 13A - 13F 中，展示了使用包括
10 控制总线 2 - 1 和数据总线 2 - 2 的图 9B 的包式存储器/协处理器总线 2 的情况。然而，这些信息包实际上还可以在图 9A 和 9C 的存储器/协处理器总线 2 上传输。具体地，图 13A - 13F 展示了控制总线 2 - 1 和数据总线 2 - 2 中信号线数量分别为 10 和 16 的情况。图 13A - 13D 展示了请求包的实例，图 13E 展示了确认包的实例，图 13F 展示了读数据包或写数据包的实例。
15

图 13A 展示了用于向 DRAM 核心区 15 请求写存取或读存取的请求包的包格式。图 13A 的请求包占据 10 位控制总线四个周期。在第一周期，前 7 位用作指定设备 ID 的设备 ID 字段，其余 3 位用作指定命令 No.0 的命令字段。在第二周期，前 3 位用作指定命令 No.1 的命令字段，其余 7 位用作指定参数 No.0 的参数字段。其余两个周期分别用作指定参数 No.1 和 No.2 的参数字段。包括处理类型、目标、示于图 12 的操作(命令)、关于 DRAM 核心区 15 的控制的信息等的控制信号信息按命令 No.1 和命令 No.2 的命令字段指定。DRAM 核心区 15 中的数据地址按参数 No.0、参数 No.1 和参数 No.2 的参数字段指定。
20
25

图 13B 展示了向存储控制寄存器区 16 请求写存取或读存取的请求包的包格式实例。图 13B 的请求包占 10 位控制总线 2 - 1 两个周期。在第一周期，前 7 位用作指定设备 ID 的设备 ID 字段，其余 3 位用作指定命令 No.0 的命令字段。在第二周期，前 3 位用作指定命令 No.1 的命令字段，其余 7 位用作指定参数 No.0 的参数字段。
30

在向运算控制寄存器区 32 请求写存取或读存取时，可以使用与图 13B 相同的包格式，也可以使用命令字段(命令 No.0 和 No.1)的字段长度不同于图 13B 的包格式。图 13C 展示了后一情况下向运算控制寄存器区 32 请求写存取或读存取的请求包的包格式实例。图 13C 的请求包占据
35



10 位控制总线 2 - 1 两个周期。在第一周期，前 7 位用作指定设备 ID 的设备 ID 字段，其余 3 位用作指定命令 No.0 的命令字段。在第二周期，前 2 位(不是 3 位)用作指定命令 No.1 的命令字段，其余 8 位用作指定参数 No.0 的参数字段。

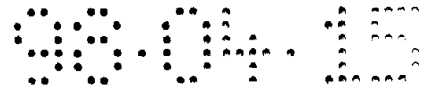
5

10 图 13D 展示了向存储控制寄存器区 16 或运算控制寄存器区 32 请求写存取或读存取的请求包的包格式实例。图 13D 的请求包占据四个周期中的 10 位控制总线 2 - 1 四个周期。在第一周期，前 7 位用作指定设备 ID 的设备 ID 字段，其余 3 位用作指定命令 No.0 的命令字段。在第二周期，前 3 位用作指定命令 No.1 的命令字段，其余 7 位用作指定参数 No.0 的参数字段。其余两个周期分别用作指定参数 No.1 和 No.2 的参数字段。

15 按图 13A - 13D 所示包格式，提供设备 ID 用于从所有与包式存储器/协处理器总线 2 连接的所有集成协处理器 DRAM 1 的所有存储区 11 和协处理器区 14 中指定一个或多个存储区 11 或协处理器区 14，作为请求的目标。设备 ID 可以指定一个存储区 11 或协处理器区 14(多点播送)，或同时指定多个存储区 11 或协处理器区 14(广播)，或同时指定所有存储区 11 和协处理器区 14。命令字段(命令 No.1 和 No.2)用于表示请求包请求的具体处理。请求包所请求的处理将在以后详细说明。参数
20 字段(参数 No.0、No.1 和 No.2)用于指定进行请求包所请求的处理所必需的参数。

25 如图 13A - 13D 所示，设备 ID 字段对本发明包式存储器/协处理器总线 2 的每种请求包格式来说是相同的，必须应答此请求的存储区 11 或协处理器区 14 通过对设备 ID 字段的验证唯一确定。图 13A - 13D 的设备 ID 字段为 7 位设备字段，所以 128 个不同数码(0 - 127)可以由设备 ID 字段指定。例如，0 - 63 这 64 个数码可用于指定一个存储区 11 或一个协处理器区 14，64 - 127 这 64 个数码可用于多点播送或广播。按该实施例，存储器/协处理器设备 ID 可以从 0 - 63 中的一个数，
30 因此与包式存储器/协处理器总线 2 连接的集成协处理器 DRAM 1 中的存储区 11 和协处理器区 14 的数可为 64 或更少。

35 关于命令字段(命令 No.0 和 No.1)，在请求包的目标为存储区 11 的情况下和请求包的目标为协处理器 14 的情况下，请求包中命令字段的字段长度可以不同，也可以相同，如以上参照图 13B 和 13C 所作说明。



5 图 13E 展示了确认包的包格式实例。图 13E 的确认包占据 16 位数据总线 2 - 2 一个周期，其中前 2 位用作可接受/不可接受字段，其余 14 位用作参数字段，或不用。可接受/不可接受字段用于表示是否可以接受请求(即是否可以应答此请求)，或是否存在某些系统错误。在其余 14 位用作参数字段时，参数字段用于表示微处理器 9(总线主控器)处理确认包所必需的参数。

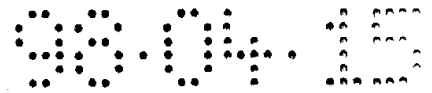
10 图 13F 展示了写请求包或读请求包的包格式实例。每个写数据包和读数据包传输可变长度数据，占据数据总线 2 - 2 必需的周期数。

(存储器/协处理器 ID 验证电路)

15 图 14 是展示本发明一个实施例的存储器/协处理器 ID 验证电路 23 的框图，该电路用于根据存储于集成协处理器包式 DRAM 1 中的存储器 ID 和协处理器 ID 验证含于请求包的设备 ID 字段中的设备 ID。图 14 的存储器/协处理器 ID 验证电路 23 包括多个设备 ID 验证电路 52。设备 ID 验证电路 52 是根据输入的存储器 ID 或协处理器 ID 验证的请求包中输入的设备 ID 字段、并判断该设备 ID 字段是否指定存储器 ID 或协处理器 ID 的电路。图 14 展示了一个实施例，其中集成协处理器 DRAM 1 包括一个存储区 11 和两个协处理器区 14，这样图 14 的存储器/协处理器 ID 验证电路 23 包括三个设备 ID 验证电路 52。图 14 中，设备 ID 字段由控制信号寄存器 20 提供到每个设备 ID 验证电路 52，存储器 ID 和协处理器 ID 分别从存储器 ID 寄存器 50 和协处理器 ID 寄存器 51 提供到相应的设备 ID 验证电路 52。顺便提及，如上所述，按该实施例，
20 提供存储器 ID 寄存器 50 作为存储控制寄存器区 16 中的一个存储控制寄存器 29，提供协处理器 ID 寄存器 51 作为运算控制寄存器区 32 中的一个运算控制寄存器 33。每个设备 ID 验证电路 52 将验证结果输出到存储/运算控制逻辑电路 19。这里，设备 ID 验证电路 52 可以由与现有技术中所用的普通存储器 ID 验证电路相同的电路。

(设备 ID 字段验证和命令字段解码)

30 下面将参照图 8 和 14 说明在提供请求包后，即验证设备 ID 字段和将命令字段解码时，集成协处理器包式 DRAM 1 的控制方法和操作情况。把从总线主控器发送的请求包通过外部 I/O 端 5 输入到集成协处理器包式 DRAM 1，并通过接口区 13 提供到控制区 12 的控制信号端 24，
35 然后由控制信号寄存器 20 锁存。随后，从控制信号寄存器 20 只将请求



包中的设备 ID 字段输入到存储器/协处理器 ID 验证电路 23，请求包的其它字段直接提供给存储/运算控制逻辑电路 19。然后，存储器/协处理器 ID 验证电路 23 根据对应于集成协处理器包式 DRAM 1 的所有存储区 11 和协处理器区 14 的所有存储器 ID 和协处理器 ID 并行验证设备 ID 字段，并将验证结果即设备 ID 字段是否与每个存储区 11 和协处理器区 14 匹配发送到存储/运算控制逻辑电路 19。

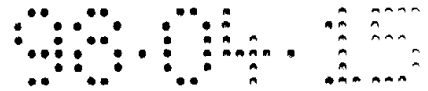
存储/运算控制逻辑电路 19 接收来自上述存储器/协处理器 ID 验证电路 23 的验证结果，即是否已对集成协处理器包式 DRAM 1 中的存储区 11 进行了请求处理的请求包寻址，及是否对集成协处理器包式 DRAM 1 中的协处理器区 14 进行了请求包寻址。然后，只有在集成协处理器包式 DRAM 1 的任一个存储区 11 或协处理器区 14 已按请求包的设备 ID 字段指定的情况下，存储/运算控制逻辑电路 19 才对请求包的命令字段解码，并确定已请求的处理，指示所指定的存储区 11 或协处理器区 14 进行处理。

如上所述，根据本发明的集成协处理器包式 DRAM 1 中，在进行命令字段解码之前，可以判断是否已对存储区 11 或协处理器区 14 进行了包含命令字段的请求包寻址。因此，本发明的集成协处理器包式 DRAM 1 可以根据是否对存储区 11 或协处理器区 14 进行了请求包寻址转换解码方法并利用不同命令字段的解码方法，由此可以根据请求包目标，利用有不同命令字段长度的不同请求包格式。另一方面，还可以根据请求包的目标，利用有相同字段长度和位模式的相同命令字段作为用于绝对不同处理的不同请求。例如，可以根据目标将有特定模式的命令字段用于绝对不同的处理请求，如用于对存储区 11 中的存储控制寄存器区 16 的读存取，和对协处理器区 14 中运算控制寄存器区 32 的写存取。

在通过设备 ID 字段验证和命令字段解码以请求对集成协处理器包式 DRAM 1 中的存储区 11 或协处理器 14 进行存储器存取或协处理器存取判断请求包时，集成协处理器包式 DRAM 1 对存储区 11 或协处理器区 14 进行存取请求操作，如下所述。

(存取请求操作)

可以按不同方式进行集成协处理器包式 DRAM 1 的存取请求操作。作为存取请求操作的第一实例，在设备 ID 字段验证和命令字段解



5 码后，控制区 12 可以执行对存储区 11 或协处理器区 14 的写存取或读存取指令。只有在例如微处理器 9 等总线主控器请求的处理限于可由集成协处理器包式 DRAM 1 执行的处理时，才可以使用该实例。为了确保所请求处理的可执行性，需要总线主控器掌握集成协处理器包式 DRAM 1 中存储区 11 和协处理器区 14 的内部状态。在第一实例中，示于图 10B 的确认包是不必要的。

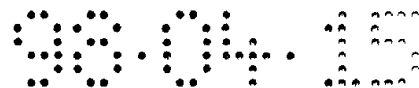
10 作为集成协处理器包式 DRAM 1 的存取请求操作的第二实例，在设备 ID 字段验证和命令字段解码后，控制区 12 首先可以判断是否可以对存储区 11 或协处理器区 14 进行写存取或读存取，然后将判断结果以确认包的形式发送到包式存储器/协处理器总线 2。正如已参照图 13E 所作的解释，确认包包括表示是否可以进行所请求的处理的可接受/不可接受字段，可执行性的判断结果由确认包传输到总线主控器。在所请求的处理可以执行时，与第一实例类似，在设备 ID 字段验证和命令字段
15 解码后，控制区 12 执行对存储区 11 或协处理器区 14 的写存取或读存取。所请求的处理不能执行的情况下，控制区 12 的操作情况以后说明。只有在例如微处理器 9 等总线主控器请求的处理不限于集成协处理器包式 DRAM 1 可以进行的处理时，才可以采用第二实例。

20 可以组合利用集成协处理器包式 DRAM 1 的存取请求操作的上述第一和第二实例，这取决于存取目标，命令等等。

25 图 15 是展示集成协处理器包式 DRAM 1 的存取请求操作第三实例的流程图，其中结合利用了上述第一和第二实例。按图 15 的第三实例，在请求对存储区 11 进行存取时，利用不需要确认包的第一实例，而在请求对协处理器进行存取时，利用需要确认包的第二实例。

30 图 16 是展示集成协处理器包式 DRAM 1 的存取请求操作第四实例的流程图，其中结合利用了上述第一和第二实例。按图 16 的第四实例，在请求对存储区 11 进行存取或对协处理器区 14 进行读存取时，利用不需要确认包的第一实例，而在请求对协处理器进行写存取时利用需要确认包的第二实例。

35 在对存储区 11 进行存储器存取时，必需确认包，例如，在 DRAM 核心区 15 的刷新期间请求对 DRAM 核心区 15 进行存取，而总线主控器微处理器 9 不知道刷新是否在进行中时，或在微处理器 9 不知道要存



取的数据是否已暂存于读出放大器 18 中时。这些情况下，确认包包括表示是否接受所请求的处理的信息和指示微处理器 9 在不接受所请求的存取时如何工作的信息。该指令例如可以是一定时间后再次请求存取的指令、等待一定时间直到完成存取的指令等。

5

在对协处理器区 14 进行协处理器存取时，在总线主控器微处理器 9 对运算控制寄存器区 32 进行写存取或读存取时，或总线主控器不知道是否可以对其进行存取时，确认包是必需的，例如，在协处理器 14 工作所必需的数据仍保留于运算控制寄存器区 32 的运算控制寄存器 33 中时应对运算控制寄存器区 32 进行写存取的情况，或在协处理器区 14 不向运算控制寄存器区 32 的运算控制寄存器 33 写入数据时对运算控制寄存器区 32 进行读存取的情况。这些情况下，确认包包括表示是否可以接受所请求的存取的信息，和指示微处理器 9 如何在不能接受所请求的存取时例如操作信息。该指令例如可以是一定时间后的再次请求存取的指令、等待一定时间直到存取完成的指令等。

10

15

(存取操作)

下面将参照图 8、图 15 和图 16 说明集成协处理器 DRAM 1 对存储区 11 和协处理器区 14 的存取操作。如上所述，存取的大致目标按设备 ID 字段指定，并从集成协处理器 DRAM 1 的存储区 11 和协处理器区 14 中确定，所请求存取的细节按命令字段指定。

20

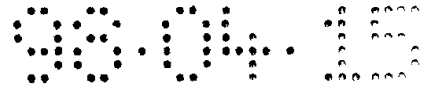
(对 DRAM 核心区的存储器存取)

在对存储区 11 的 DRAM 核心区 15 进行存储器存取时，要求的 DRAM 组 17 由按参数字段指定的地址选择，选中的 DRAM 组 17 中的数据通过相应的读出放大器 18 进行存取。这里，读出放大器 18 也作为相应 DRAM 组 17 的高速缓存存储器或高速缓冲器工作。因此，在将要存取的地址范围在已暂存于读出放大器 18 中的数据范围内时，读出放大器 18 代替 DRAM 组 17 高速进行存取，由此可以进行高速存储器存取。这样，由于根据所要求数据是否已暂存于读出放大器 18 中对 DRAM 组 17 进行存取，所以存取时间显著改变。在对未暂存于读出放大器 18 中的数据寻址随后的存取时，如果在随后的存取之前暂存于读出放大器 18 中的数据写回到 DRAM 组 17 中，对高速存取是有益的。因此，在对 DRAM 核心区 15 进行存储器存取的情况下，根据本发明一个实施例的命令字段可以包括关于控制 DRAM 核心区 15 的信息，例如，是否应该对 DRAM 组 17 进行存取，读出放大器 18 中的数据是否应该写回到

25

30

35



DRAM 组 17 等等。

5 如图 15 和 16 所示，在对集成协处理器包式 DRAM 1 进行存取时，
利用该控制方法和由请求包中的命令字段和参数字段指定的地址，从总
线主控器微处理器 9 接收写数据包，并将写数据包内的可变长度写数据
10 写入到 DRAM 核心区 15，从而对 DRAM 核心区 15 进行写存取。另一
方面，利用该控制方法和由请求包中的命令字段和参数字段指定的地
址，从 DRAM 核心区 15 读出可变长度数据，并以读数据包的形式传输
15 数据，从而对 DRAM 核心区 15 进行读存取。在写存取时，控制区 12
通过写数据端 25 接收写数据包，读存取时，控制区 12 通过读数据端 26
传输读数据包。写数据寄存器 21 作为写数据端 25 的一个输入锁存器(或
输入寄存器)工作，读数据寄存器 22 作为读数据端 26 的一个输出锁存器
(或输出寄存器)工作。读数据和写数据通过内部存储器数据总线 27 在控
制区 12 和 DRAM 核心区 15 之间传输。

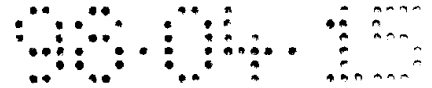
15 (对存储控制寄存器区的存储器存取)

在对存储区 11 中的存储控制寄存器区 16 进行存储器存取时，请求
包中的参数字段指定将进行写存取或读存取的存储控制寄存器 29。写
存取时，接收写数据包，写数据包中的固定长度写数据写入到指定的
20 存储控制寄存器 29 中，读存取时，从指定存储控制寄存器 29 读出固定长度
数据，并以读数据包形式传输该数据。在对存储控制寄存器区 16 进行
存储器存取时用命令字段的指定比对 DRAM 核心区 15 的存储器存取情
况简单。写存取时，控制区 12 通过写数据端 25 接收写数据包，在读存
25 取时，控制区 12 通过读数据端 26 传输读数据包。读数据和写数据通过
内部存储器数据总线 27 在控制区 12 和存储控制寄存器区 16 间传输。

30 作为对存储控制寄存器区 16 进行写存取的另一方法，还可以在部
分请求包中包含写数据，从而不使用写数据包。例如，按图 13D 所示请
求包格式，写数据包含于参数 No.1 和 No.2 的参数字段中。参数 No.0
的参数字段用于指定存储控制寄存器 29 作为如上所述的写存取的目标。
在本方法的写存取过程中，控制区 12 通过控制信号端 24 接收写数
据。

35 (对运算控制寄存器区的协处理器存取)

在对协处理器区 14 中的运算控制寄存器 32 进行协处理器存取时，
请求包中的参数字段指定将进行写存取或读存取的运算控制寄存器



33。写存取时，接收写数据包，并将写数据包中的写数据写入到指定的运算控制寄存器 33 中，读存取时，从指定的运算控制寄存器 33 读出数据，并以读数据包的形式传输该数据。读数据和写数据通过内部协处理器数据总线 28 在控制区 12 和运算控制寄存器区 32 间传输。写存取时，控制区 12 通过写数据端 25 接收写数据，读存取时，控制区 12 通过读数据端 26 传输读数据。上述图 15 所示第三实例在协处理器存取的写存取时使用写数据包，所以图 15 所示实例对应于本方法。

关于对运算控制寄存器区 32 进行写存取的另一方法，还可以在部分请求包中包含写数据，从而不使用写数据包。例如，按图 13D 所示请求包格式，写数据包包含于参数 No.1 和 No.2 的参数字段中。参数 No.0 的参数字段用于指定运算控制寄存器 33 作为如上所述的写存取的目标。在本方法的写存取过程中，控制区 12 通过控制信号端 24 接收写数据。上述图 16 所示第四实例在协处理器存取的写存取过程中不使用写数据包，所以图 16 所示的实例对应于本方法。

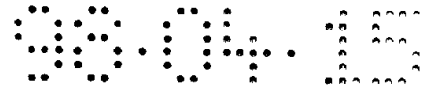
(协处理器存取类型)

图 17 是展示对本发明集成协处理器包式 DRAM 1 的协处理器区 14 的协处理器存取的更具体功能的分类表。图 17 中，对协处理器区 14 的写存取包括两种子命令：‘运算参数写入’和‘运算启动请求’，对协处理器区 14 的读存取包括两种子命令：‘运算结果请求’和‘运算状态读取’。

运算参数写入是对协处理器区 14 进行写存取，其中利用总线主控器将协处理器区 14 的算术逻辑运算所必需的运算参数写入运算控制寄存器区 32。这里，运算参数例如包括用于算术逻辑运算的数据地址。

运算启动请求是对协处理器 14 进行写存取，其中总线主控器请求协处理器区 14 启动某类算术逻辑运算。根据运算启动请求，协处理器区 14 利用已写入运算控制寄存器区 32 的运算参数开始进行要求的算术逻辑运算。

运算状态读取是对协处理器区 14 的读存取，其中总线主控器从运算控制寄存器区 32 读取协处理器区 14 的运算状态。这里，运算状态信息例如包括算术逻辑运算中产生的中间数据，及有关协处理器区 14 的算术逻辑运算是否在进行中的信息。



运算结果请求是对协处理器区 14 的读存取，其中总线主控制器在协处理器区 14 完成了算术逻辑运算后读取算术逻辑运算的结果。

5 (协处理器区)

图 18 是展示本发明的协处理器区 14 的构成的框图。图 18 中，协处理器区 14 的运算控制区 31 由程序计数器 61、指令解码器 62 和指令信息寄存器 64 构成。指令解码器 62 中具有状态标志寄存器 63。如上所述，运算控制寄存器区 32 由多个运算控制寄存器 33 构成，且运算控制寄存器 33 包括协处理器 ID 寄存器 51、运算启动寄存器 65、运算结果寄存器 66 和处理时间寄存器 67。

(协处理器存取操作)

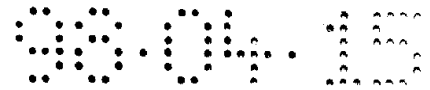
15 以下将参照图 17 和 18 详细说明在对协处理器区 14 进行协处理器存取时集成协处理器包式 DRAM 1 的操作。

(运算参数写入)

在运算参数写入时，运算参数通过内部存储器数据总线 27 和内部协处理器数据总线 28 提供给运算控制寄存器区 32。将写入运算参数的运算控制寄存器 33 由存储/运算控制逻辑电路 19 指定。顺便提及，可根据有关运算参数写存取的可接受/不可接受的两种控制方法进行运算参数写入。按第一控制方法，运算参数毫无例外地全部写入运算控制寄存器区 32。按第二控制方法，判断是否可接受对协处理器区 14 进行运算参数写存取。按第二控制方法，存储/运算控制逻辑电路 19 首先通知运算控制区 31 运算参数写存取，然后运算控制区 31 通过查阅指令解码器 62 中的状态标志寄存器 63 判断是否可接受运算参数写存取，并通知存储/运算控制逻辑电路 19 判断结果。这里，状态标志寄存器 63 是存储表示协处理器区 14 是否在进行某算术逻辑运算的状态标志的寄存器。如果协处理器区 14 中正在进行某算术逻辑运算，按第二方法不接受运算参数的写存取。

(运算启动请求)

35 在运算启动请求过程中，表示将要执行的算术逻辑运算程序中第一指令地址的第一程序指针通过内部存储器数据总线 27 和内部协处理器数据总线 28 提供给运算控制寄存器区 32，存储/运算控制逻辑电路 19 指示运算控制寄存器区 32 向运算启动寄存器 65 中写入程序指针的值。



顺便提及,根据有关运算启动请求中的写存取可接受/不可接受的两种控制方法,可以进行运算启动请求。按第一控制方法,运算启动请求无一例外地全被接受,而按第二控制方法,要判断运算启动请求是否可以接受。按第二控制方法,存储/运算逻辑电路 19 首先通知运算控制区 31 运算启动请求,然后运算控制区 31 通过查阅指令解码器 62 中的状态标志寄存器 63 判断是否可以写入程序指针,并通知存储/运算控制逻辑电路 19 判断结果。如果协处理器区 14 中正在进行某算术逻辑运算,则按第二方法不接受运算启动请求。按两种控制方法,与在接受运算启动请求情况下将程序指针值写入运算启动寄存器 65 同时,程序指针还直接写入到程序计数器 61。根据此写入,指令解码器 62 启动算术逻辑运算。在算术逻辑运算开始时,状态标志寄存器 63 中的状态标志设为 ON,用于表示协处理器区 14 中某算术逻辑运算在进行中。

通过按程序计数器 61 指示的顺序执行含于算术逻辑运算程序中的一系列指令,进行算术逻辑运算处理。由总线主控器的运算启动请求开始算术逻辑运算处理,此后由协处理器区 14 自动进行。算术逻辑运算程序中每条指令的执行情况如下。程序计数器 61 的值由指令解码器 62 读出,程序计数器值被指令解码器 62 修改成下一个值。指令解码器 62 读出的程序计数器值被发送到存储/运算控制逻辑电路 19,由此通过内部存储器数据总线 28 和内部协处理器数据总线 28 从 DRAM 核心区 15 读出指令,并传输到指令解码器 62。指令解码器 62 把已从 DRAM 核心区 15 读出的指令解码,并请求执行来自运算控制寄存器区 32 的解码的指令所必需的寄存器数据读取。指令信息寄存器 64 是存储从运算控制寄存器区 32 读出的寄存器数据和表示将由运算核心区 30 进行的算术逻辑运算的类型的指令解码信息的寄存器。寄存器数据和指令解码信息传递到运算核心区 30,由此由运算核心区 30 执行该指令。指令执行的结果是通过内部存储器数据总线 27 和内部协处理器数据总线 28 对运算控制寄存器区 32 进行写入或对 DRAM 核心区 15 进行写入。顺便提及,根据指令的执行情况,通过内部存储器数据总线 27 和内部协处理器数据总线 28,可以从 DRAM 核心区 15 读出必要的数

(运算状态读取)

在运算状态读取时,通过内部协处理器数据总线 28 和内部存储器数据总线 27 从运算控制寄存器区 32 读出运算状态。运算状态将从中读出的运算控制寄存器 33 由存储/运算控制逻辑电路 19 指定。运算状态的读取甚至可以在进行某算术逻辑运算的同时进行。例如,在总线主控器



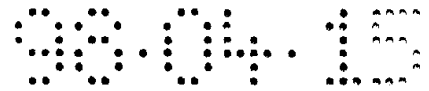
需要与协处理器区 14 正在进行的某算术逻辑运算同步时，可以使用运算状态读取。例如，在执行完特定指令后，可以将算术逻辑运算编程，以便特定的运算控制寄存器 33 可以设定为特定值。这种情况下，通过利用运算状态读取读出运算控制寄存器 33 的值，总线主控器可以判断指令是否已执行完毕。而且，例如，在总线主控器需要知道协处理器区 14 是否未进行算术逻辑运算时，也可以使用运算状态读取。例如，可以将存储于状态标志寄存器 63 中的状态标志值映射到特定的运算控制寄存器 33。这种情况下，通过利用运算状态读取，读出运算控制寄存器 33 的值，由此总线主控器可以判断协处理器区 14 是否未进行算术逻辑运算。

(运算结果请求)

在运算结果请求时，通过内部协处理器数据总线 28 和内部存储器数据总线 27，从运算结果寄存器 66 中读出算术逻辑运算的结果(即运算结果)，其中存储/运算控制逻辑电路 19 指示运算控制区 31 读出运算结果。顺便提及，可以根据有关运算结果请求中的读存取可接受/不可接受的两种控制方法，进行运算结果请求。按第一控制方法，无一例外地全部进行运算结果的读取，按第二控制方法，要判断是否可以进行运算结果的读取。按第二方法，运算控制区 31 首先通过查阅指令解码器 62 中的状态标志寄存器 63 判断是否完成了算术逻辑运算，然后通知存储/运算控制逻辑电路 19 判断结果。这里，如上所述，状态标志寄存器 63 是存储表示协处理器区 14 是否在进行某算术逻辑运算的状态标志的寄存器。如果协处理器区 14 正在进行某算术逻辑运算，则按第二控制方法不能接受运算结果请求。顺便提及，在算术逻辑运算的结果量很大，不能容纳于运算结果寄存器 66 中时，可以用其它运算控制寄存器存储部分运算结果。这种情况下，总线主控器首先通过对运算结果寄存器 66 进行读取读出部分运算结果，在连续地完成了对运算结果寄存器 66 的读取后，总线主控器通过对运算控制寄存器 33 进行读取读出其余的运算结果。

如已参照图 17 和 18 所作的解释，在运算参数写入、运算启动请求和运算结果请求过程中，存在着根据上述‘第二方法’进行这种协处理器存取的情况，其中协处理器区 14 可以拒绝对协处理器区 14 进行存取的请求。

在运算参数写入或运算启动请求过程中使用第二方法时，利用确认

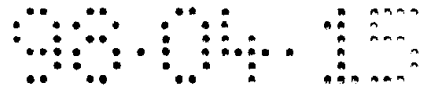


包将协处理器区 14 的写存取的可接受/不可接受传输到总线主控器。这种情况下，确认包的可接受/不可接受字段表示是否可以接受写存取，确认包的参数字段包括例如拒绝写存取的原因、拒绝写存取将持续多长时间等信息等等。可以如下获得关于写存取拒绝持续时间的信息。将算术逻辑运算处理时间的预测值初步写入算术逻辑运算的程序中，并算术逻辑运算开始时将该预测值写入作为一个的运算控制寄存器 33 的处理时间寄存器 67。根据时钟信号中每次提供的预定数量的前沿递处理时间寄存器 67 的值。将请求写存取(即运算参数写入或运算启动请求)时处理时间寄存器 67 的值复制到确认包的参数字段，由此关于写存取拒绝持续时间的信息可以包含于确认包中。

在运算结果请求过程中使用第二方法时，利用确认包或读数据包，将对协处理器区 14 的运算结果请求的可接受/不可接受传输到总线主控器。在使用确认包时，确认包的可接受/不可接受字段用于表示是否可接受运算结果请求，确认包中的参数字段包括例如运算结果请求被拒绝的原因和持续时间等信息等等。在使用读数据包时，读数据包中一个特定位用于表示读数据包的成分是否是从运算结果寄存器 66 读出的运算结果，或表示关于存取拒绝的信息。因此，读数据包中读数据的数据长度必需短于读数据包大小一位。在运算请求被拒绝时，与上述确认包中信息相同的信息包含于读数据中，并进行传输。

(存取时的总线时序)

图 19 是展示由总线主控器对本发明的集成协处理器包式 DRAM 1 进行存取时总线时序的实例的时序图。对于存储器存取(即对 DRAM 核心区 15 或存储控制寄存器区 16 的存取)，图 19 示出了不用确认包的实例。对于对存储控制寄存器区 16 的写存取，图 19 示出了使请求包中包含写数据因而不用写数据包的实例。在协处理存取时，对于对运算控制寄存器区 32 的读存取(包括运算结果存取和运算状态读取)和运算参数写存取，图 19 展示了不用确认包的实例。另外，对于对运算控制寄存器区 32 的运算启动请求，图 19 展示了使用确认包的实例。在图 19 所示的协处理器读存取中的运算结果请求过程中，利用读数据包将对协处理器区 14 的运算结果请求的可接受/不可接受传输到总线主控器。对于运算启动请求，协处理器区 14 通过传输确认包可以通知总线主控器算术逻辑运算实际上是否已开始。尽管确认包不用于图 19 中运算参数写入，但在运算参数写入前，总线主控器可以进行对协处理器区 14 的运算状态读存取，并证实协处理器区 14 的算术逻辑运算已完成，由此可



以确保对运算控制寄存器区 32 进行正确的运算参数写入。

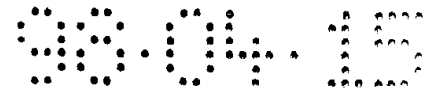
5 图 20 是展示总线主控器对本发明的集成协处理器包式 DRAM 1 进行存取时总线时序其它实例的时序图。关于存储器存取(即对 DRAM 核心区 15 或存储控制寄存器区 16 的存取)和协处理器存取, 图 20 展示了使用确认包的实例。在图 20 的实例中, 确认包用于通知总线主控器是否可以接受存储器存取或协处理器存取。

10 在图 19 和 20 的时序图中, 无论存取是对存储区 11 的存储器存取还是对协处理器区 14 的协处理器存取, 包式存储器/协处理器总线 2 的总线时序都设计成相同。换言之, 在展示对存储区 11 的存取不用确认包的图 19 中, 在请求包被拒绝后, 以相同的总线时序将用于对协处理器区 14 中运算控制寄存器区 32 的运算启动请求的确认包输出到包式存储器/协处理器总线 2, 作为读数据包和写数据包。图 13 中, 请求包和
15 确认包间的总线时序设计成与所有存取间的时序相同, 请求包和读数据包/写数据包间的总线时序也设计成与所有存取间的时序相同。

20 顺便提及, 尽管图 18 所示协处理器区 14 已假定为可编程协处理器单元, 但甚至在协处理器区 14 用于进行固定算术逻辑运算的硬连线协处理器单元情况下, 根据图 17 所示协处理器存取, 这种硬连线协处理器区 14 的算术逻辑运算也可以由总线主控器控制。另外, 如上所述, 图 18 所示协处理器区 14 设计成从存储区 11 读出指令, 从存储区 11 读出执行指令所必需的数据, 并且如果必要, 将执行指令的结果写入存储区 11。因此, 关于协处理器区 14 的另一实例, 还可以在协处理器区 14
25 中提供缓冲存储器或高速缓存存储器, 并由此使协处理器区 14 通过缓冲存储器对存储区 11 进行存取, 从而减少协处理器区 14 到存储区 11 的存取数量。

(设备 ID 指定)

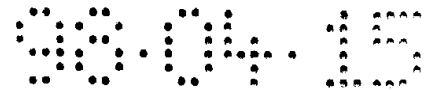
30 图 21 是展示根据本发明另一实施例的包式存储器/协处理器 200 的框图, 其中可以将存储器 ID 和协处理器 ID 指定给本发明的集成协处理器包式 DRAM 1 的存储区 11 和协处理器区 14。图 21 的包式存储器/协处理器总线 200 由包式存储器/协处理器总线 2 和集成协处理器包式 DRAM 链 70 构成, 集成协处理器 DRAM 链由总线主控器微处理器 9 和集成协处理器包式 DRAM 1 连接成环路结构。作为包式存储器/协处理器
35 总线 2 的总线主控器的微处理器 9 具有外部选择输入端 75 和外部选



择输出端 76，每个集成协处理器包式 DRAM 1 具有外部选择输入端 71 和外部选择输出端 72。图 21 中的集成协处理器包式 DRAM 链 70 分别将总线主控器微处理器 9 的外部选择输出端 76 和集成协处理器包式 DRAM 1 的选择输入端 71、集成协处理器包式 DRAM 1 的外部选择输出端 72 和下一集成协处理器包式 DRAM 1 的外部选择输入端 71、集成协处理器包式 DRAM 1 的外部选择输出端 72 和总线主控器微处理器 9 的外部选择输入端 75 连接成环路。集成协处理器包式 DRAM 1 中，外部选择输入端 71 与存储区 11 的内部选择输入端 73 连接，存储区 11 的内部选择输出端 74 与协处理器区 14 的内部选择输入端 73 连接，协处理器 14 的内部选择输出端 74 与集成协处理器包式 DRAM 1 的外部选择输出端 72 连接。顺便提及，尽管集成协处理器包式 DRAM 1 中包括一个存储区 11 和一个协处理器区 14，但还可以使集成协处理器包式 DRAM 1 包括一个存储区 11 和多个协处理器区 14。这种情况下，通过连接每个内部选择输出端 73 和下一块的相应内部选择输入端 73，将存储区和协处理器区 14 连接在一起，形成链块，集成协处理器包式 DRAM 1 的外部选择输入端 71 与第一块(即存储区 11 或一个协处理器区 14)的内部选择输入端 73 连接，最后一块的内部选择输出端 74 与集成协处理器包式 DRAM 1 的外部选择输出端 72 连接。

由于这种已知为菊花链的结构，可以如下给与包式存储器/协处理器总线 200 连接的所有集成协处理器包式 DRAM 1 中的每个存储区 11 和协处理器区 14 指定存储器 ID 和协处理器 ID。

作为初始化处理，存储器 ID 和协处理器 ID 首先设定为预定初始值。例如这可以通过在被提供复位信号时，将存储控制寄存器区 16 中的存储器 ID 寄存器 50 和运算控制寄存器区 32 中的协处理器 ID 寄存器 51 设计成被设定为预定初始值(例如，在 6 位寄存器时为 ‘111111’，‘000000’ 等)实现。而且，初始化处理过程中，存储区 11 的所有内部选择输出端 74 皆设定为逻辑值 ‘0’。初始化处理后和存储器 ID 或协处理器 ID 重新写入前，只要给其内部选择输入端 73 提供逻辑值 ‘0’，则每个存储区 11 和协处理器区 14 的将忽略对其的写存取。如果给内部选择输入端 73 提供逻辑值 ‘1’，则根据对其的写存取请求，重写存储区 11 的存储器 ID 或协处理器区 14 的协处理器 ID。每个存储区 11 和协处理器区 14 都设计成在重写存储器 ID 或协处理器 ID 后从其内部选择输出端 74 输出逻辑值 ‘1’。

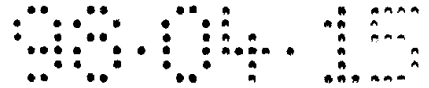


5 这种结构中，微处理器 9 可以从集成协处理器包式 DRAM 链 70 的第一集成协处理器包式 DRAM 1 中的第一块(即存储区或协处理器区)起，一个接一个地给与包式存储器/协处理器总线 200 连接的所有集成协处理器包式 DRAM 1 中所有存储区 11 和协处理器区 14 指定特定的唯一的存储器 ID 和协处理器 ID。微处理器 9 通过从其外部选择输出端 76 输出逻辑值 ‘1’，并一块接一块地对块进行写存取，进行设备 ID 指定处理。对于每个写存取，在请求包的设备 ID 字段中指定预定初始值，在请求包的参数字段中指定新设备 ID 作为写数据，其中在参数字段中指定的新设备 ID 根据每个写存取改变，由此可以为与包式存储器/协处理器总线 200 连接的所有集成协处理器包式 DRAM 1 中的所有存储区 11 和协处理器区 14 指定特定的唯一的存储器 ID 和协处理器 ID。

(存储控制寄存器区和运算控制寄存器区)

15 图 22 是展示本发明集成协处理器包式 DRAM 1 中存储控制寄存器区 16 和运算控制寄存器区 32 的实例的示意图。图 22 中，每个存储控制寄存器区 16 和运算控制寄存器区 32 皆包括设备定义寄存器 81。设备定义寄存器 81 是一种存储用于存储区 11 和协处理器区 14 间的判别的设备定义信息的寄存器。设备定义信息例如在集成协处理器包式 DRAM 1 的生产或运输阶段预先写入设备定义寄存器 81。通过指定请求包中任意设备 ID，并从设备定义寄存器 81 中读出设备定义信息，总线主控器可以检查任意设备 ID 是否对应于存储 11 或协处理器区 14。如图 22 所示，在存储控制寄存器区 16 中提供设备定义寄存器 81 作为一个存储控制寄存器 29，在运算控制寄存器区 32 中提供设备定义寄存器 81 作为运算控制寄存器 33。在两区 16 和 32 中提供设备定义寄存器 82 以便由相同数量的寄存器(图 2 中的第 1 寄存器)进行指定。因此，总线主控器可以在不知道读取的目标是否是存储区 11 或协处理器区 14 的情况下进行设备定义寄存器 81 的读取，这是由于可以利用除设备 ID 字段外都相同的各请求包进行对存储区 11 中的设备定义寄存器 81 的读存取和对协处理器区 14 中的设备定义寄存器 81 的读存取的缘故。

30 图 22 的运算控制寄存器区 32 还包括功能定义寄存器 82。功能定义寄存器 82 是存储将协处理器区 14 的算术逻辑运算功能分类的功能定义码的寄存器。例如在集成协处理器包式 DRAM 1 的生产或运输时预先将功能定义码写入了功能定义寄存器 82。通过指定请求包中协处理器区 14 的设备 ID，并从功能定义寄存器 82 中读出功能定义码，总线主控器可以检查协处理器区的算术逻辑运算功能。



如上所述，根据本发明的实施例，可以得到以下有益效果。

5 第一效果是，与常规包式 DRAM 相比，不用增加外部 I/O 端的端子(信号线)数，便可以实现集成协处理器包式 DRAM。具体地，可以用外部 I/O 端中 10 - 30 个端子实现根据本实施例的集成协处理器包式 DRAM。

10 第二效果是，完全利用与常规包式 DRAM 相同端子结构的外部 I/O 端可以实现集成协处理器包式 DRAM。具体地，完全利用与例如 SLD RAM 或 Rambus 的常规包式 DRAM 相同端子构成的外部 I/O 端，可以实现本实施例的集成协处理器包式 DRAM。

15 第三效果是，可以实现一种集成协处理器包式 DRAM，该集成协处理器包式 DRAM 可以应答通过包式存储器/协处理器总线提出的对芯片上存储区进行存储器存取的要求和对芯片上协处理器区进行协处理器存取的要求。

20 第四效果是，完全利用与常规包式存储器总线相同的总线信号线构成，可以实现这种包式存储器/协处理器总线。具体地，利用例如 SLD RAM 或 Rambus 的包式存储器总线的信号线构成可以实现本发明的包式存储器/协处理器总线。

25 第五效果是，可以实现一种集成协处理器包式 DRAM 和包式存储器/协处理器总线，由此可以进行对存储区的存储器存取，而且与利用常规包式存储器总线和包式 DRAM 的存取相比不用任何额外时间。具体地，完全利用例如与 SLD RAM 或 Rambus 技术中的存储存取总线时序相同的总线时序，可以实现对根据本发明实施例的集成协处理器包式 DRAM 的存储区的存储器存取。

30 第六效果是，可以实现一种集成协处理器包式 DRAM 和包式存储器/协处理器总线，由此可以完全利用与常规包式存储器总线和包式 DRAM 的存储器存取中相同的包格式和总线规约进行对存储区的存储器存取。具体地，完全利用与例如 SLD RAM 或 Rambus 相同的包格式和总线规约，可以实现根据本发明实施例的集成协处理器包式 DRAM 的存储区的存储器存取。

35



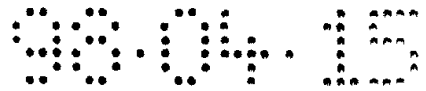
5 第七效果是，在根据本发明实施例的集成协处理器包式 DRAM 和包式存储器/协处理器总线中，可以利用总线主控器进行对协处理器区的协处理器存取（即读存取和写存取），并且通过传输确认包或读数据包，协处理器区可以应答协处理器存取，由此可以利用总线主控器，通过单总线主控器型包式存储器/协处理器总线，对协处理器总线区进行运算参数写入、运算启动请求、运算结果请求及运算状态读取。

10 第八效果是，在优选实施例的包式存储器/协处理器总线中，存储器存取中的读数据包的总线时序、存储存取中的写数据包的总线时序、协处理器存取中的读数据包的总线时序、协处理器存取中的写数据包的总线时序及协处理器存取中的确认包总线时序皆设定为与请求包有相同的总线时序，由此可以极大地简化利用总线主控器进行的总线时序设定。例如，根据本发明实施例相对于协处理器存取中请求包的读数据包、写数据包及确认包的总线时序完全可以设定为与 SDRAM 技术中
15 相对于存储器存取中请求包的读数据包和写数据包相同的总线时序。

20 第九效果是，在优选实施例的包式存储器/协处理器总线中，存储器存取中的请求包和读数据包/写数据包间的总线时序设定为与协处理器中的相同，存储器存取中的请求包与确认包间的总线时序设定为与协处理器存取中的相同，由此可以极大简化由总线主控器进行的总线时序设定。例如，在根据本发明实施例的协处理器存取中，请求包与读数据包/写数据包间的总线时序及请求包与确认包间的总线时序完全可以设定为与 Rambus 技术中的存储器存取中相同。
25

30 第十效果是，在根据优选实施例的集成协处理器包式 DRAM 和包式存储器/协处理器总线中，控制区可以使用不同的解码方法，根据请求包中设备 ID 字段是否指定了存储区或协处理器区，将请求包中的命令字段解码，由此具有特定位模式的命令字段可以根据设备 ID 字段是否指定了存储区或协处理器区指定不同的命令。

35 第十一效果是，在根据本发明实施例的集成协处理器包式 DRAM 中，协处理器区可以查阅存储于装在同一集成协处理器包式 DRAM 芯片上的存储区中的指令、数据等进行算术逻辑运算。一般情况下，芯片内的内部数据传输可以以比芯片间的外部数据传输宽很多的数据带宽进行。例如，高速 DRAM 的外部数据传输带宽约为 1GB/秒，而内部数



据传输可以实现约 10GB/秒的数据传输带宽。因此，在根据本发明实施例的集成协处理器包式 DRAM 中，利用对芯片上存储区读取和写入的宽带数据/指令，可由协处理器区进行高速算术逻辑运算。

5 第十二效果是，可以按混合方式将任意数量的常规包式 DRAM 和任意数量的本发明实施例的集成协处理器包式 DRAM 与本发明实施例的包式存储器/协处理器总线连接。可通过包式存储器/协处理器总线，由总线主控器进行对常规包式 DRAM 的存储器存取、对集成协处理器包式 DRAM 的存储器存取及对集成协处理器包式 DRAM 中的协处理器区的协处理器存取(即协处理器区的算术逻辑运算功能的控制)。顺便提及，常规包式 DRAM 可以被认为是根据本发明实施例的集成协处理器包式 DRAM 中协处理器数量为零的情况。

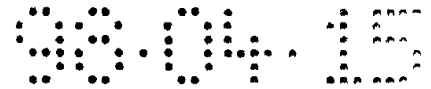
10 第十三效果是，在以混合方式与集成协处理器包式 DRAM 和常规包式 DRAM 连接的本发明实施例的包式存储器/协处理器总线中，可以完全利用相同的总线时序进行对常规包式 DRAM 的存储器存取和对集成协处理器包式 DRAM 的存储器存取。

15 第十四效果是，利用本发明的集成协处理器包式 DRAM 和包式存储器/协处理器总线可以实现集成协处理器存储器系统，该系统容易代替包括常规包式 DRAM 的常规存储器系统。因此，本发明实施例的这种集成协处理器包式存储器系统可以高度渗透到使用常规存储器系统的常规处理器系统。

20 第十五效果是，在本发明实施例的集成协处理器包式 DRAM 和包式存储器/协处理器总线中，通过初始化处理和连续的写存取，总线主控器可以给与包式存储器/协处理器总线连接的所有集成协处理器包式 DRAM 中的存储区和协处理器区指定特定的唯一的存储器 ID 和协处理器 ID。

25 第十六效果是，利用根据优选实施例的集成协处理器包式 DRAM，通过进行读存取和读出存储于存储区和协处理器区的设备定义寄存器中的设备定义信息，总线主控器可以检查请求的目标是否是存储区或协处理器区。

30 第十七效果是，利用根据优选实施例的集成协处理器包式



5 DRAM，通过读存取和读出存储于协处理器区的功能定义寄存器中的功能定义码，总线主控器可以检查每个协处理器区备有的算术逻辑运算功能。由于运算功能检查，例如适用于协处理器区的设备驱动器、算术逻辑运算程序库等软件可以与由总线主控器执行的用户程序联接。此后，

10 用户程序可以通过这种软件利用协处理器区的算术逻辑运算功能。这种软件可以通过使每个协处理器区进行适用于协处理器区的算术逻辑运算功能的算术逻辑运算，加快用户程序的处理速度。因此，可以利用本发明实施例的集成协处理器包式 DRAM 和包式存储器/协处理器总线构成高速且灵活的处理系统等，该系统可以在运算期间改变和使初始化时硬件指令和软件指令最佳化。

15 顺便提及，尽管上述说明是关于包括 DRAM 核心区(即构成 DRAM 的存储核心区)的集成协处理器包式 DRAM 进行的，但显然本发明可以普遍用于包括普通存储核心区的集成协处理器包式存储器 LSI。

20 尽管以上参考特别示出的实施例说明了本发明，但本发明不受这些实施例的限制，而是只应由所附权利要求书进行限定。应该理解，本领域的普通技术人员在本发明的精神实质和范围内可以对各实施例做出各种变化和改进。

说明书附图

图 1 现有技术 1001 包式 DRAM

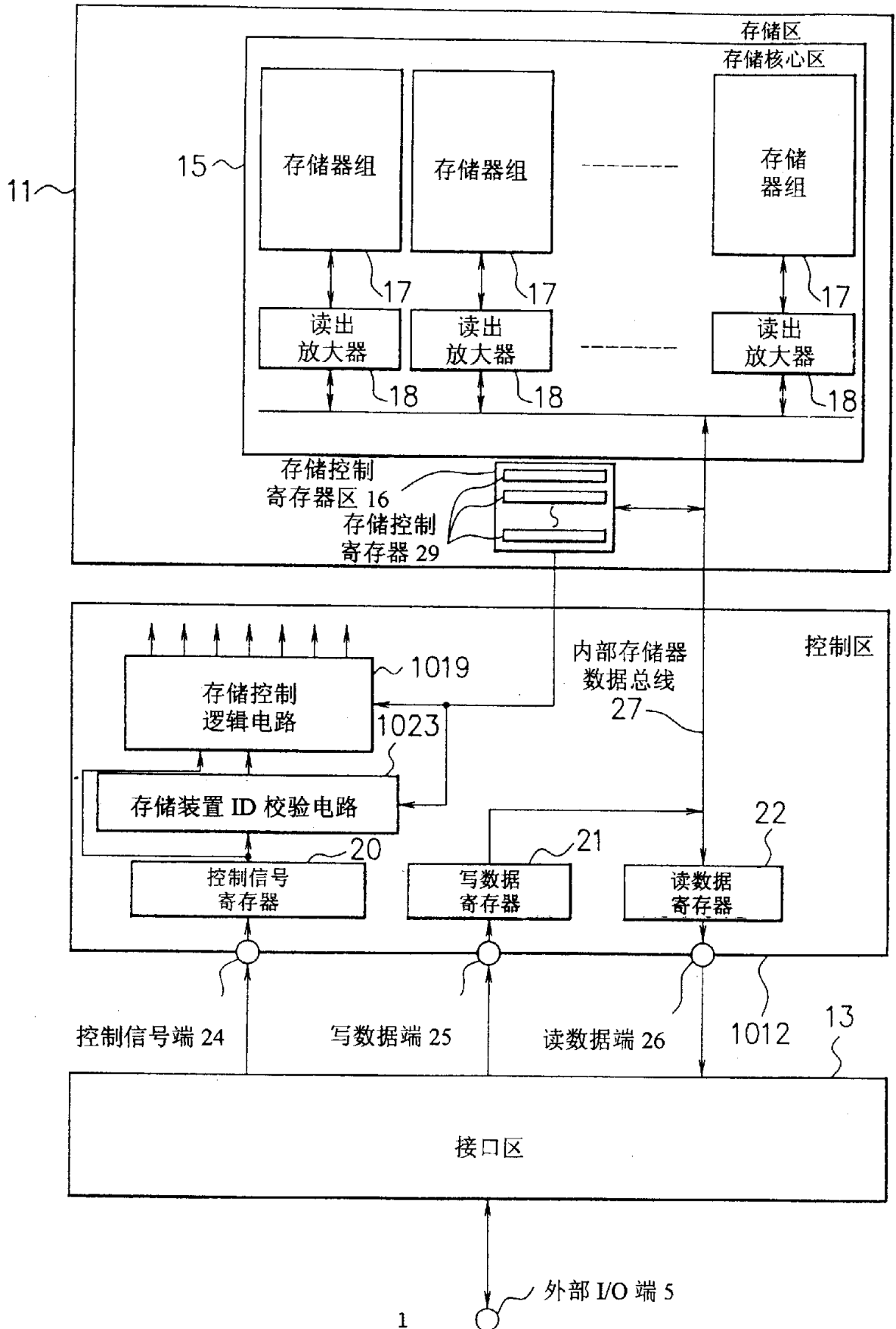


图 2A 现有技术

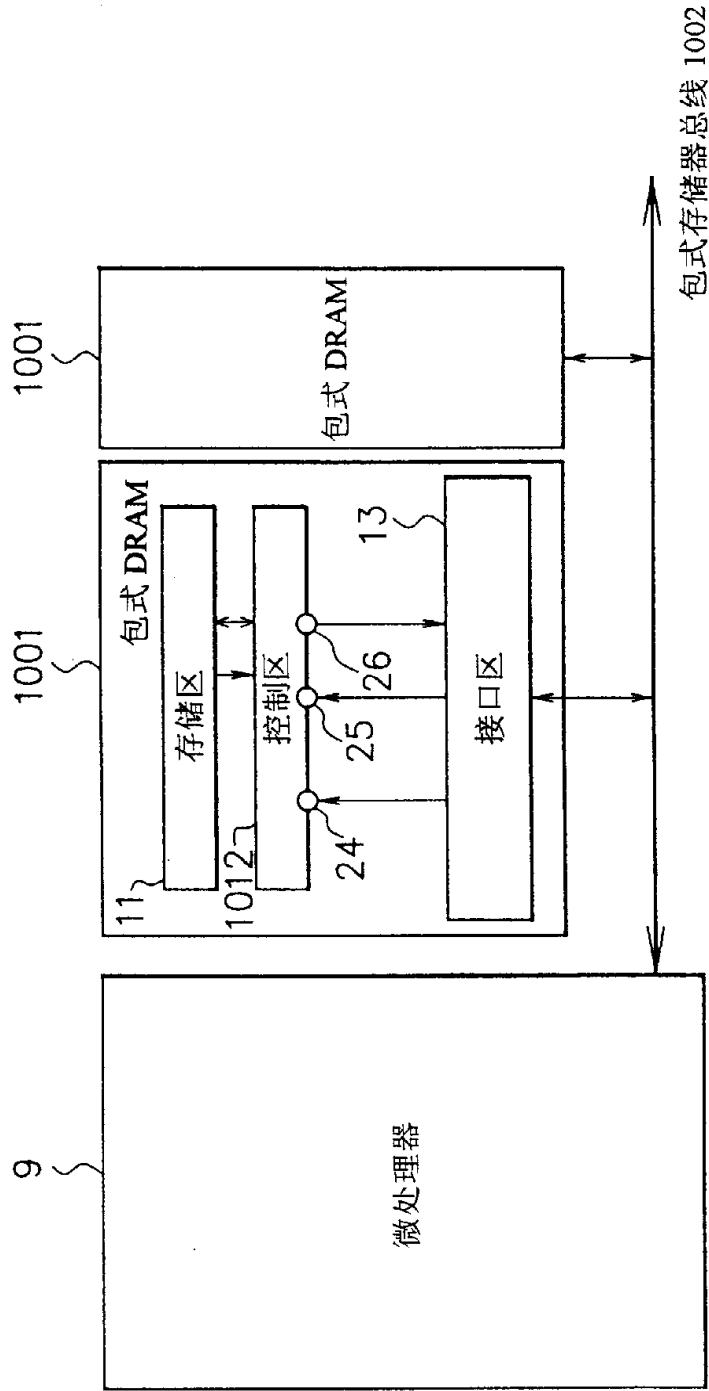


图 2B 现有技术

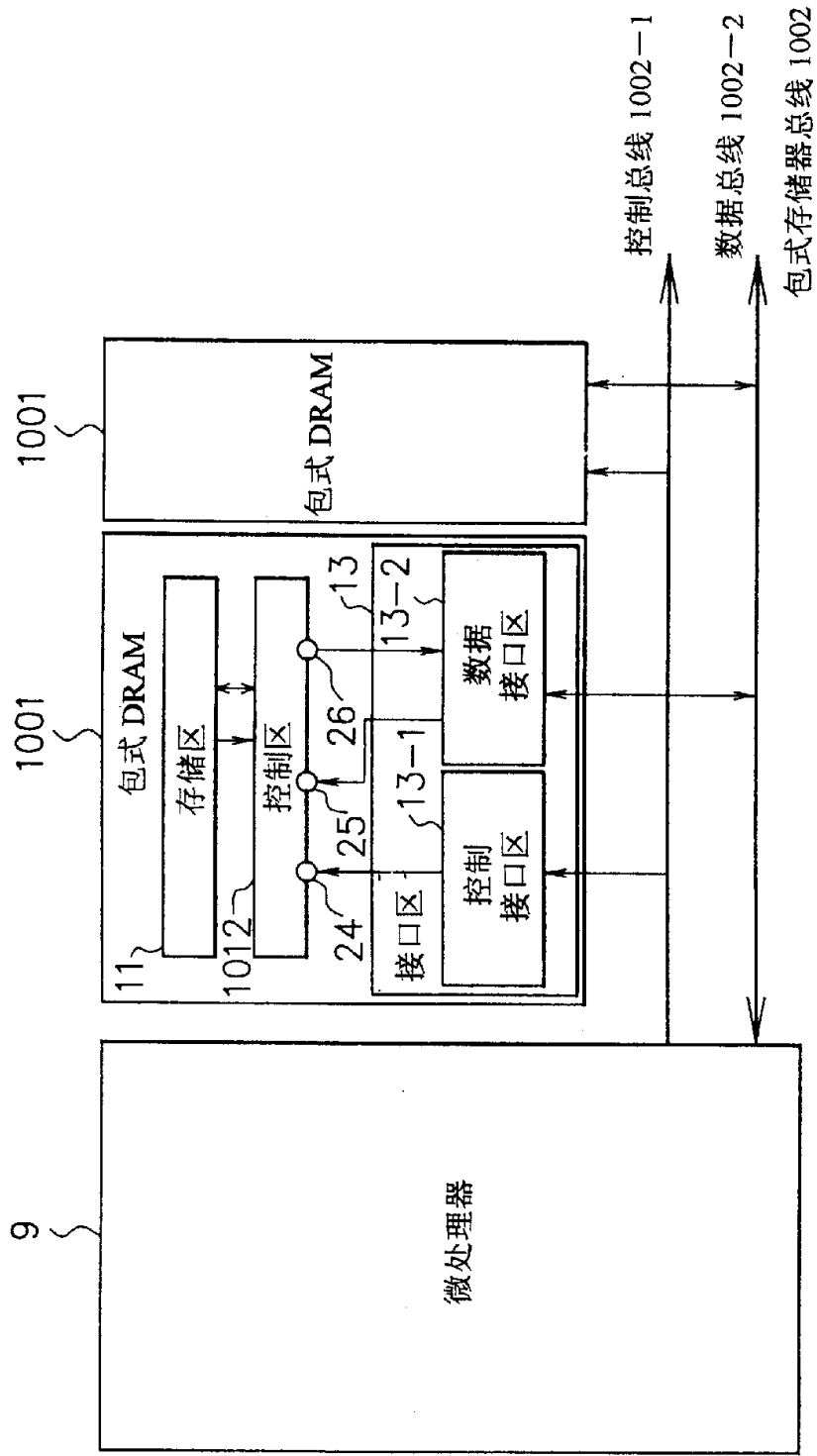


图 2C 现有技术

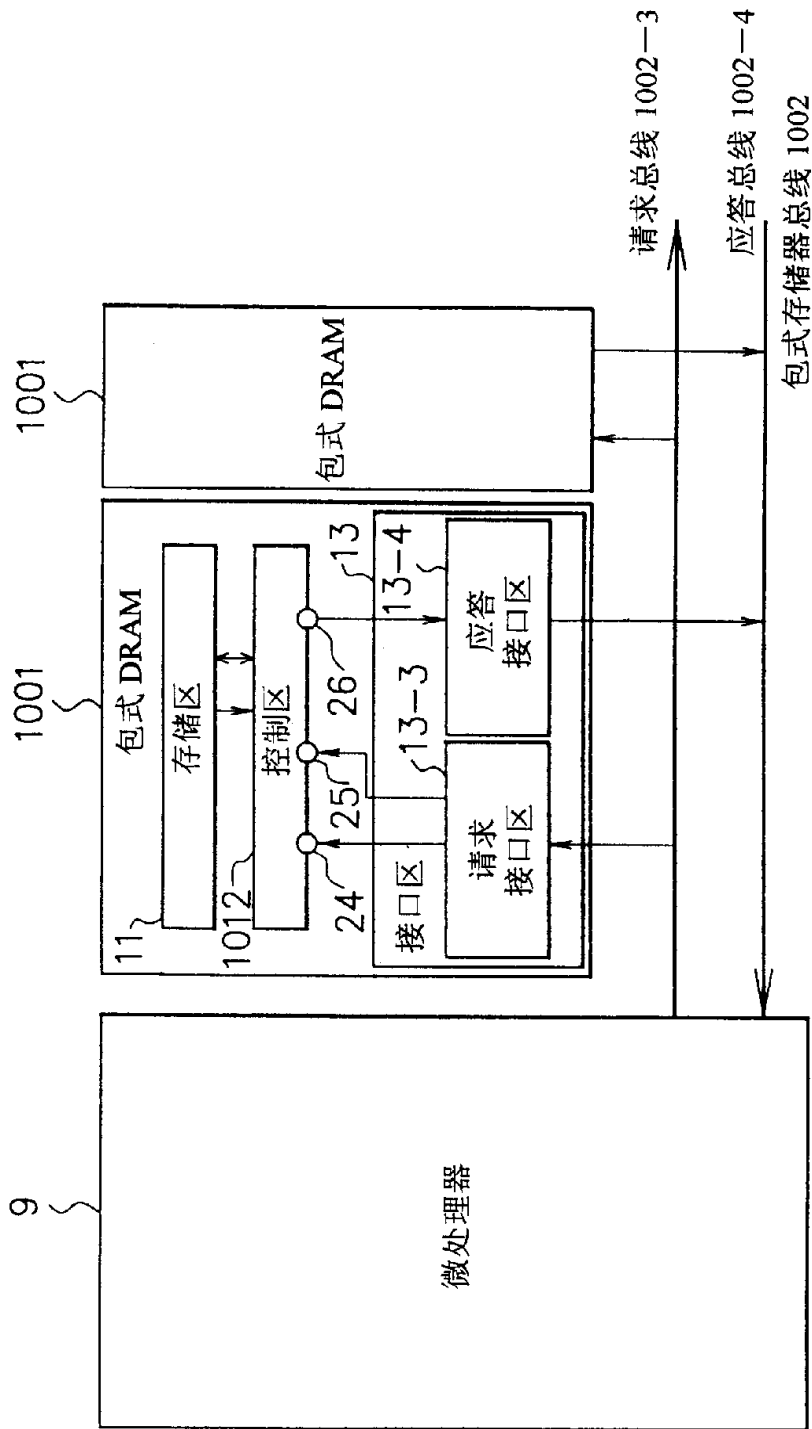


图 3 现有技术

请求类型	请求者	目标	命令	数据长度
存储器 存取	总线 主控器	DRAM 核心区	写	8B~256B
			读	8B~256B
		存储控制 寄存器区	写	8B
			读	8B
初始化	总线 主控器	存储控制 寄存器区	—	
刷新	总线 主控器	DRAM 核心区		

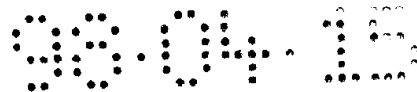
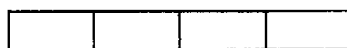


图 4A 现有技术

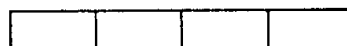


请求包



写数据包

图 4B 现有技术



读数据包



确认包

图 5A 现有技术

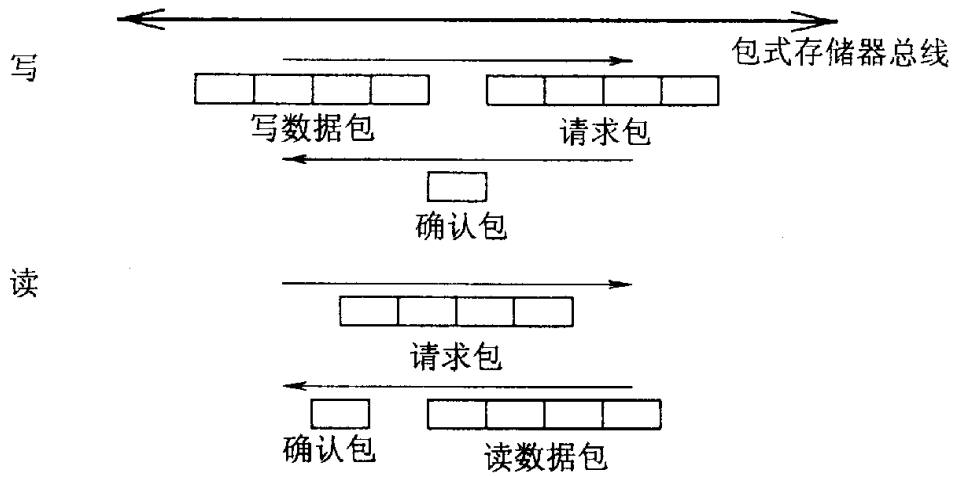


图 5B 现有技术

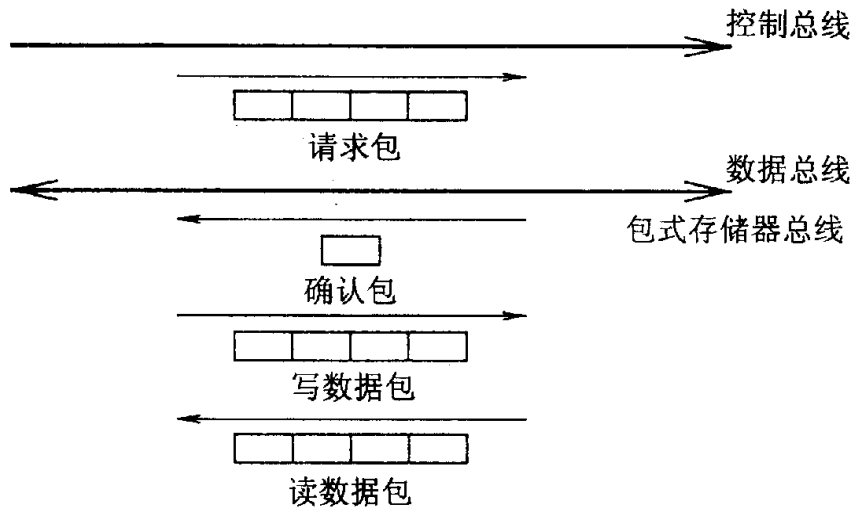
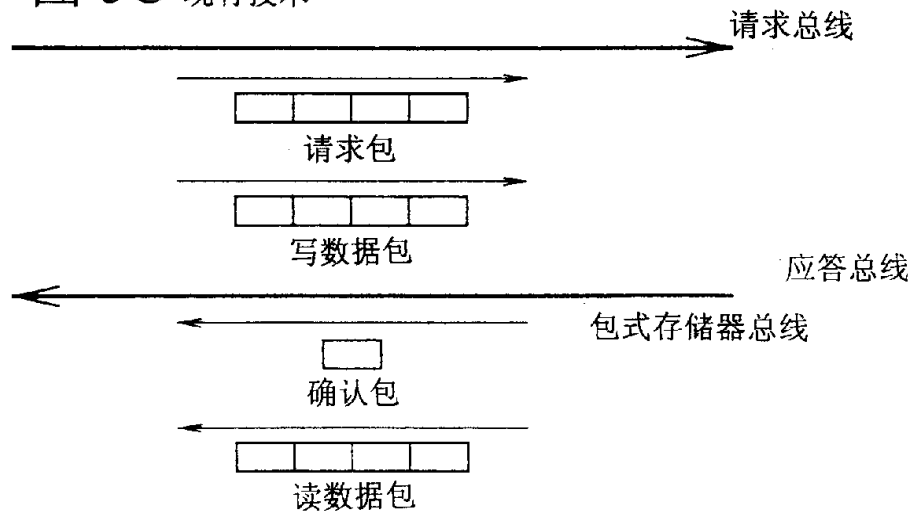


图 5C 现有技术



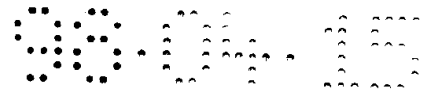


图 6A 现有技术

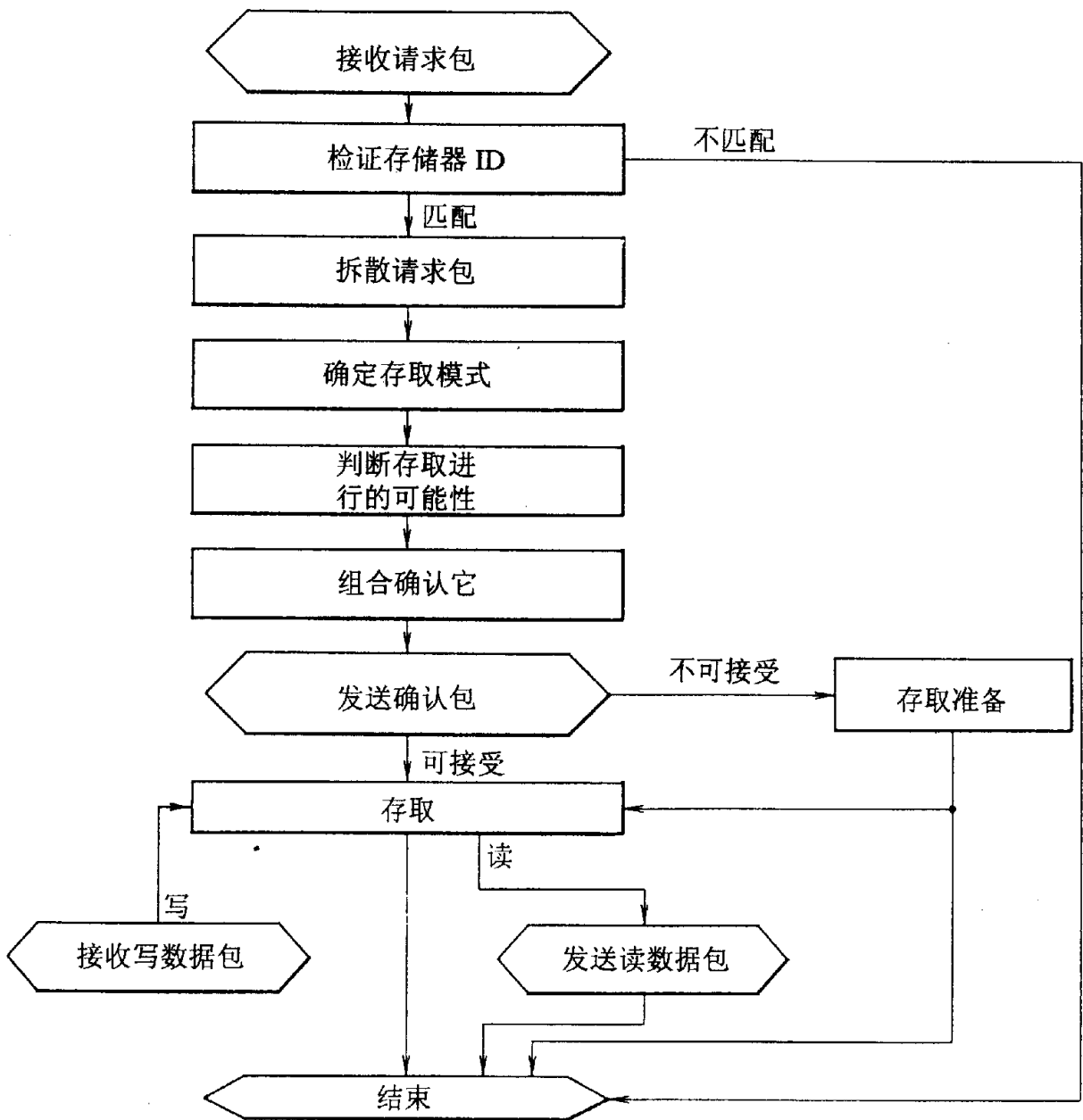


图 6B 现有技术

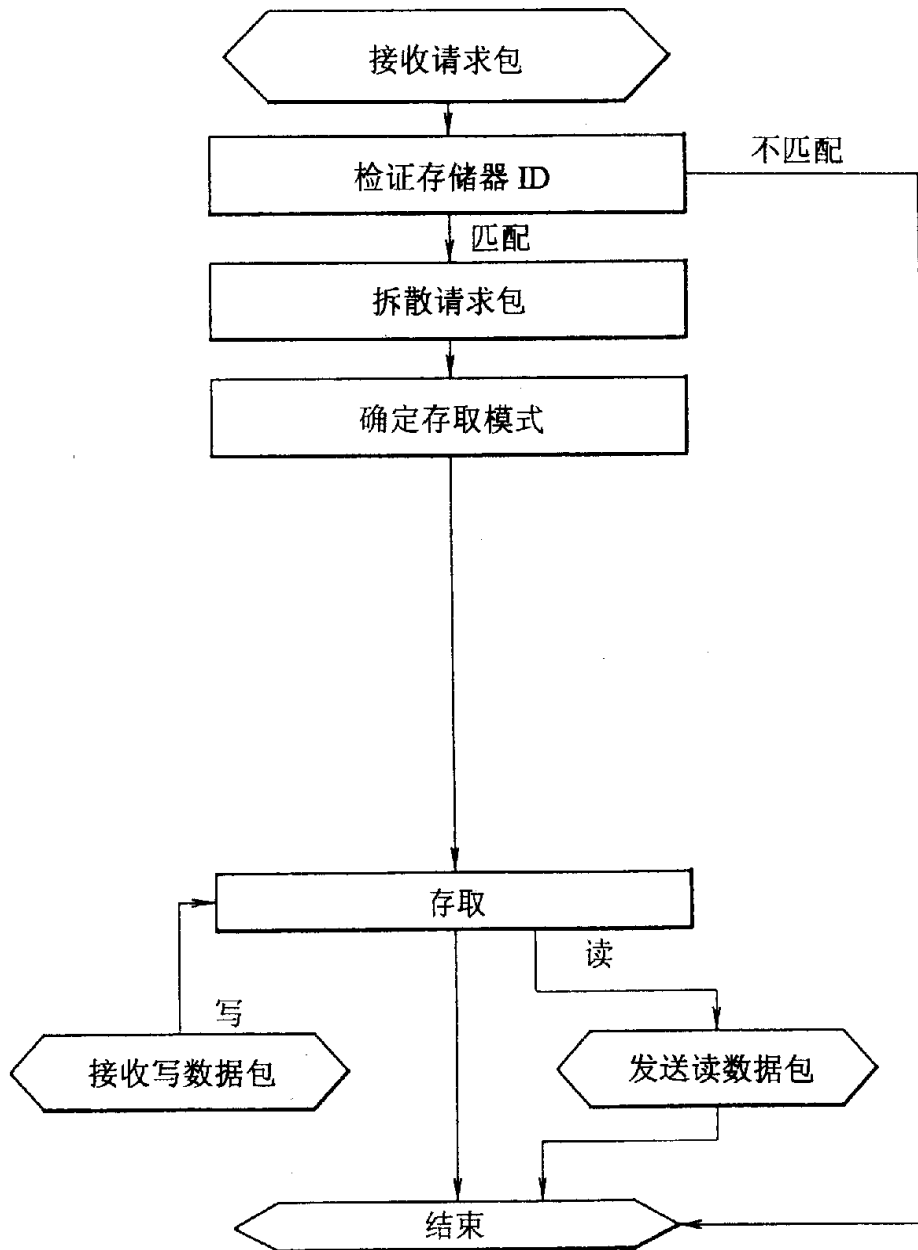


图 7A
现有技术

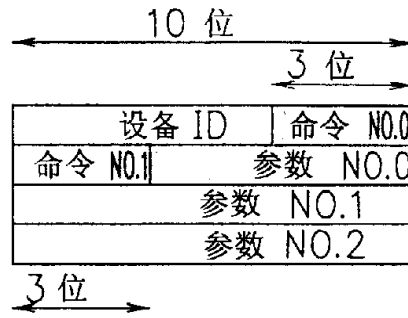


图 7B
现有技术

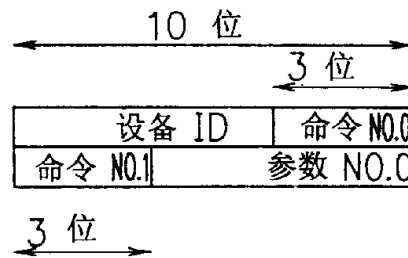


图 7C
现有技术

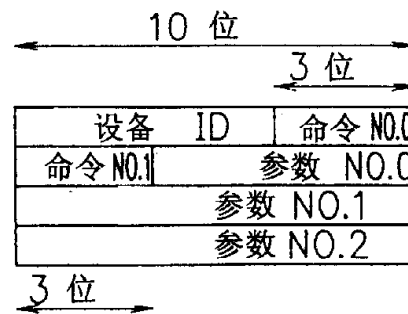


图 7D
现有技术

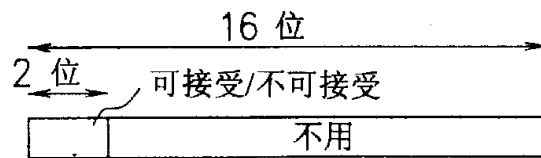
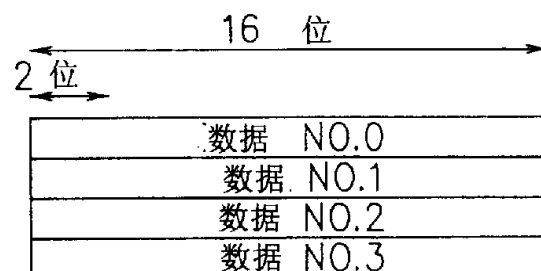


图 7E
现有技术



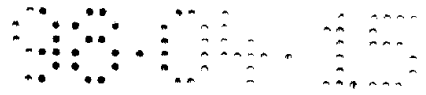


图 8

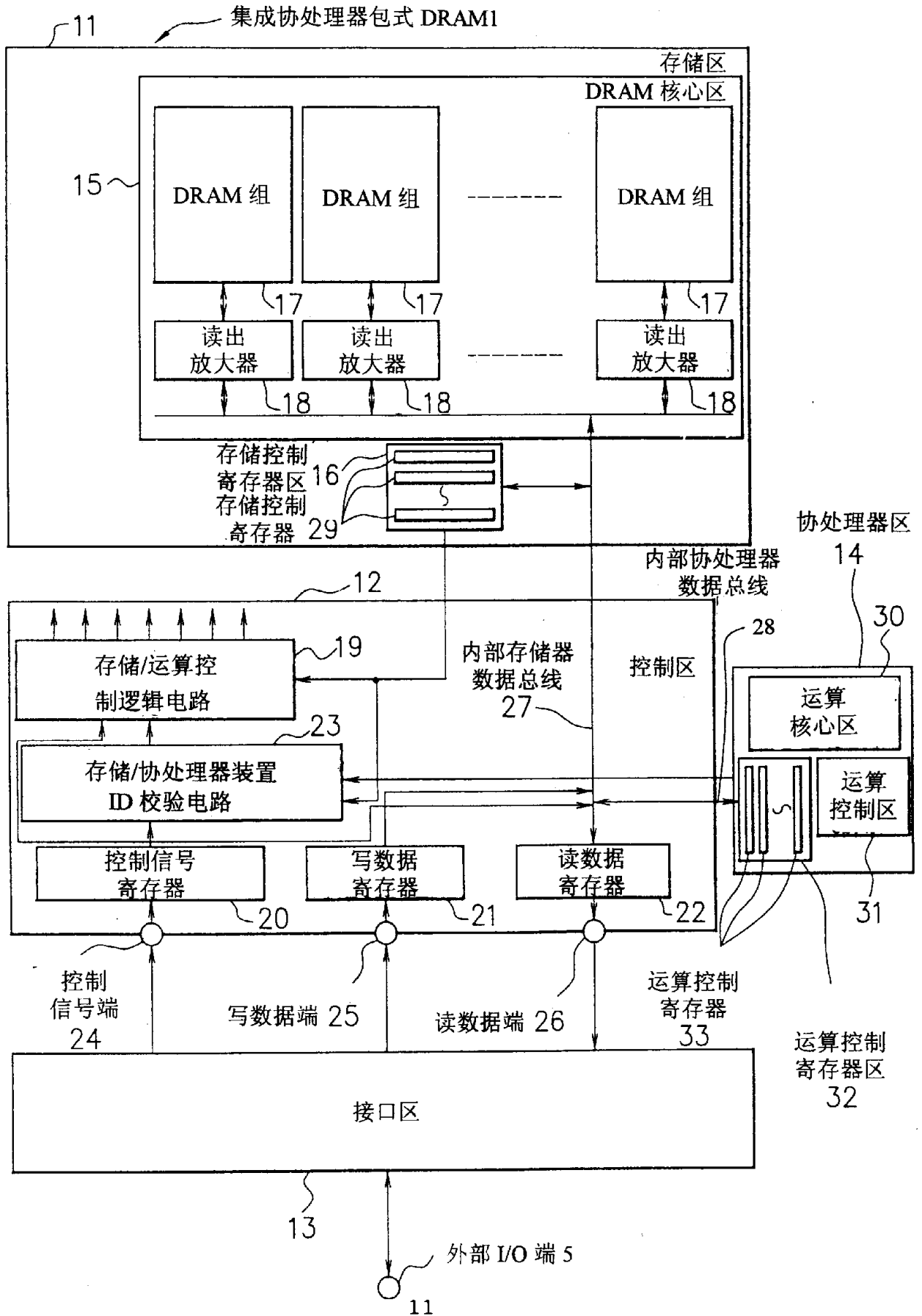
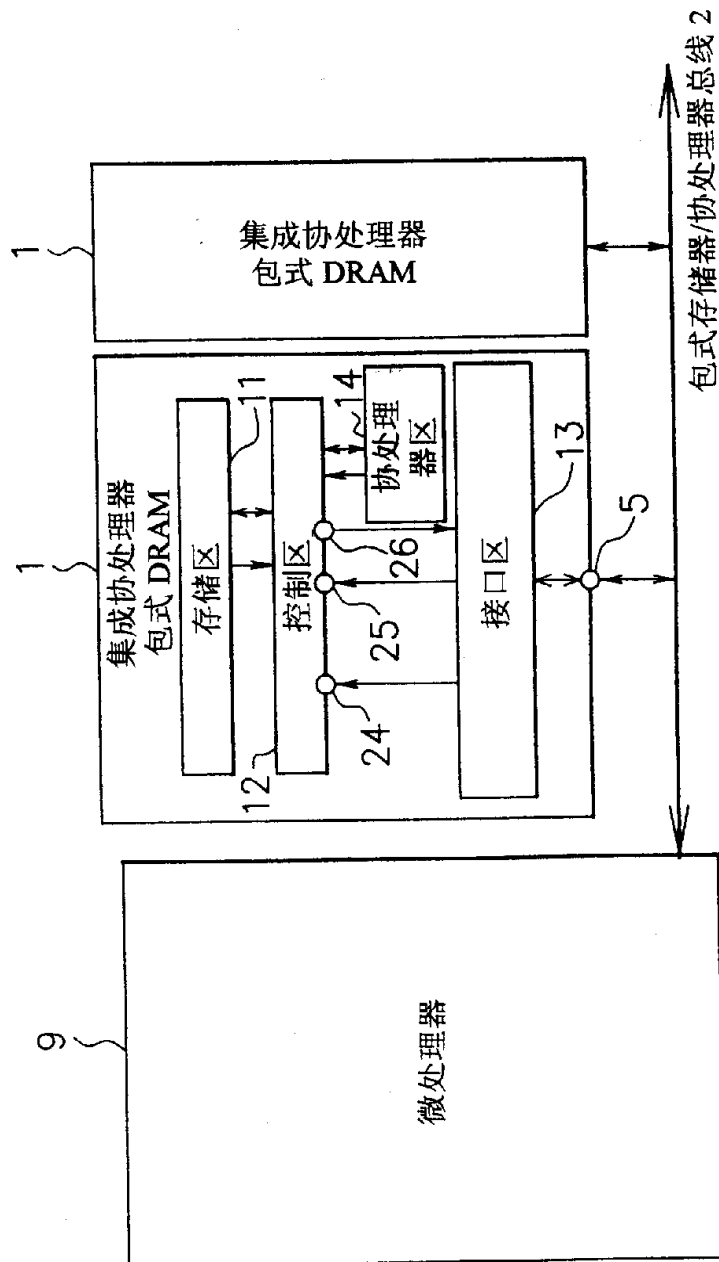


图 9A



3
 2
 1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100

图 9B

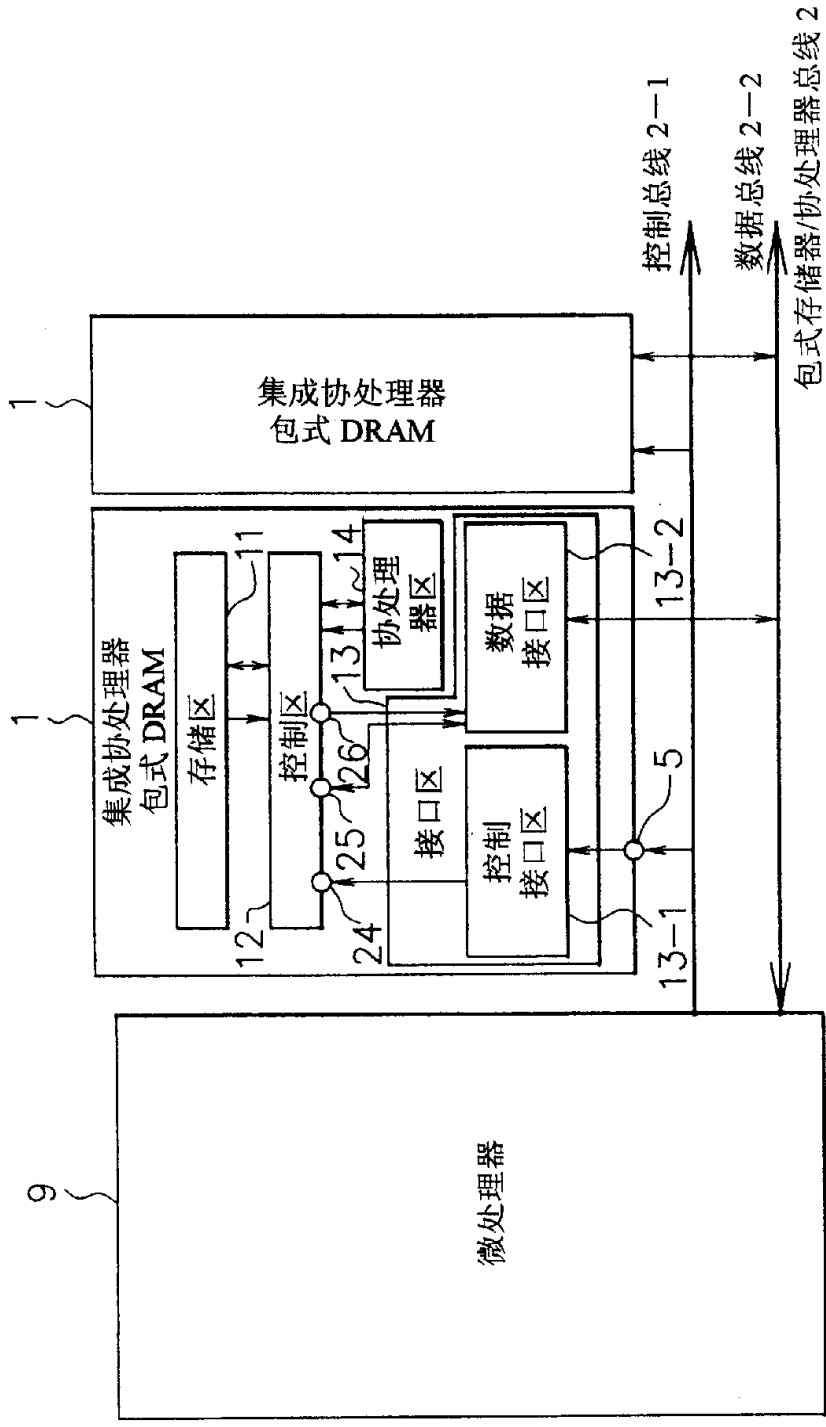


图 9C

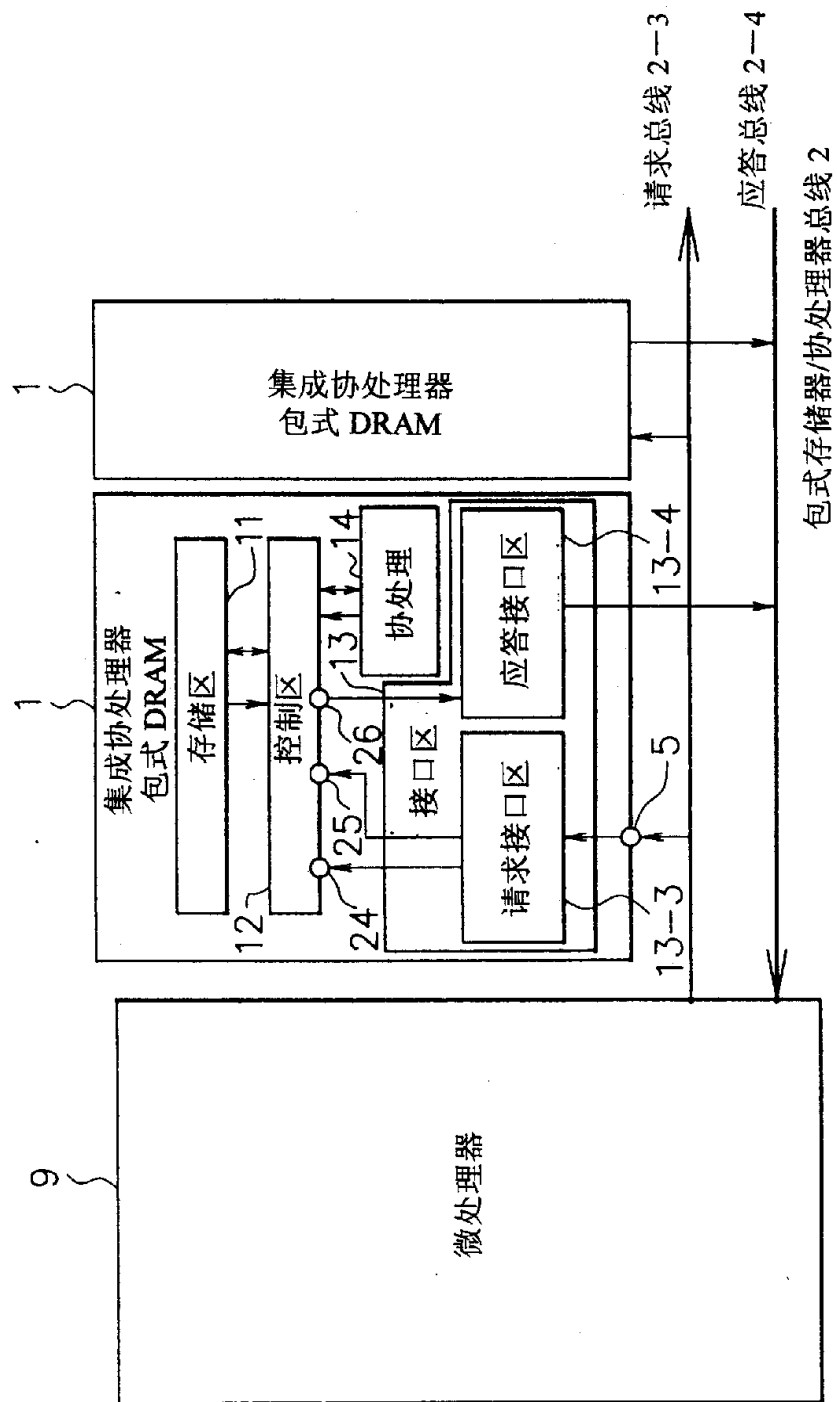


图 10A

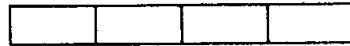


请求包



写数据包

图 10B



读数据包



确认包



图 11A

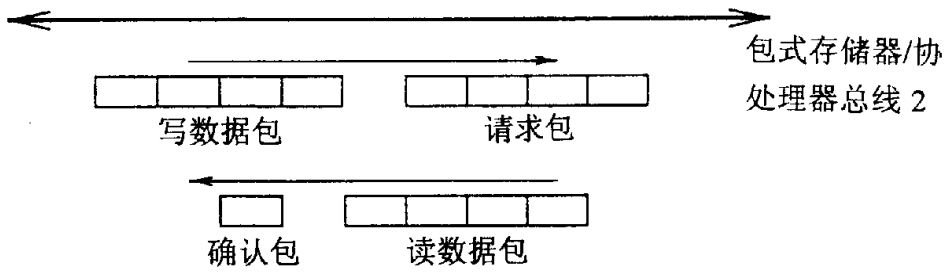


图 11B

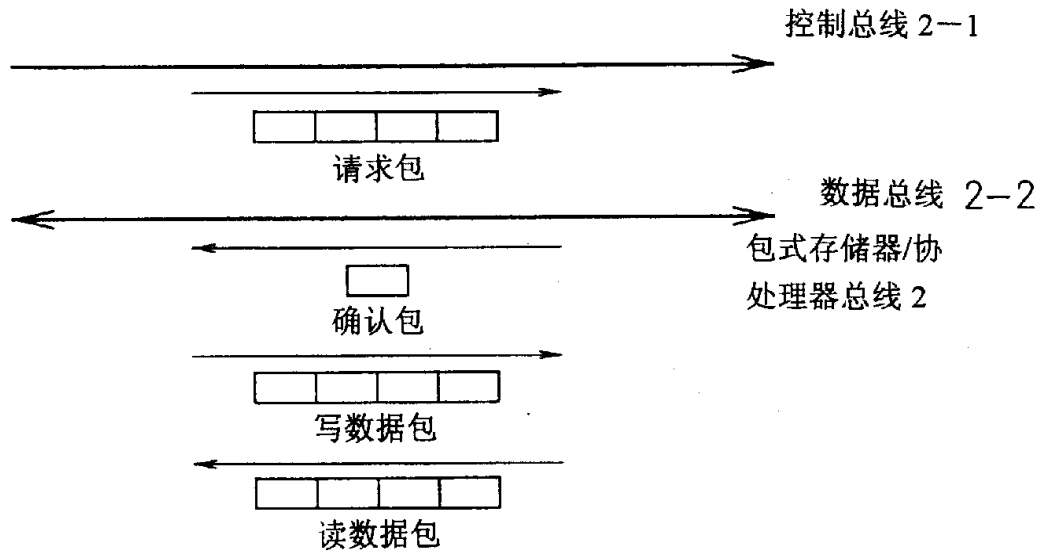


图 11C

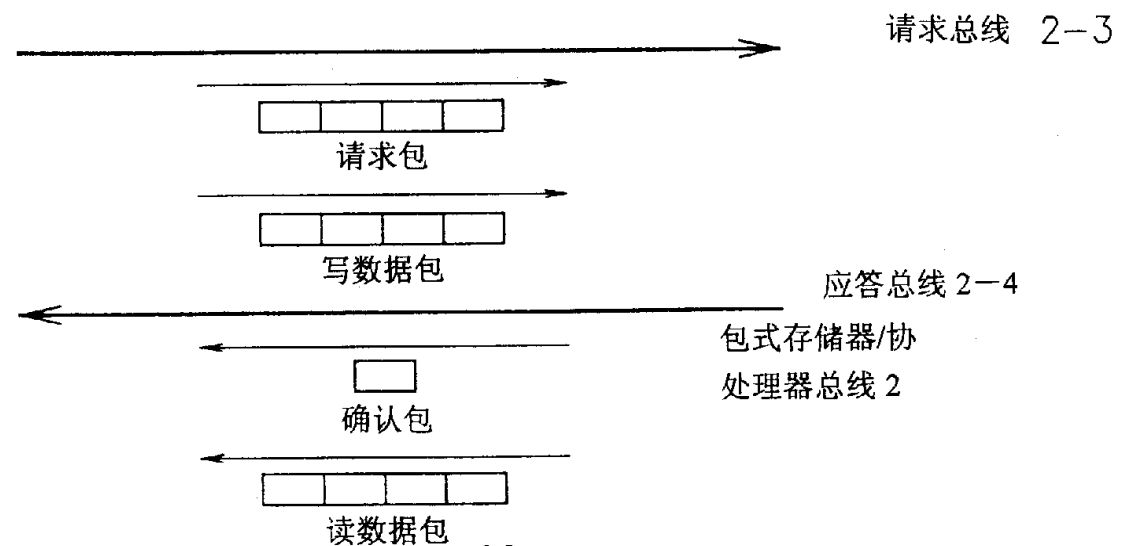




图 12

处理类型	请求者	目标	命令
存储器 存取	总线 主控器	DRAM 核心区	写
			读
		存储控制 寄存器区	写
			读
协处理器 存取	总线 主控器	运算控制 寄存器区	写
			读
初始化	总线 主控器	存储控制寄存器区 运算控制寄存器区	—
刷新	总线 主控器	DRAM 核心区	



图 13A

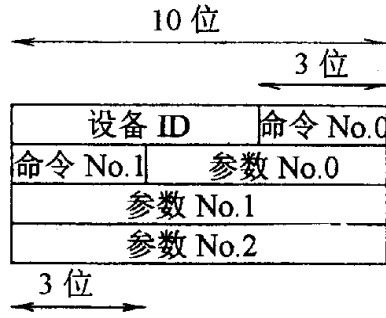


图 13B

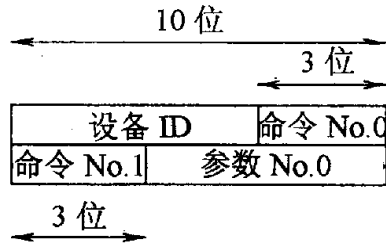


图 13C

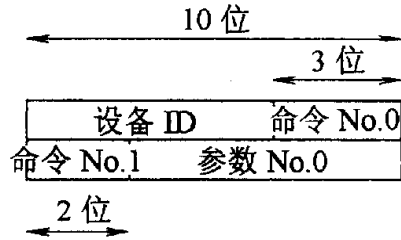


图 13D

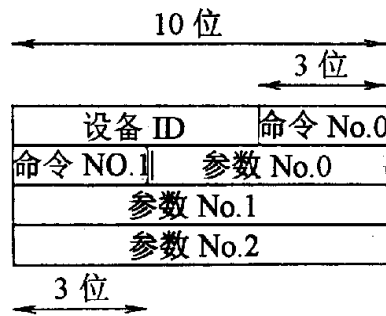


图 13E

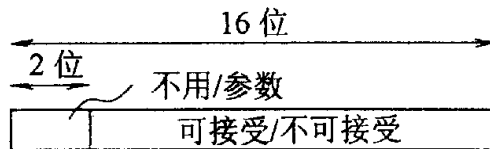
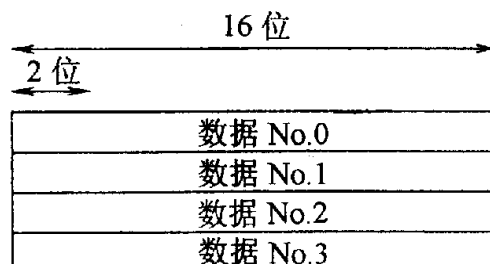


图 13F



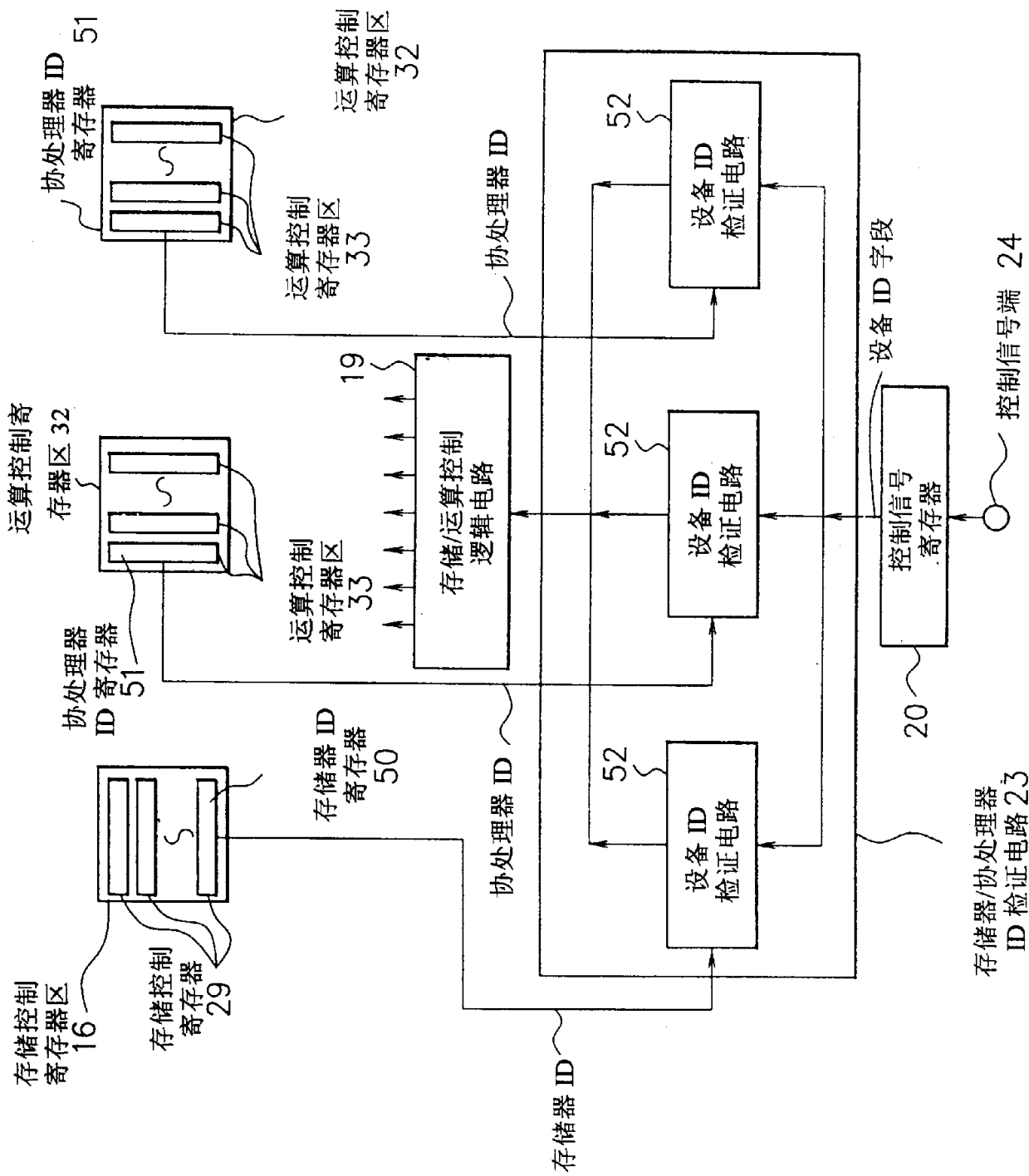


图 14

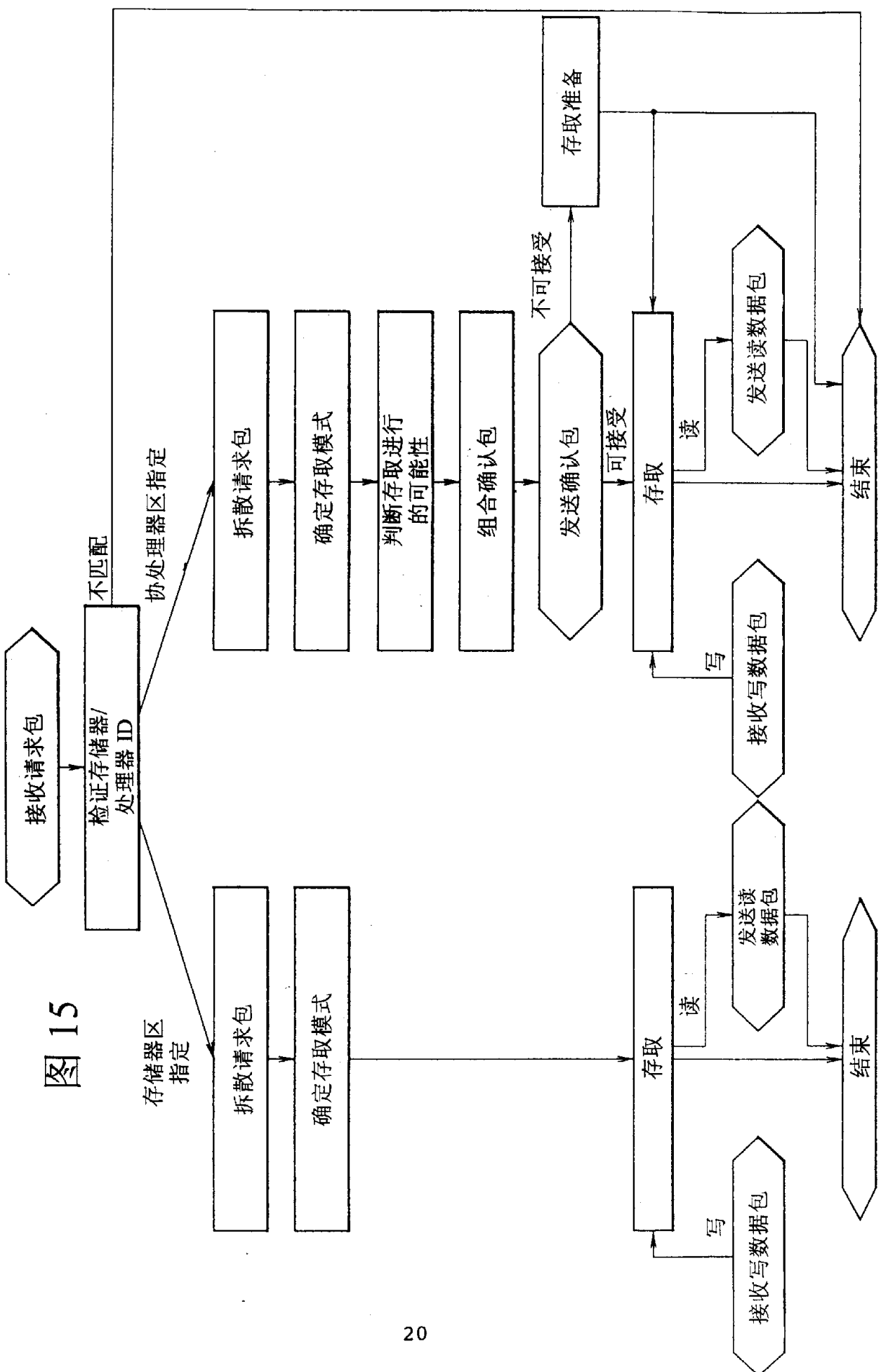
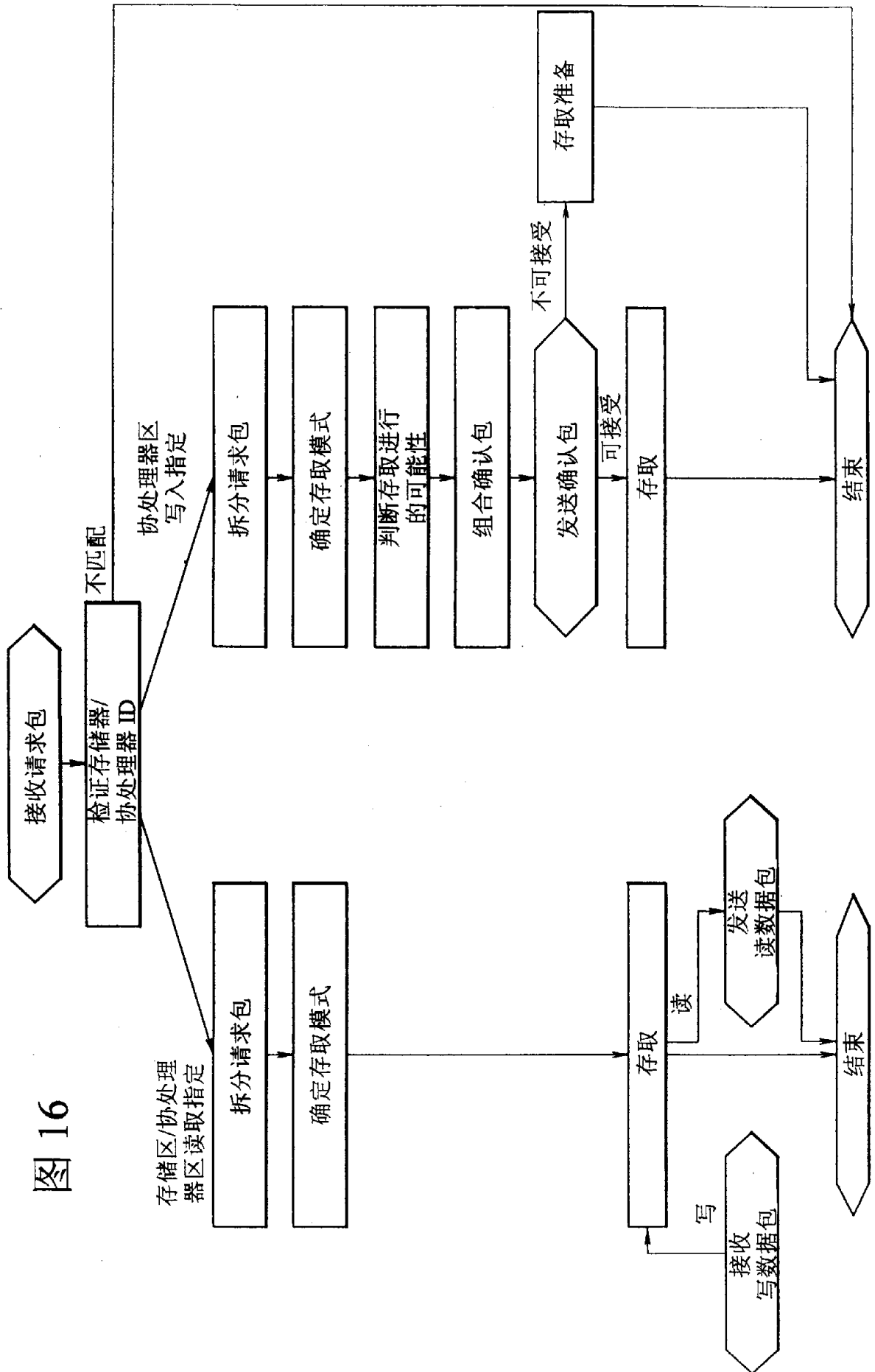


图 15

图 16



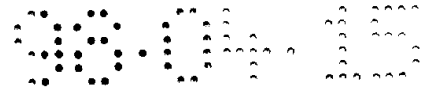


图 17

命令	子命令
写存取	运算参数写入
	运算启动请求
读存取	运算结果请求
	运算状态读取

图 18

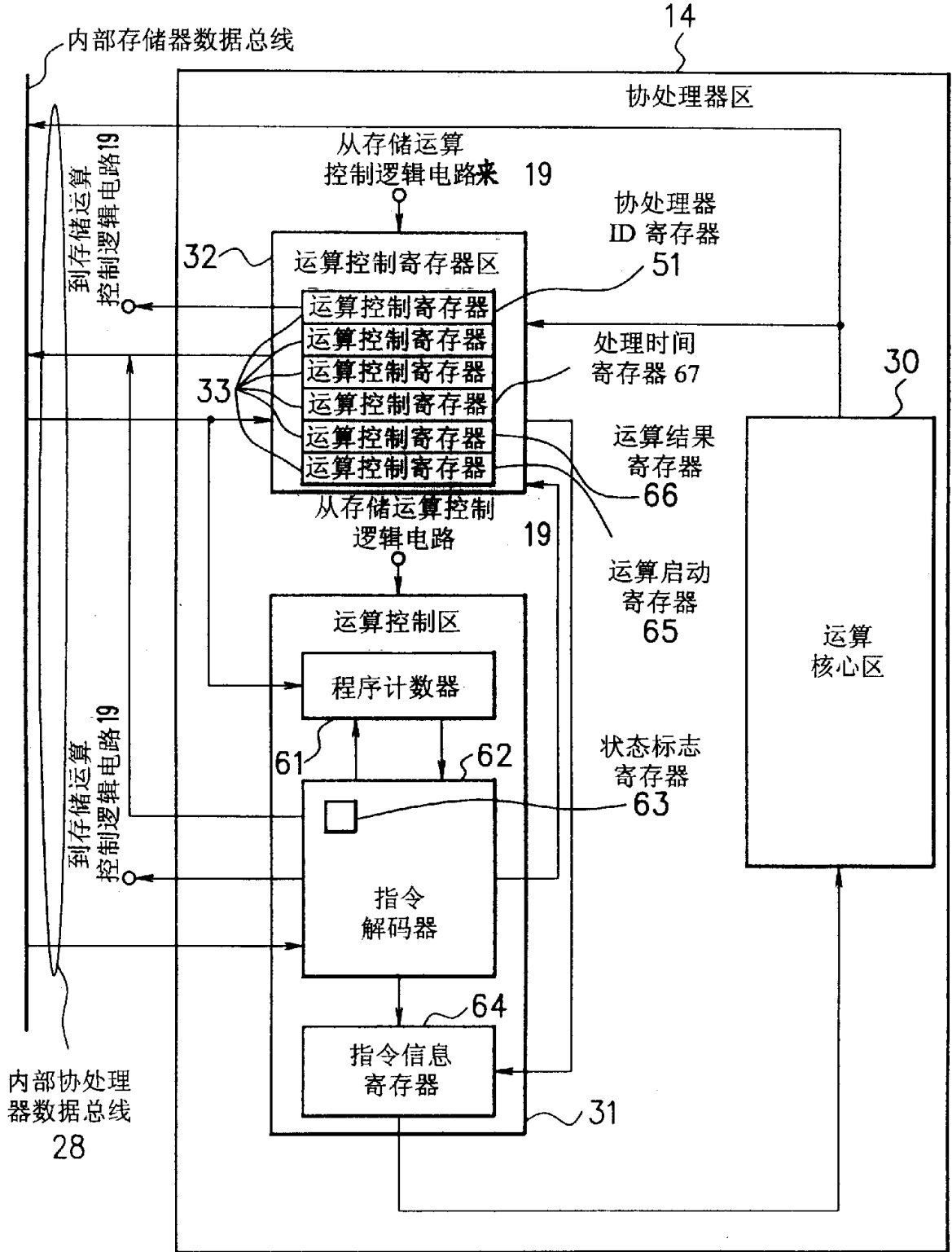




图 19

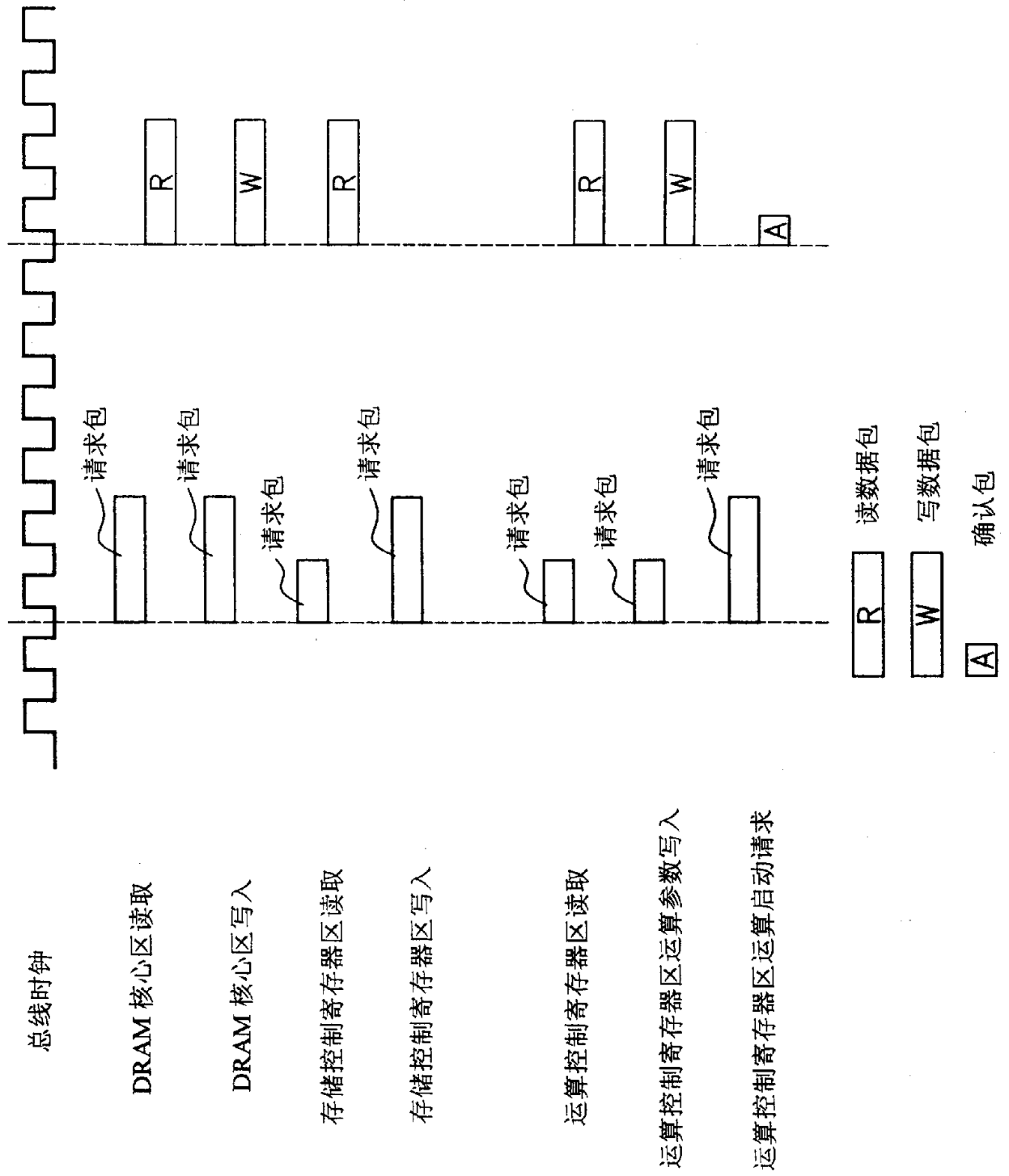


图 20

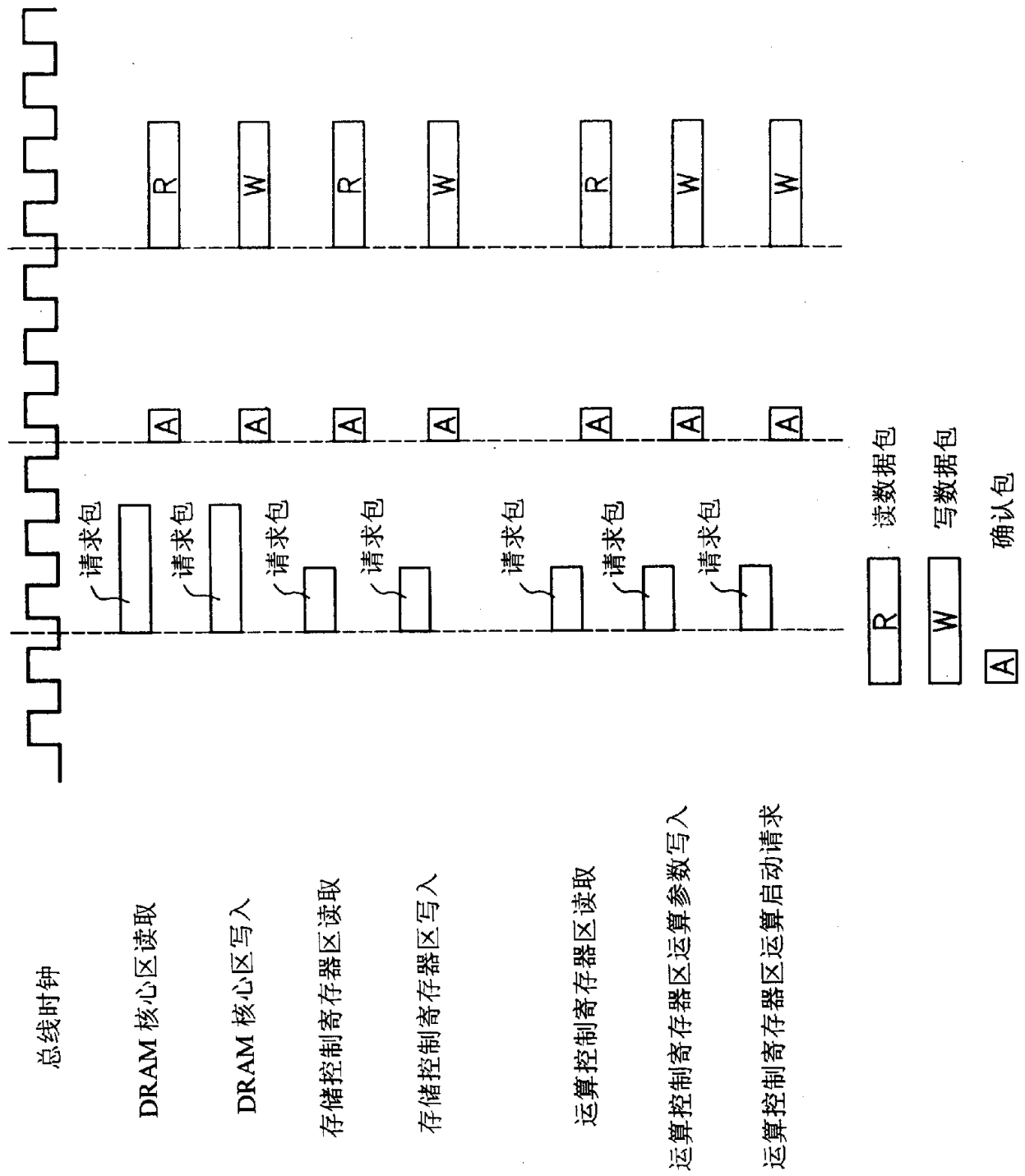
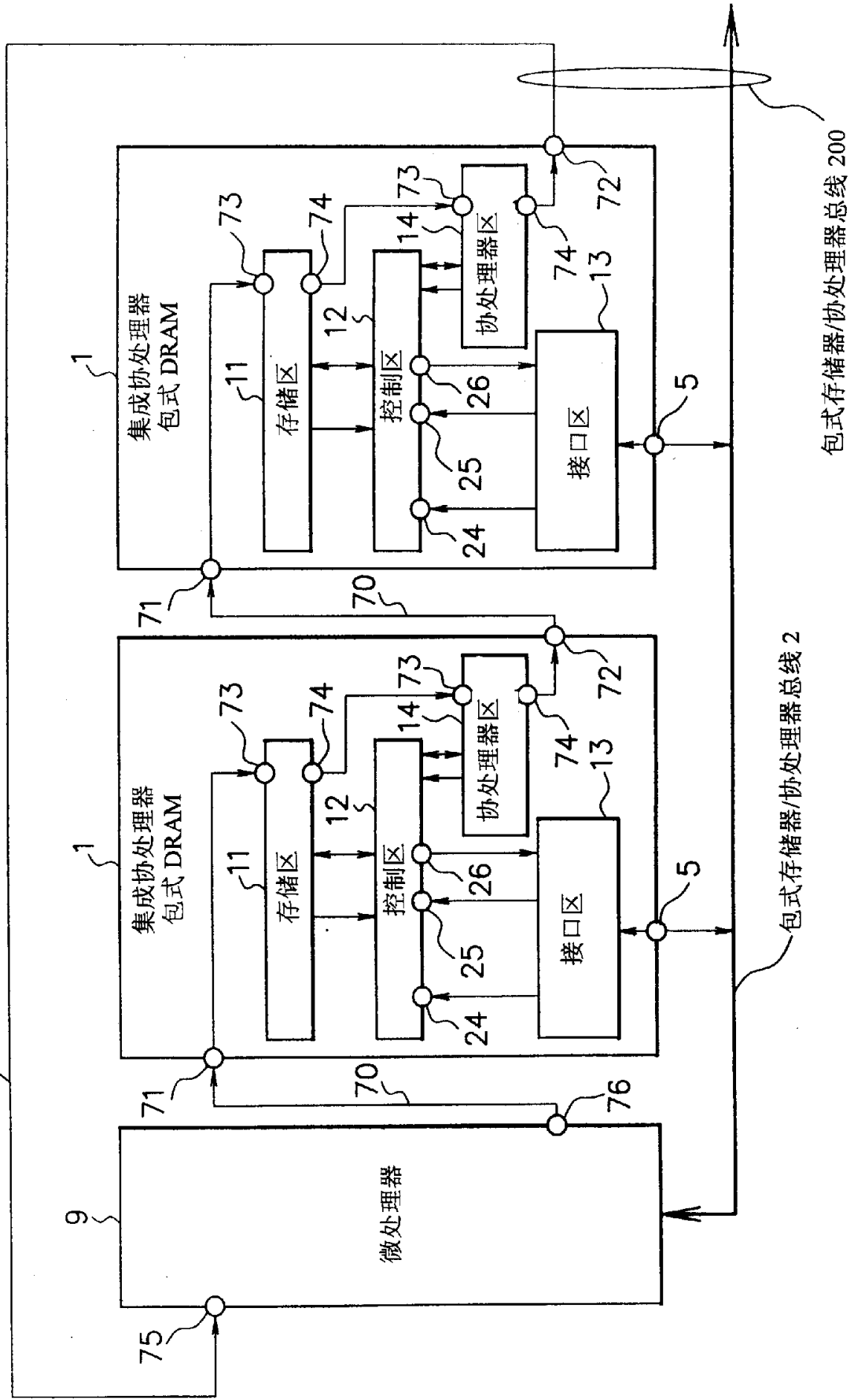


图 21

集成协处理器包式 DRAM 链 70



包式存储器/协处理器总线 2

包式存储器/协处理器总线 200

