

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7031952号

(P7031952)

(45)発行日 令和4年3月8日(2022.3.8)

(24)登録日 令和4年2月28日(2022.2.28)

(51)国際特許分類

F I

G 0 6 F	3/041(2006.01)	G 0 6 F	3/041	4 1 2
G 0 9 G	3/3233(2016.01)	G 0 9 G	3/3233	
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 2 4 B
G 0 9 F	9/30 (2006.01)	G 0 9 G	3/20	6 1 1 H
H 0 1 L	51/50 (2006.01)	G 0 9 G	3/20	6 9 1 D

請求項の数 14 (全21頁) 最終頁に続く

(21)出願番号 特願2018-534861(P2018-534861)

(86)(22)出願日 平成29年9月27日(2017.9.27)

(65)公表番号 特表2020-520484(P2020-520484 A)

(43)公表日 令和2年7月9日(2020.7.9)

(86)国際出願番号 PCT/CN2017/103654

(87)国際公開番号 WO2018/205486

(87)国際公開日 平成30年11月15日(2018.11.15)

審査請求日 令和2年4月6日(2020.4.6)

(31)優先権主張番号 201710334833.5

(32)優先日 平成29年5月12日(2017.5.12)

(33)優先権主張国・地域又は機関
中国(CN)

(73)特許権者 510280589

京東方科技集團股 ぶん 有限公司
BOE TECHNOLOGY GROU
P CO., LTD.中華人民共和国100015北京市朝陽
區酒仙橋路10號
No. 10 Jiuxianqiao R
d., Chaoyang Distri
ct, Beijing 100015,
CHINA

(74)代理人 100133514

弁理士 寺山 啓進

(74)代理人 100070024

弁理士 松永 宣行

(72)発明者 ヤン、 ションチー

最終頁に続く

(54)【発明の名称】 タッチ制御ピクセル駆動回路を駆動する方法とタッチ表示装置

(57)【特許請求の範囲】

【請求項1】

第1期間と、第2期間と、第3期間と、第4期間とを含む駆動周期内で、表示装置におけるタッチ制御ピクセル駆動回路を駆動する方法であって、

前記タッチ制御ピクセル駆動回路は、

データ線及び読み取り線に接続される駆動トランジスタと、

前記駆動トランジスタ及び前記読み取り線に接続される第1電極と、基準電圧端子に接続される第2電極とを有する有機発光ダイオード(OLED)と、

前記データ線及び前記読み取り線に接続され、第1制御信号及び第2制御信号によりリセットされて、前記データ線における高レベル電圧に基づいて生信号を前記読み取り線に送信し、タッチによる前記生信号の変化に応じた感知信号を発生し、前記感知信号を前記読み取り線に送信するための感光タッチサブ回路と、

前記駆動トランジスタに接続され、電源端子からの電源電圧及び前記第1制御信号、前記第2制御信号及び第3制御信号により制御される前記データ線からのデータ信号を利用して前記駆動トランジスタを充電及び放電し、前記OLEDを駆動して発光させるための駆動サブ回路と

を含み、

前記方法は、

前記第1期間で、前記第1制御信号に基づいて前記感光タッチサブ回路をリセットして、更に前記第2制御信号に基づいて、電源電圧を前記駆動トランジスタの制御端子に充電す

るステップと、

前記第 2 期間で、前記第 1 制御信号を保ちながら、前記駆動トランジスタの制御端子を放電して、前記感光タッチサブ回路の前記第 1 期間と同一の状態を維持するステップと、
前記第 3 期間で、光信号を感知し、当該光信号を電流信号に変換させ、データ信号を前記第 3 制御信号により制御される前記駆動トランジスタの制御端子に書き込むステップと、
前記第 4 期間で、前記電流信号を前記読み取り線に伝送し、前記第 2 制御信号を利用して、前記駆動トランジスタを通じて駆動電流を制御して前記 O L E D を発光させるステップと
を含み、

前記第 2 制御信号及び前記第 3 制御信号は、前記第 1 期間、前記第 2 期間、前記第 3 期間及び前記第 4 期間のうち同一の期間において同一の電圧レベルを有し、

10

前記感光タッチサブ回路は、

フォトトランジスタと、

前記フォトトランジスタ及び前記データ線に接続され、前記第 1 制御信号を受信するためのリセットサブサブ回路と、

前記フォトトランジスタ及び前記読み取り線に接続され、前記第 2 制御信号を受信するための伝送サブサブ回路と、

前記フォトトランジスタに接続され、光信号を感知する前記フォトトランジスタにより変換された電流信号を記憶するための記憶サブサブ回路と

を含み、

前記駆動サブ回路は、充電器サブサブ回路と、レギュレータサブサブ回路とを含み、

20

前記リセットサブサブ回路は、前記第 1 制御信号が提供される制御端子と、前記データ線に接続される第 1 端子と、前記フォトトランジスタの制御端子及び第 2 端子に接続される第 2 端子とを有する第 1 トランジスタを含み、

前記伝送サブサブ回路は、前記第 2 制御信号が提供される制御端子と、前記フォトトランジスタの第 1 端子に接続される第 1 端子と、前記読み取り線に接続される第 2 端子とを有する第 2 トランジスタを含み、

前記充電器サブサブ回路は、

前記第 2 制御信号が提供される制御端子と、前記電源端子に接続される第 1 端子と、前記駆動トランジスタの第 1 端子に接続される第 2 端子とを有する第 3 トランジスタと、

前記第 1 制御信号が提供される制御端子と、前記第 3 トランジスタの第 2 端子に接続される第 1 端子と、前記駆動トランジスタの制御端子に接続される第 2 端子とを有する第 4 トランジスタと、

30

前記第 1 制御信号が提供される制御端子と、前記駆動トランジスタの第 2 端子に接続される第 1 端子と、前記基準電圧端子に接続される第 2 端子とを有する第 5 トランジスタと
を含み、

前記レギュレータサブサブ回路は、第 6 トランジスタを含み、

前記第 6 トランジスタは、P 型薄膜トランジスタとして提供され、前記駆動トランジスタ、前記フォトトランジスタ、前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 4 トランジスタ及び前記第 5 トランジスタの各々は、N 型薄膜トランジスタとして提供され、

40

前記第 1 制御信号は、前記第 1 期間及び前記第 2 期間で高電圧レベルに設定され、前記第 3 期間及び前記第 4 期間で低電圧レベルに設定され、

前記第 2 制御信号及び前記第 3 制御信号は、両方とも、前記第 1 期間で前記高電圧レベルに設定され、前記第 2 期間及び前記第 3 期間で前記低電圧レベルに設定され、前記第 4 期間で前記高電圧レベルに設定されることを特徴とする方法。

【請求項 2】

前記第 1 制御信号は、リセット期間でターンオン信号を提供し、前記第 1 トランジスタが導通状態となるようにして、前記データ線からの高電圧レベルの初期データ信号が前記生信号として前記フォトトランジスタに渡されるようにするためであることを特徴とする請求項 1 に記載の方法。

50

【請求項 3】

前記フォトトランジスタは、外部光信号により照射される時、光電流信号を発生するためであり、前記光電流信号は、前記生信号の変化として前記生信号に追加されることを特徴とする請求項 2 に記載の方法。

【請求項 4】

前記第 2 制御信号は、ターンオン信号を提供し、前記第 2 トランジスタが導通状態となるようにして、前記生信号又は前記フォトトランジスタからの前記生信号の変化が前記読み取り線に渡されるようにするためであることを特徴とする請求項 3 に記載の方法。

【請求項 5】

前記記憶サブ回路は、前記フォトトランジスタの第 1 端子に接続される第 1 電極と、前記フォトトランジスタの制御端子に接続される第 2 電極とを有する第 1 キャパシタを含むことを特徴とする請求項 1 に記載の方法。

10

【請求項 6】

前記充電器サブ回路は、前記電源端子、前記駆動トランジスタ及び前記基準電圧端子に接続されるように構成され、前記第 1 制御信号及び前記第 2 制御信号を受信して、前記電源端子からの前記電源電圧により前記駆動トランジスタの充電又は放電を制御するためであり、

前記レギュレータサブ回路は、前記データ線及び前記駆動トランジスタと接続されるように構成され、前記第 3 制御信号を受信して、前記駆動トランジスタの制御端子における電圧レベルを調整するためであることを特徴とする請求項 1 に記載の方法。

20

【請求項 7】

前記充電器サブ回路は、更に、前記第 2 制御信号を受信して、前記駆動トランジスタが導通状態となるようにし、駆動電流を通過させて、前記 O L E D を駆動して発光させるためであることを特徴とする請求項 6 に記載の方法。

【請求項 8】

前記レギュレータサブ回路は、第 2 キャパシタをさらに含み、

前記第 6 トランジスタは、前記第 3 制御信号が提供される制御端子と、前記データ線に接続される第 1 端子と、前記第 2 キャパシタの第 1 電極に接続される第 2 端子とを有し、

前記第 2 キャパシタは、前記駆動トランジスタの制御端子に接続される第 2 電極を有することを特徴とする請求項 6 に記載の方法。

30

【請求項 9】

前記電源端子は、高電圧レベルの電源電圧を提供し、前記基準電圧端子は、低電圧レベルに接地されることを特徴とする請求項 6 に記載の方法。

【請求項 10】

サブピクセル間領域により分かれるマトリクス配列に配置される複数のサブピクセル領域を有する表示領域を含むタッチ表示装置であって、

前記複数のサブピクセル領域の少なくとも一つのサブピクセルは、請求項 1 乃至 9 のいずれか一項のタッチ制御ピクセル駆動回路を駆動する方法の感光タッチサブ回路を含むことを特徴とするタッチ表示装置。

【請求項 11】

前記複数のサブピクセル領域の部分集合の各々は、前記感光タッチサブ回路を含み、前記複数のサブピクセル領域の部分集合は、前記表示領域内に周期的に配列されていることを特徴とする請求項 10 に記載のタッチ表示装置。

40

【請求項 12】

前記感光タッチサブ回路により感知される光信号から変換された光電流信号を処理して、前記表示領域でタッチが発生するか否かを判定し、前記タッチが判定される場合、前記表示領域における対応するタッチ位置を判定するための信号処理ブロックを更に含み、

前記タッチは、レーザー光線照射又は指タッチであることを特徴とする請求項 10 に記載のタッチ表示装置。

【請求項 13】

50

前記信号処理ブロックは、アンプと、プロセッサとを含み、
 前記アンプは、前記感光タッチサブ回路に接続され、前記光電流信号を受信して、増幅された信号を発生し、
 前記プロセッサは、前記アンプに接続され、前記増幅された信号と生信号の間の強度差と、非タッチ閾値とを比較し、前記強度差が前記非タッチ閾値より大きい場合、タッチの発生有り及び対応するタッチ位置を判定し、或いは、前記強度差が前記非タッチ閾値より小さい場合、タッチの発生が無いことを判定することを特徴とする請求項12に記載のタッチ表示装置。

【請求項14】

前記タッチ位置は、第2制御信号が出力される制御線位置に基づくX座標及び前記光電流信号が収集される読み取り線に沿う前記感光タッチサブ回路の位置に基づくY座標を利用して判定されることを特徴とする請求項13に記載のタッチ表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2017年5月12日に中国特許庁に提出された中国特許出願第201710334833.5号の優先権を主張し、その全ての内容が援用により本出願に取り込まれる。

【0002】

本発明は、表示技術に関し、特に、ピクセル駆動回路、ピクセル駆動方法、表示パネル及び表示パネルを有する表示装置に関する。

【背景技術】

【0003】

アクティブ・マトリクス有機発光ダイオード(AMOLED)ディスプレイは、表示装置分野における研究者の主な関心を引き付けている。AMOLEDディスプレイは、低い電力消費、低い製造コスト、自発光、広い視野角、速い応答速度の点で他のタイプのディスプレイより実に多数の利点を示し、スマートフォン、PDA、デジタルカメラ等のような幅広い製品に適用されている。

【0004】

従来のAMOLEDディスプレイは、単にディスプレイの各ピクセルと関連付けられ、ただ対応する有機発光ダイオードを駆動して発光させるためのピクセル駆動回路により画像表示を行うのに用いられる。ディスプレイ技術の現在の傾向は、表示装置に、単に表示機能だけでなく、追加機能を持たせることである。例えば、表示装置、特にAMOLED表示装置にタッチ制御機能をもたせることが望まれる。

【発明の概要】

【0005】

一態様において、本開示は、表示装置におけるタッチ制御ピクセル駆動回路を提供する。前記回路は、データ線及び読み取り線に接続される駆動トランジスタを含む。加えて、前記回路は、前記駆動トランジスタ及び前記読み取り線に接続される第1電極を有する有機発光ダイオード(OLED)を含む。更に、前記回路は、基準電圧端子に接続される第2電極を含む。更に、前記回路は、前記データ線及び前記読み取り線に接続され、第1制御信号及び第2制御信号によりリセットされて、前記データ線における高レベル電圧に基づいて生信号を前記読み取り線に送信し、タッチによる前記生信号の変化に応じた感知信号を発生し、前記感知信号を前記読み取り線に送信するための感光タッチサブ回路を含む。更に、前記回路は、前記駆動トランジスタに接続され、電源端子からの電源電圧及び前記第1制御信号、前記第2制御信号及び第3制御信号により制御される前記データ線からのデータ信号を利用して前記駆動トランジスタを充電及び放電し、前記OLEDを駆動して発光させるための駆動サブ回路を含む。

【0006】

10

20

30

40

50

選択可能に、前記感光タッチサブ回路は、フォトトランジスタと、前記フォトトランジスタ及び前記データ線に接続され、前記第1制御信号を受信するためのリセットサブ回路と、前記フォトトランジスタ及び前記読み取り線に接続され、前記第2制御信号を受信するための伝送サブ回路と、前記フォトトランジスタに接続され、光信号を感知する前記フォトトランジスタにより変換された電流信号を記憶するための記憶サブ回路とを含む。

【0007】

選択可能に、前記リセットサブ回路は、前記第1制御信号が提供される制御端子と、前記データ線に接続される第1端子と、前記フォトトランジスタの制御端子及び第2端子に接続される第2端子とを有する第1トランジスタを含む。前記第1制御信号は、リセット期間でターンオン信号を提供し、前記第1トランジスタが導通状態となるようにして、前記データ線からの高電圧レベルの初期データ信号が前記生信号として前記フォトトランジスタに渡されるようにするためである。

10

【0008】

選択可能に、前記フォトトランジスタは、外部光信号により照射される時、光電流信号を発生するためである。前記光電流信号は、前記生信号の変化として前記生信号に追加される。

【0009】

選択可能に、前記伝送サブ回路は、前記第2制御信号が提供される制御端子と、前記フォトトランジスタの第1端子に接続される第1端子と、前記読み取り線に接続される第2端子とを有する第2トランジスタを含む。前記第2制御信号は、ターンオン信号を提供し、前記第2トランジスタが導通状態となるようにして、前記生信号又は前記フォトトランジスタからの前記生信号の変化が前記読み取り線に渡されるようにするためである。

20

【0010】

選択可能に、前記記憶サブ回路は、前記フォトトランジスタの第1端子に接続される第1電極と、前記フォトトランジスタの制御端子に接続される第2電極とを有する第1キャパシタを含む。

【0011】

選択可能に、前記駆動サブ回路は、充電器サブ回路と、レギュレータサブ回路とを含む。前記充電器サブ回路は、前記電源端子、前記駆動トランジスタ及び前記基準電圧端子に接続されるように構成され、前記第1制御信号及び前記第2制御信号を受信して、前記電源端子からの前記電源電圧により前記駆動トランジスタの充電又は放電を制御するためである。前記レギュレータサブ回路は、前記データ線及び前記駆動トランジスタと接続されるように構成され、前記第3制御信号を受信して、前記駆動トランジスタの制御端子における電圧レベルを調整するためである。

30

【0012】

選択可能に、前記充電器サブ回路は、更に、前記第2制御信号を受信して、前記駆動トランジスタが導通状態となるようにし、駆動電流を通過させて、前記OLEDを駆動して発光させるためである。

【0013】

選択可能に、前記充電器サブ回路は、前記第2制御信号が提供される制御端子と、前記電源端子に接続される第1端子と、前記駆動トランジスタの第1端子に接続される第2端子とを有する第3トランジスタを含む。加えて、前記充電器サブ回路は、前記第1制御信号が提供される制御端子と、前記第3トランジスタの第2端子に接続される第1端子と、前記駆動トランジスタの制御端子に接続される第2端子とを有する第4トランジスタを含む。前記充電器サブ回路は、前記第1制御信号が提供される制御端子と、前記駆動トランジスタの第2端子に接続される第1端子と、前記基準電圧端子に接続される第2端子とを有する第5トランジスタを更に含む。

40

【0014】

選択可能に、前記レギュレータサブ回路は、第6トランジスタと、第2キャパシタと

50

を含む。前記第 6 トランジスタは、前記第 3 制御信号が提供される制御端子と、前記データ線に接続される第 1 端子と、前記第 2 キャパシタの第 1 電極に接続される第 2 端子とを有する。前記第 2 キャパシタは、前記駆動トランジスタの制御端子に接続される第 2 電極を有する。

【 0 0 1 5 】

選択可能に、前記電源端子は、高電圧レベルの電源電圧を提供し、前記基準電圧端子は、低電圧レベルに接地される。

【 0 0 1 6 】

他の一態様において、本開示は、第 1 期間と、第 2 期間と、第 3 期間と、第 4 期間とを含む駆動周期内で、ここに記載されるタッチ制御ピクセル駆動回路を駆動する方法を提供する。前記方法は、前記第 1 期間で、前記第 1 制御信号に基づいて前記感光タッチサブ回路をリセットして、更に前記第 2 制御信号に基づいて、電源電圧を前記駆動トランジスタの制御端子に充電するステップを含む。加えて、前記方法は、前記第 2 期間で、前記第 1 制御信号を保ちながら、前記駆動トランジスタの制御端子を放電して、前記感光タッチサブ回路の前記第 1 期間と同一の状態を維持するステップを含む。前記方法は、前記第 3 期間で、光信号を感知し、当該光信号を電流信号に変換させ、データ信号を前記第 3 制御信号により制御される前記駆動トランジスタの制御端子に書き込むステップを更に含む。更に、前記方法は、前記第 4 期間で、前記電流信号を前記読み取り線に伝送し、前記第 2 制御信号を利用して、前記駆動トランジスタを通じて駆動電流を制御して前記 O L E D を発光させるステップを含む。

【 0 0 1 7 】

選択可能に、前記第 2 制御信号及び前記第 3 制御信号は、前記第 1 期間、前記第 2 期間、前記第 3 期間及び前記第 4 期間のうち同一の期間において高電圧レベル又は低電圧レベルに設定される。

【 0 0 1 8 】

選択可能に、前記駆動トランジスタ、前記フォトトランジスタ、前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタの各々は、N 型薄膜トランジスタとして提供される。前記第 1 制御信号は、前記第 1 期間及び前記第 2 期間で高電圧レベルに設定され、前記第 3 期間及び前記第 4 期間で低電圧レベルに設定される。前記第 2 制御信号は、前記第 1 期間で高電圧レベルに設定され、前記第 2 期間及び前記第 3 期間で低電圧レベルに設定され、前記第 4 期間で高電圧レベルに設定される。前記第 3 制御信号は、前記第 1 期間で低電圧レベルに設定され、前記第 2 期間及び前記第 3 期間で高電圧レベルに設定され、前記第 4 期間で低電圧レベルに設定される。

【 0 0 1 9 】

選択可能に、前記第 2 制御信号及び前記第 3 制御信号は、前記第 1 期間、前記第 2 期間、前記第 3 期間及び前記第 4 期間のうち同一の期間において同一の電圧レベルを有する。

【 0 0 2 0 】

選択可能に、前記第 6 トランジスタは、P 型薄膜トランジスタとして提供され、前記駆動トランジスタ、前記フォトトランジスタ、前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 4 トランジスタ及び前記第 5 トランジスタの各々は、N 型薄膜トランジスタとして提供される。前記第 1 制御信号は、前記第 1 期間及び前記第 2 期間で高電圧レベルに設定され、前記第 3 期間及び前記第 4 期間で低電圧レベルに設定される。前記第 2 制御信号及び前記第 3 制御信号は、両方とも、前記第 1 期間で高電圧レベルに設定され、前記第 2 期間及び前記第 3 期間で低電圧レベルに設定され、前記第 4 期間で高電圧レベルに設定される。

【 0 0 2 1 】

選択可能に、前記第 2 トランジスタ及び前記第 3 トランジスタの各々は、P 型薄膜トランジスタとして提供され、前記駆動トランジスタ、前記フォトトランジスタ、前記第 1 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタの各

10

20

30

40

50

々は、N型薄膜トランジスタとして提供される。前記第1制御信号は、前記第1期間及び前記第2期間で高電圧レベルに設定され、前記第3期間及び前記第4期間で低電圧レベルに設定される。前記第2制御信号及び前記第3制御信号は、両方とも、前記第1期間で低電圧レベルに設定され、前記第2期間及び前記第3期間で高電圧レベルに設定され、前記第4期間で低電圧レベルに設定される。

【0022】

また一つの態様において、本開示は、サブピクセル間領域により分かれるマトリクス配列に配置される複数のサブピクセル領域を有する表示領域を含むタッチ表示装置を提供する。前記複数のサブピクセル領域の少なくとも一つのサブピクセルは、ここに記載される前記タッチ制御ピクセル駆動回路の感光タッチサブ回路を含む。

10

【0023】

選択可能に、前記複数のサブピクセル領域の部分集合の各々は、前記感光タッチサブ回路を含む。前記複数のサブピクセル領域の部分集合は、前記表示領域内に周期的に配列されている。

【0024】

選択可能に、前記タッチ表示装置は、前記感光タッチサブ回路により感知される光信号から変換された前記光電流信号を処理して、前記表示領域でタッチが発生するか否かを判定し、前記タッチが判定される場合、前記表示領域における対応するタッチ位置を判定するための信号処理ブロックを更に含む。前記タッチは、レーザー光線照射又は指タッチである。

20

【0025】

選択可能に、前記信号処理ブロックは、アンプと、プロセッサとを含む。前記アンプは、前記感光タッチサブ回路に接続され、前記光電流信号を受信して、増幅された信号を発生する。前記プロセッサは、前記アンプに接続され、前記増幅された信号と生信号の間の強度差と、非タッチ閾値とを比較し、前記強度差が前記非タッチ閾値より大きい場合、タッチの発生有り及び対応するタッチ位置を判定し、或いは、前記強度差が前記非タッチ閾値より小さい場合、タッチの発生が無いことを判定する。

【0026】

選択可能に、前記タッチ位置は、第2制御信号が出力される制御線位置に基づくX座標及び前記光電流信号が収集される読み取り線に沿う前記感光タッチサブ回路の位置に基づくY座標を利用して判定される。

30

【0027】

以下の図面は、ただ開示された様々な実施例による説明の目的で使用された例であり、本発明の範囲を限定することを意図するものではない。

【図面の簡単な説明】

【0028】

【図1】本開示の一実施例に係るタッチ制御ピクセル駆動回路の簡素化されたブロック図である。

【図2】本開示の他の一実施例に係るタッチ制御ピクセル駆動回路の簡素化されたブロック図である。

40

【0029】

【図3】本開示の一実施例に係るタッチ制御ピクセル駆動回路の回路構造である。

【図4】本開示の一実施例に係る一つの駆動周期内で図3のタッチ制御ピクセル駆動回路を動作させるタイミング図である。

【図5】本開示の一実施例に係る第1期間において動作させられるタッチ制御ピクセル駆動回路の回路構造である。

【図6】本開示の一実施例に係る第2期間において動作させられるタッチ制御ピクセル駆動回路の回路構造である。

【図7】本開示の一実施例に係る第3期間において動作させられるタッチ制御ピクセル駆動回路の回路構造である。

50

【図 8 A】本開示の一実施例に係る前記タッチ制御ピクセル駆動回路でタッチが発生する時、前記読み取り線で検出された信号変化を示す模式図である。

【図 8 B】本開示の他の一実施例に係る前記タッチ制御ピクセル駆動回路でタッチが発生する時、前記読み取り線で検出された信号変化を示す模式図である。

【図 9】本開示の一実施例に係る第 4 期間において動作させられるタッチ制御ピクセル駆動回路の回路構造である。

【図 10】従来のピクセル駆動回路の回路構造である。

【図 11】本開示の他の一実施例に係るタッチ制御ピクセル駆動回路の回路構造である。

【図 12】本開示の他の一実施例に係る図 11 のタッチ制御ピクセル駆動回路を動作させるタイミング図である。

10

【図 13】本開示のまた一つの実施例に係るタッチ制御ピクセル駆動回路の回路構造である。

【図 14】本開示の他の一実施例に係る図 13 のタッチ制御ピクセル駆動回路を動作させるタイミング図である。

【図 15】本開示の一実施例に係るタッチ表示装置の模式図である。

【発明を実施するための形態】

【0030】

次に、以下の実施例を参照しながら本開示をより具体的に説明する。説明すべきことは、幾つかの実施例に対する以下の説明は、ただ解釈及び説明の目的でここに記載される。これは、網羅的であること又は開示された正確な形式に限ることを意図するものではない。

20

【0031】

現在のディスプレイ技術の発展傾向の下で、タッチ制御技術は、幾つかの従来の表示装置に実施されている静電容量式タッチ技術を含む。選択可能なタッチ技術は、感光タッチ技術である。静電容量式タッチ技術とは異なり、感光タッチ技術は、光強度変化を利用してタッチ位置を感知し、タッチモーションに対する高感度及び表示装置におけるタッチセンサーモジュールの寸法の独立性を提供する。加えて、感光タッチ技術は、直接的指タッチ制御をサポートするだけでなく、遠い距離からのレーザーペンタッチ制御もサポートする。感光タッチ機能を AMOLED 表示装置に実施して画像表示並びに感光タッチ制御サポートができるようにすることが望ましい。

【0032】

30

従って、本開示は、特に、関連技術の限界及び欠点による 1 つ又はそれ以上の問題点を顕著に避けることのできるタッチ制御ピクセル駆動回路、表示パネル、表示パネルを有する表示装置及びその駆動方法を提供する。

【0033】

一態様において、本開示は、AMOLED 表示パネルのタッチ制御ピクセル駆動回路を提供する。図 1 は、本開示の一実施例に係るタッチ制御ピクセル駆動回路の簡素化されたブロック図である。図 1 を参照すると、前記タッチ制御ピクセル駆動回路は、感光タッチサブ回路 1 と、駆動サブ回路 2 と、駆動トランジスタ D T F T と、有機発光ダイオード O L E D とを含む。

【0034】

40

前記感光タッチサブ回路 1 は、第 1 走査線 S c a n 1 に接続される第 1 制御端子と、第 2 走査線 S c a n 2 に接続される第 2 制御端子と、データ線 D A T A に接続される第 1 端子と、読み取り線に接続される第 2 端子とを有する。本実施例において、前記感光タッチサブ回路は、前記第 1 制御端子で前記第 1 走査線 S c a n 1 から受信した第 1 制御信号及び前記第 2 制御端子で前記第 2 走査線 S c a n 2 から受信した第 2 制御信号の制御下でリセット動作を行うためである。更に、前記感光タッチサブ回路は、前記読み取り線に初期信号を送信してタッチを感知し、対応するタッチ信号を前記読み取り線に送信するためである。

【0035】

前記駆動サブ回路 2 は、前記第 1 走査線 S c a n 1 に接続される第 1 制御端子と、前記第

50

2 走査線 S c a n 2 に接続される第 2 制御端子と、第 3 走査線 E M に接続される第 3 制御端子と、前記データ線 D A T A に接続される第 1 端子と、電源 V D D に接続される第 2 端子と、前記駆動トランジスタ D T F T の第 2 端子に接続される第 3 端子と、前記駆動トランジスタ D T F T のゲートの制御端子に接続される第 4 端子と、前記駆動トランジスタ D T F T の第 1 端子に接続される第 5 端子と、基準電圧端子 V S S 及び前記 O L E D の第 2 端子に接続される第 6 端子と、を有する。

【 0 0 3 6 】

本実施例において、前記駆動サブ回路 2 は、S c a n 1 からの前記第 1 制御信号、S c a n 2 からの前記第 2 制御信号及び前記第 3 走査線 E M からの第 3 制御信号の制御下で、前記電源電圧 V D D 及び前記データ線 D A T A からのデータ信号を利用して前記駆動トランジスタ D T F T の制御端子を充電又は放電するためである。更に、前記駆動サブ回路は、前記 O L E D を駆動して発光させるためである。

10

【 0 0 3 7 】

選択可能に、前記タッチ制御ピクセル駆動回路は、A M O L E D 表示装置に適用され、その内、前記感光タッチサブ回路 1 及び前記駆動サブ回路は、同一の A M O L E D 表示装置において、それぞれタッチ制御機能及び表示機能を持つ。即ち、前記タッチ制御ピクセル駆動回路は、前記 A M O L E D 表示装置を駆動して画像表示を行い、前記 A M O L E D 表示装置を駆動して、感光タッチ機能に基づいて、その表示パネルにタッチ制御動作を行うことができ、前記 A M O L E D 表示装置の価値を高める。前記 A M O L E D 表示パネルは、駆動電流を利用して各サブピクセル内の O L E D を駆動して発光させるように構成され、グレースケール表示媒体としての液晶材料を必要としないため、前記感光タッチ制御が画像表示に影響することがない。

20

【 0 0 3 8 】

図 1 を参照すると、前記タッチ制御ピクセル駆動回路は、前記第 1 走査線 S c a n 1、前記第 2 走査線 S c a n 2 及び前記第 3 走査線 E M からの三つの制御信号のみを利用して、前記感光タッチサブ回路 1 及び駆動サブ回路 2 がそれぞれの機能を実現可能にする。このような回路構造は、従来手法に比べ、走査線の数量を大幅に減らし、特に、前記タッチ制御ピクセル駆動回路にタッチ制御信号を提供するのに用いられる信号線の数量を減らす。こうして、ここに開示される前記タッチ制御ピクセル駆動回路は、タッチ制御機能を A M O L E D 表示装置で実施する複雑さを軽減する。

30

【 0 0 3 9 】

図 2 は、本開示の他の一実施例に係るタッチ制御ピクセル駆動回路の簡素化されたブロック図である。図 2 を参照すると、一実施例において、前記感光タッチサブ回路 1 は、フォトトランジスタ T 0 と、リセットサブサブ回路 1 1 と、伝送サブサブ回路 1 2 と、記憶サブサブ回路 1 3 とを含む。前記リセットサブサブ回路 1 1 は、前記第 1 走査線 S c a n 1 に接続される制御端子と、データ線 D A T A に接続される第 1 端子と、前記フォトトランジスタ T 0 の制御端子及び第 2 端子に接続される第 2 端子とを有する。本実施例において、前記リセットサブサブ回路 1 1 は、前記第 1 走査線 S c a n 1 からの第 1 制御信号及び前記第 2 走査線 S c a n 2 からの第 2 制御信号の制御下で、前記フォトトランジスタ T 0 及び前記記憶サブサブ回路 1 3 をリセットするためである。

40

【 0 0 4 0 】

図 2 を参照すると、前記伝送サブサブ回路 1 2 は、前記第 2 走査線 S c a n 2 に接続される制御端子と、前記フォトトランジスタ T 0 の第 1 端子に接続される第 1 端子と、読み取り線に接続される第 2 端子とを有する。本実施例において、前記伝送サブサブ回路 1 2 は、前記第 2 制御信号の制御下で、前記フォトトランジスタ T 0 の初期信号を前記読み取り線に渡すためである。前記フォトトランジスタ T 0 は、外部光信号を感知し、前記光信号を電気信号に変換するためである。前記記憶サブサブ回路 1 3 は、前記フォトトランジスタ T 0 の制御端子及び第 1 端子に接続され、前記フォトトランジスタにより前記光信号から変換された前記電気信号を記憶する。前記伝送サブサブ回路 1 2 は、更に、前記第 2 制御信号の制御下で、前記電気信号を前記読み取り線に渡すためである。

50

【 0 0 4 1 】

再度図 2 を参照すると、前記駆動サブ回路 2 は、充電器サブサブ回路 2 1 と、レギュレータサブサブ回路 2 2 とを含む。前記充電器サブサブ回路 2 1 は、前記第 1 走査線 S c a n 1 に接続される第 1 制御端子と、前記第 2 走査線 S c a n 2 に接続される第 2 制御端子と、電源 V D D に接続される第 1 端子と、前記駆動トランジスタ D T F T の第 2 端子に接続される第 2 端子と、前記駆動トランジスタ D T F T の制御端子又はゲートに接続される第 3 端子と、前記駆動トランジスタ D T F T の第 1 端子に接続される第 4 端子と、基準電圧端子 V S S に接続される第 5 端子とを有する。本実施例において、前記充電器サブサブ回路 2 1 は、前記第 1 制御信号及び前記第 2 制御信号の制御下で、前記電源 V D D から前記駆動トランジスタ D T F T の制御端子を充電又は放電するためである。この過程において、前記電源 V D D は、前記 O L E D に伝送されないように制御される。

10

【 0 0 4 2 】

また図 2 を参照すると、前記レギュレータサブサブ回路 2 2 は、第 3 走査線 E M に接続される制御端子と、前記データ線 D A T A に接続される第 1 端子と、前記駆動トランジスタ D T F T の制御端子又はゲートに接続される第 2 端子とを有する。本実施例において、前記レギュレータサブサブ回路 2 2 は、前記第 3 走査線 E M からの第 3 制御信号の制御下で、前記データ線 D A T A からのデータ信号を前記駆動トランジスタ D T F T の制御端子に書き込んで、前記駆動トランジスタ D T F T の制御端子における電圧レベルを安定化するためである。更に、前記充電器サブサブ回路 2 1 は、前記第 2 制御信号の制御下で、前記駆動トランジスタを導通状態に変換して、前記 O L E D を駆動して発光させるためである。

20

【 0 0 4 3 】

図 3 は、本開示の一実施例に係るタッチ制御ピクセル駆動回路の回路構造である。図 3 を参照すると、具体的な一実施例において、前記リセットサブサブ回路 1 1 は、前記第 1 走査線 S c a n 1 に接続される制御端子又はゲートと、前記データ線 D A T A に接続される第 1 端子と、前記フォトトランジスタ T 0 の制御端子又はゲート及び前記第 2 端子に接続される第 2 端子とを有する第 1 トランジスタ T 1 を含む。前記伝送サブサブ回路 1 2 は、前記第 2 走査線 S c a n 2 に接続される制御端子又はゲートと、前記フォトトランジスタ T 0 の第 1 端子に接続される第 1 端子と、前記読み取り線に接続される第 2 端子とを有する第 2 トランジスタ T 2 を含む。前記記憶サブサブ回路 1 3 は、前記フォトトランジスタ T 0 の第 1 端子に接続される第 1 プレート端子と、前記フォトトランジスタ T 0 の制御端子に接続される第 2 プレート端子とを有する第 1 キャパシタ C 1 を含む。

30

【 0 0 4 4 】

図 3 を参照すると、前記駆動サブ回路 2 内の充電器サブサブ回路 2 1 は、第 3 トランジスタ T 3 と、第 4 トランジスタ T 4 と、第 5 トランジスタ T 5 とを含む。前記第 3 トランジスタ T 3 は、前記第 2 走査線 S c a n 2 に接続される制御端子と、前記電源 V D D に接続される第 1 端子と、前記駆動トランジスタ D T F T の前記第 1 端子に接続される第 2 端子とを有する。前記第 4 トランジスタ T 4 は、前記第 1 走査線 S c a n 1 に接続される制御端子と、前記第 3 トランジスタ T 3 の第 2 端子に接続される第 1 端子と、前記駆動トランジスタ D T F T の制御端子に接続される第 2 端子とを有する。前記第 5 トランジスタ T 5 は、前記第 1 走査線 S c a n 1 に接続される制御端子と、前記駆動トランジスタ D T F T の第 2 端子に接続される第 1 端子と、前記基準電圧端子 V S S に接続される第 2 端子とを有する。

40

【 0 0 4 5 】

前記駆動サブ回路 2 内の前記レギュレータサブサブ回路 2 2 は、第 6 トランジスタ T 6 と、第 2 キャパシタ C 2 とを含む。前記第 6 トランジスタ T 6 は、前記第 3 走査線 E M に接続される制御端子と、前記データ線 D A T A に接続される第 1 端子と、前記第 2 キャパシタ C 2 の第 1 プレート端子に接続される第 2 端子とを有する。前記第 2 キャパシタ C 2 の第 2 プレート端子は、前記駆動トランジスタ D T F T の制御端子に接続される。

【 0 0 4 6 】

幾つかの実施例において、ここに記載されるタッチ制御ピクセル駆動回路は、発光及びタ

50

タッチ感知を駆動する第1期間と、第2期間と、第3期間と、第4期間とを含む駆動周期の各々において動作するためである。図4は、本開示の一実施例に係る一つの駆動周期内で図3のタッチ制御ピクセル駆動回路を動作させるタイミング図である。図4を参照すると、Scan1で第1制御信号を示し、Scan2で第2制御信号を示し、EMで第3制御信号を示す。DATAは、データ信号を表す。RLは、読み取り線により収集される信号を表す。選択可能に、図4における前記制御信号は、前記駆動トランジスタDTFT、前記フォトトランジスタT0及び前記第1トランジスタT1乃至前記第6トランジスタT6を含むすべてのトランジスタがN型トランジスタとして選定される選択可能な回路設定に対応する。選択可能に、すべてのトランジスタは、低温ポリシリコン技術又はシリコンベースの製造工程により作られた薄膜トランジスタである。選択可能に、各薄膜トランジスタのゲートは、その制御端子を示し、各トランジスタのソースで第1端子を示し、各トランジスタのドレインで第2端子を示す。前記第1端子と、前記第2端子とは、相互交換されても良い。

10

【0047】

図4に示す第1期間において、図3の回路の動作状態を図5に示す。特に、前記感光タッチサブ回路にとって、第1制御信号Scan1は、高電圧レベルである。前記第1トランジスタT1は、導通状態である時オンされる。データ信号DATAは、Vpの高電圧レベルとして提供される。当該データ信号は、前記第1キャパシタC1の第2プレート端子及び前記フォトトランジスタT0の制御端子及び第1端子をリセットでき、リセット後のフォトトランジスタT0がVpの電圧レベルを有する初期信号を有するようにする。当該期間において、前記第2制御信号Scan2も高電圧レベルである。前記第2トランジスタT2は、オンされ、導通状態となる。前記フォトトランジスタT0における初期信号は、前記読み取り線、即ち、前記フォトトランジスタT0の初期信号Vpを収集する前記読み取り線に渡されることができる。

20

【0048】

前記駆動サブ回路にとって、前記第1制御信号Scan1は、高電圧レベルであって、前記第4トランジスタT4及び前記第5トランジスタT5が導通状態となるようにする。前記第2制御信号Scan2は、高電圧レベルであって、前記第3トランジスタT3が導通状態となるようにする。前記電源VDDは、電源電圧Vddを提供し、当該電源電圧Vddは、前記第3トランジスタT3及び前記第4トランジスタT4を介してノードa1に渡されることができる(図5参照)。当該ノードa1は、前記駆動トランジスタDTFTの制御端子でもある。こうして、前記電源電圧Vddは、前記駆動トランジスタDTFTの制御端子を充電する。同時に、前記第3制御信号EMは、低電圧レベルである。前記第6トランジスタは、非導通状態でオフされる。効果的に、前記第1期間において、ノードa1における電圧レベルは、Va1 = Vddである。

30

【0049】

第1期間において、前記駆動トランジスタDTFTは、導通状態となる。第5トランジスタT5も導通状態となるため、前記第5トランジスタT5を流れる電流は、前記基準電圧端子VSSに流れ、前記OLEDに流れず、前記OLEDが駆動されて発光することがない。選択可能に、基準電圧端子VSSには、低電圧レベルが提供される。選択可能に、前記基準電圧端子VSSは、接地される端子である。

40

【0050】

第2期間において、図3のタッチ制御ピクセル駆動回路の動作状態を図6に表す。感光タッチサブ回路にとって、第1制御信号Scan1は、高電圧レベルであり、第1トランジスタT1は、オンされる。第1キャパシタC1及びフォトトランジスタT0は、依然としてリセット状態である。前記第2制御信号Scan2は、低電圧レベルである。前記第2トランジスタT2は、オフされ、前記フォトトランジスタT0の第1端子をリセットする。この時、前記読み取り線は、相変わらず第1期間における初期信号Vpと同一の信号を収集する。

【0051】

50

駆動サブ回路にとって、第1制御信号Scan1は、高電圧レベルであり、第4トランジスタT4及び第5トランジスタT5をオンする。ノードa1における電圧信号は、第4トランジスタT4、駆動トランジスタDTFT及び第5トランジスタT5を介して基準電圧端子VSSに落ちることができ、前記駆動トランジスタDTFTの制御端子を効果的に放電する。当該放電は、前記制御端子が前記駆動トランジスタDTFTの閾値電圧Vthに達するまで継続される。前記第2制御信号Scan2は、低電圧レベルであり、前記第3トランジスタT3をオフする。前記電源VDDからの電源電圧信号は、第3トランジスタT3を介してOLEDに到達できない。これと同じ期間において、第3制御信号EMは、高電圧レベルであり、第6トランジスタT6をオンし、Vpの電圧を有するデータ信号をノードb1に渡す(図6参照)。効果的に、第2期間において、ノードa1における電圧レベルは、 $V_{a1} = V_{th}$ であり、ノードb1における電圧レベルは、 $V_{b1} = V_p$ であり、ノードa1とノードb1の間の電圧差は、 $V = V_{th} - V_p$ である。

10

【0052】

今まで、上記の二つの期間では、タッチ制御が言及されなかったが、前記感光タッチ制御は、各駆動周期内の如何なる期間においても実行されることができる。加えて、指タッチ制御及びレーザーペンタッチ制御の両方とも実行することができる。例えば、図8Aに示すように、レーザーペンがレーザー光線を放射して表示パネルを「タッチ」する時、前記フォトトランジスタT0は、レーザー光線照射による外部ソースからの高められた光強度を検出する。他の一例において、図8Bに示すように、指が表示パネルをタッチする時、指により外部ソースからの光が遮断されるため、前記フォトトランジスタT0は、外部ソースからの下げられた光強度を検出する。以下、第3期間において感光タッチ制御が発生する場合を示す。

20

【0053】

第3期間において、図3のタッチ制御ピクセル駆動回路は、図7に示すように、特定の動作状態となっている。前記感光タッチサブ回路について、レーザーペンが光線を発生して前記回路を照射又は「タッチ」する。前記フォトトランジスタT0に照射される光線の異なる光強度について、前記フォトトランジスタT0は、外部ソースからの通常強度より高い強度を有する異なる光信号を検出する。前記フォトトランジスタT0は、前記光信号を電気信号に変換し、当該変換された電気信号は、第1キャパシタC1に貯蔵される。この期間において、第2制御信号Scan2は、低電圧レベルであって、前記第2トランジスタT2をオフする。前記読み取り線は、依然としてVpの電圧レベルを有する初期信号と同一の電圧信号を読み取る。

30

【0054】

駆動サブ回路にとって、前記第1制御信号Scan1は、低電圧レベルであって、前記第4トランジスタT4及び前記第5トランジスタT5をオフする。前記第2制御信号Scan2も低電圧レベルであり、前記第3トランジスタT3をオフする。前記第3トランジスタT3及び前記第4トランジスタT4が両方とも非導通状態となるため、前記駆動トランジスタも非導通状態となる。前記第3制御信号EMは、高電圧レベルであり、第6トランジスタT6をオンして、この期間におけるデータ信号をノードb1に渡す。この期間におけるデータ信号は、初期レベルVpからVp + VDATAまで上昇する。ノードa1は、この期間でフローティングにされ、従って、ノードa1とノードb1の間の電圧差は、依然として $V = V_{th} - V_p$ である。ノードb1の電圧レベルが $V_{b1} = V_p + V_{DATA}$ に変わるため、ノードa1における電圧レベルは、 $V_{a1} = V_{DATA} + V_{th}$ であると推論できる。この期間で、ノードa1及びノードb1における電圧レベルは、両方とも安定する。

40

【0055】

第4期間において、図3のタッチ制御ピクセル駆動回路は、図9に示すように、動作状態となっている。前記感光タッチサブ回路にとって、前記第2制御信号Scan2は、高電圧レベルであり、第2トランジスタT2をオンする。前記第1キャパシタC1に貯蔵された電気信号は、前記第3トランジスタT3を介して、前記読み取り線に渡されることがで

50

きる。こうして、前記読み取り線は、図4に示すような信号変化、即ち、新たに追加された電気信号による電圧レベルのジャンピングを収集する。

【0056】

前記駆動サブ回路にとって、前記第1制御信号Scan1は、低電圧レベルである。前記第4トランジスタT4及び前記第5トランジスタT5は、オフされる。前記第2制御信号Scan2は、高電圧レベルであり、前記第3トランジスタをオンする。前記第3制御信号EMは、低電圧レベルであり、前記第6トランジスタT6をオフする。従って、電源VDDからの電源電圧信号Vddは、前記第3トランジスタT3及び駆動トランジスタDTFTを介してOLEDに到達し、前記OLEDを駆動して発光させる。

【0057】

一実施例において、前記第4期間でタッチ制御ピクセル駆動回路が動作させられる時、前記駆動サブ回路のうち、前記第3トランジスタT3のみがオンされ、T4、T5、T6のような他のトランジスタは、オフされる。従って、前記電源VDDのみが前記OLEDに電源電圧を提供することを保証し、前記OLEDの発光中、前記OLEDに対する他のトランジスタの他の信号からの干渉がない。

【0058】

従来のピクセル駆動回路では、例えば、図10において、走査線からの制御信号により制御されるスイッチトランジスタTと、制御端子が前記スイッチトランジスタTに接続され、第1端子が電源VDDに接続され、第2端子がOLEDに接続される駆動トランジスタDTFTと、前記駆動トランジスタDTFTの制御端子と第2端子の間に接続されるキャパシタCを含む2T1C回路構造を有する。前記駆動トランジスタから出力されて前記OLEDを発光させるための駆動電流は、前記駆動トランジスタDTFTの閾値電圧Vthによって異なるため、製造工程変化及び時間の経過によるドリフトによる異なるサブピクセル内の異なる駆動トランジスタの閾値電圧Vthの非均一な値は、発光強度の異なる変化を招き、表示効果に影響する。

【0059】

図3、図5、図6、図7及び図9のうち何れか一つに示す駆動サブ回路を有する本開示に開示されるタッチ制御ピクセル駆動回路において、前記第4期間でOLEDに流れ込む駆動電流は、下記の式(1)のように表すことができる。

$$I_{OLED} = K(V_{GS} - V_{th})^2 \quad \text{式(1)}$$

ここで、VGSは、前記駆動トランジスタDTFTの制御端子と第1端子の間の電圧である。特に、 $V_{GS} = V_{DATA} + V_{th} - V_{OLED}$ であり、ここで、VOLEDは、OLED上の電圧降下(又は、前記OLEDの第2端子に接地電圧レベルが提供されると仮定して、簡単にOLEDのアノード電圧と称する)である。従って、下記の式(2)が得られる。

$$I_{OLED} = K(V_{DATA} - V_{OLED})^2 \quad \text{式(2)}$$

【0060】

式(2)に基づいて、前記OLEDを流れる駆動電流は、前記駆動トランジスタDTFTの閾値電圧Vthとは独立しているため、閾値電圧の非均一なドリフトの前記OLEDの発光に対する影響が避けられる。

【0061】

図3、図5、図6、図7及び図9に示すような幾つかの実施例において、前記タッチ制御ピクセル駆動回路内のすべてのトランジスタは、N型トランジスタであり、前記第2制御信号と、前記第3制御信号とは、各駆動周期内の四つの期間のうち同一の期間において、反対の高/低電圧レベルに設定される。

【0062】

選択可能な一実施例において、図11に示すように、第6トランジスタTがP型トランジスタで、他のすべてのトランジスタがN型トランジスタである他の一つのタッチ制御ピクセル駆動回路が提供される。本実施例において、当該タッチ制御ピクセル駆動回路の動作タイミング図を図12に示し、前記第2制御信号及び前記第3制御信号は、前記第1期間

10

20

30

40

50

で同一の高電圧レベルであり、前記第 2 及び第 3 期間で同一の低電圧レベルであり、前記第 4 期間でまた同一の高電圧レベルである。

【 0 0 6 3 】

他の一つの選択可能な実施例において、図 1 3 に示すように、前記第 2 トランジスタ T 2 及び第 3 トランジスタ T 3 が P 型トランジスタで、他のトランジスタ (D T F T 、 T 0 、 T 1 、 T 4 、 T 5 、 T 6) が N 型トランジスタである、また一つのタッチ制御ピクセル駆動回路が提供される。本実施例において、当該タッチ制御ピクセル駆動回路の動作タイミング図を図 1 4 に示し、前記第 2 制御信号及び第 3 制御信号は、前記第 1 期間で同一の低電圧レベルであり、前記第 2 及び第 3 期間で同一の高電圧レベルであり、第 4 期間でまた同一の低電圧レベルである。

10

【 0 0 6 4 】

幾つかの実施例において、前記第 1 制御信号、前記第 2 制御信号及び前記第 3 制御信号のそれぞれのトランジスタに対する制御は、第 2 制御信号及び第 3 制御信号が各駆動周期の四つの期間で反対又は同一の高/低電圧レベルに設定されるか否かを問わず、原理的に類似している。

【 0 0 6 5 】

一実施例において、各駆動周期内の四つの期間のうち同一の期間で、前記第 2 制御信号及び前記第 3 制御信号が同一の高/低電圧レベルに設定される時、前記第 2 走査線 S c a n 2 及び前記第 3 走査線 E M は、一つの走査線に結合されることができ、表示パネル内の走査線の数を減らすことにより、導線配置の過程を簡素化し、タッチ制御機能を表示装置に実施する複雑さを軽減する。

20

【 0 0 6 6 】

他の一態様において、本開示は、ここに記載される表示パネルにおけるタッチ制御ピクセル駆動回路を駆動する方法を提供する。前記方法は、第 1 期間と、第 2 期間と、第 3 期間と、第 4 期間とを含む発光及びタッチ感知を駆動する駆動周期内で、タッチ制御ピクセル駆動回路を動作させるステップを含む。前記方法は、前記第 1 期間で、前記第 1 制御信号に基づいて前記感光タッチサブ回路をリセットして、更に前記第 2 制御信号に基づいて、電源電圧を前記駆動トランジスタの制御端子に充電するステップと、前記第 2 期間で、前記第 1 制御信号を保ちながら、前記駆動トランジスタの制御端子を放電して、前記感光タッチサブ回路の前記第 1 期間と同一の状態を維持するステップと、前記第 3 期間で、光信号を感知し、当該光信号を電流信号に変換させ、データ信号を前記第 3 制御信号により制御される前記駆動トランジスタの制御端子に書き込むステップと、前記第 4 期間で、前記電流信号を前記読み取り線に伝送し、前記第 2 制御信号を利用して、前記駆動トランジスタを通じて駆動電流を制御し前記 O L E D を発光させるステップと、を含む。

30

【 0 0 6 7 】

幾つかの実施例において、前記方法は、感光タッチサブ回路及び駆動サブ回路の両方とも駆動して、各駆動周期の異なる期間で共に動作させることができる。幾つかの実施例において、前記方法は、A M O L E D 表示装置で実施されるタッチ制御ピクセル駆動回路を駆動して、同一の表示パネルにおけるその表示機能及びタッチ制御機能を実現する。一実施例において、タッチ制御ピクセル駆動回路 (図 3 参照) における前記駆動トランジスタ、前記フォトトランジスタ、前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタの各々は、N 型薄膜トランジスタとして提供され、前記方法は、前記第 1 制御信号を、前記第 1 期間及び前記第 2 期間で高電圧レベルに設定し、前記第 3 期間及び前記第 4 期間で低電圧レベルに設定するステップと、前記第 2 制御信号を、前記第 1 期間で高電圧レベルに設定し、前記第 2 期間及び前記第 3 期間で低電圧レベルに設定し、前記第 4 期間で高電圧レベルに設定するステップと、前記第 3 制御信号を、前記第 1 期間で低電圧レベルに設定し、前記第 2 期間及び前記第 3 期間で高電圧レベルに設定し、前記第 4 期間で低電圧レベルに設定するステップとを含む。

40

【 0 0 6 8 】

50

幾つかの実施例において、前記方法は、前記第 1 期間、前記第 2 期間、前記第 3 期間及び前記第 4 期間の同一の期間内で、前記第 2 制御信号と、前記第 3 制御信号とを反対の高又は低電圧レベルに設定するステップを含む。

【 0 0 6 9 】

他の一実施例において、タッチ制御ピクセル駆動回路（図 1 1 参照）において、前記第 6 トランジスタ T 6 は、P 型薄膜トランジスタとして提供され、前記駆動トランジスタ、前記フォトトランジスタ、前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 4 トランジスタ及び前記第 5 トランジスタの各々は、N 型薄膜トランジスタとして提供され、前記方法は、前記第 1 制御信号を、前記第 1 期間及び前記第 2 期間で高電圧レベルに設定し、前記第 3 期間及び前記第 4 期間で低電圧レベルに設定するステップと、前記第 2 制御信号及び前記第 3 制御信号を、両方とも、前記第 1 期間で高電圧レベルに設定し、前記第 2 期間及び前記第 3 期間で低電圧レベルに設定し、前記第 4 期間で高電圧レベルに設定するステップを含む。

10

【 0 0 7 0 】

また一つの実施例において、タッチ制御ピクセル駆動回路（図 1 3 参照）において、前記第 2 トランジスタ及び前記第 3 トランジスタの各々は、P 型薄膜トランジスタとして提供され、前記駆動トランジスタ、前記フォトトランジスタ、前記第 1 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタの各々は、N 型薄膜トランジスタとして提供され、前記方法は、前記第 1 制御信号を、前記第 1 期間及び前記第 2 期間で高電圧レベルに設定し、前記第 3 期間及び前記第 4 期間で低電圧レベルに設定するステップと、前記第 2 制御信号及び前記第 3 制御信号を、両方とも、前記第 1 期間で低電圧レベルに設定し、前記第 2 期間及び前記第 3 期間で高電圧レベルに設定し、前記第 4 期間で低電圧レベルに設定するステップと、を含む。

20

【 0 0 7 1 】

他の一態様において、本開示は、表示機能及びタッチ制御機能の両方とも有するタッチ表示装置を提供する。図 1 5 は、本開示の一実施例に係るタッチ表示装置の模式図である。図 1 5 を参照すると、前記表示装置は、サブピクセル間領域 1 5 1 0 により分かれるマトリクス配列に配置される複数のサブピクセル領域 1 5 0 1 を有する表示領域を含む。選択可能に、前記複数のサブピクセル領域 1 5 0 1 の少なくとも一つのサブピクセル A は、前記タッチ制御ピクセル駆動回路の感光タッチサブ回路 1 5 2 0 を含む。選択可能に、前記複数のサブピクセル領域 1 5 0 1 の部分集合があり、当該部分集合の各々は、感光タッチサブ回路 1 5 2 0 を含むサブピクセル A と同様である。選択可能に、前記サブピクセル A の部分集合は、周期的に配列されている。前記感光タッチサブ回路 1 5 2 0 を含むサブピクセル A の部分集合と、残りの前記感光タッチサブ回路 1 5 2 0 なしのサブピクセル B の部分集合とを含む各サブピクセルは、少なくとも、一列のサブピクセルと平行なデータ線 D A T A に接続される駆動サブ回路を含む。各感光タッチサブ回路 1 5 2 0（一列内）は、一列のサブピクセルと平行な読み取り線 R E A D に接続される。一行のサブピクセルと平行な各 G A T A 線が模式的に提供され、一行のサブピクセル内のタッチ制御ピクセル駆動回路に制御信号を提供するための走査線（例えば、S c a n 1、S c a n 2 又は E M、図 3 参照）の一つを表す。

30

40

【 0 0 7 2 】

一実施例において、前記タッチ表示装置は、各感光タッチサブ回路に対応する読み取り線を介して接続され、各感光タッチサブ回路により感知された光信号から変換された光電流信号を処理して、前記表示領域でタッチが発生するか否かを判定し、前記タッチが判定される場合、前記表示領域における対応するタッチ位置を判定するためにある信号処理ブロック 1 5 3 0 を更に含む。選択可能に、前記タッチは、レーザー光線照射である。選択可能に、前記タッチは、指タッチである。具体的な一実施例において、前記信号処理ブロック 1 5 3 0 は、アンプ 1 5 3 1 と、プロセッサ 1 5 3 5 とを含む。前記アンプ 1 5 3 1 は、前記感光タッチサブ回路 1 5 2 0 に前記読み取り線 R E A D を介して接続され、前記光電流信号を受信して、増幅された信号を発生する。前記プロセッサ 1 5 3 5 は、前記アン

50

ブ1531に接続され、前記増幅された信号と生信号の間の強度差と、非タッチ閾値とを比較する。選択可能に、前記プロセッサ1535は、前記強度差が前記非タッチ閾値より大きい場合、タッチの発生有り及び対応するタッチ位置を判定するためにある。選択可能に、前記プロセッサ1535は、前記強度差が前記非タッチ閾値より小さい場合、タッチの発生が無いことを判定するためにある。選択可能に、前記タッチ位置は、第2制御信号が出力される第2走査線Scan2の位置に基づくX座標及び前記光電流信号が収集される読み取り線READに沿う前記感光タッチサブ回路1520の位置に基づくY座標を利用して判定される。

【0073】

以上、本発明の実施例に対する説明は、ただ解釈及び説明の目的で提出されたものである。これは、網羅的であること、或いは本発明を開示された正確な形式又は開示された例示的な実施例に限定することを意図するものではない。従って、以上の説明は、限定的なものではなく、説明的なものに見なされるべきである。明らかに、当業者にとって、多様な修正及び変更が自明である。これらの実施例を選択及び記載して、本発明の原理及びその最適モードの実際応用を説明することによって、当業者が、本発明が特定用途又は考慮される実施形態に適用される様々な実施例及び様々な変形を理解できるようにする。本発明の範囲は、ここに添付される特許請求の範囲及びその等価物により限定され、その内、別段の表示がない限り、すべての用語は、その最も広い合理的な意味を意味することを意図する。従って、「発明」、「本発明」等の用語は、必ずしも特許請求の範囲を具体的な実施例に限定するものではなく、本発明の例示的な実施例に対する参照は、本発明に対する限定を意味するものではなく、且つこのような限定を推論できない。本発明は、添付された請求項の範囲の精神及び範囲のみにより限定される。なお、これらの請求項は、名詞又は要素が後ろに付く「第1」、「第2」等の用語の使用が言及される可能性がある。このような用語は、命名法として理解されるべきであり、既に具体的な数量が与えられていない限り、このような命名法により修飾される要素の数量に対する限定として解釈されるべきではない。記載された如何なる効果及び利点も本発明のすべての実施例に適用されない可能性がある。理解すべきことは、以下の請求項により限定される本発明の範囲を逸脱せずに、当業者は、記載された実施例に対する変形を行うことができる。なお、要素又は構成部品が以下の請求項に明示的に記述されているか否かを問わず、本発明には、公衆に貢献しようとする要素及び構成要部品がない。

10

20

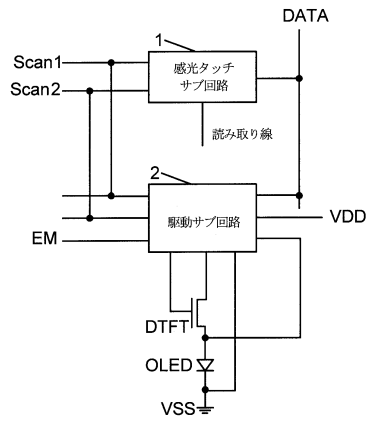
30

40

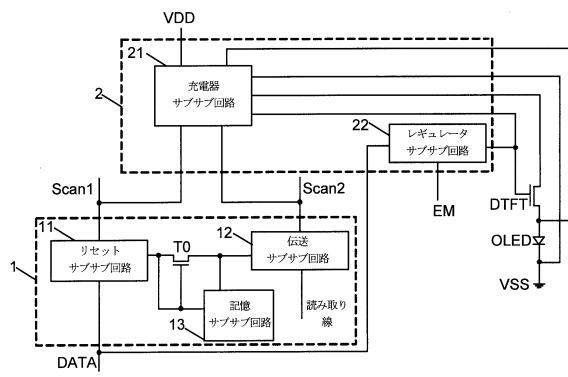
50

【図面】

【図 1】

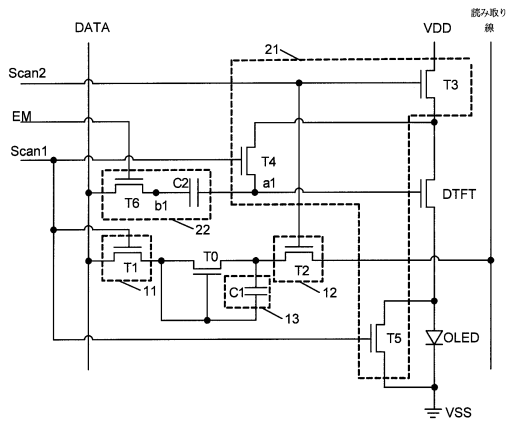


【図 2】

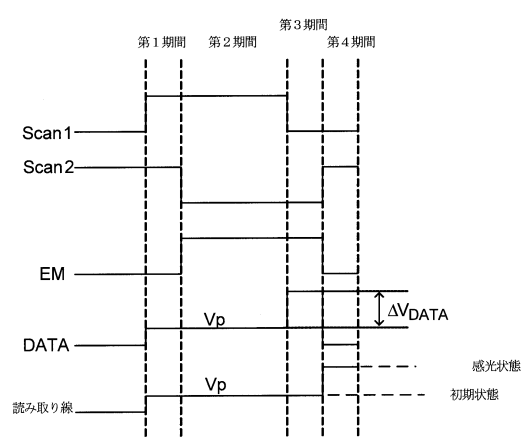


10

【図 3】



【図 4】



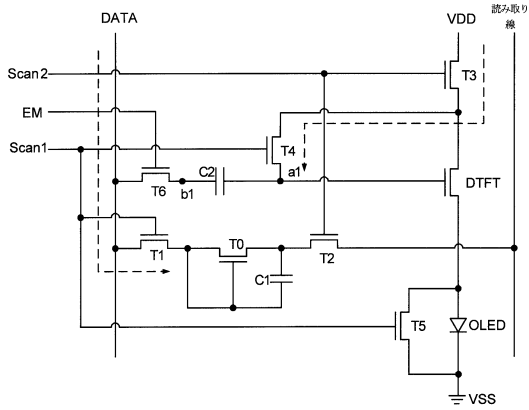
20

30

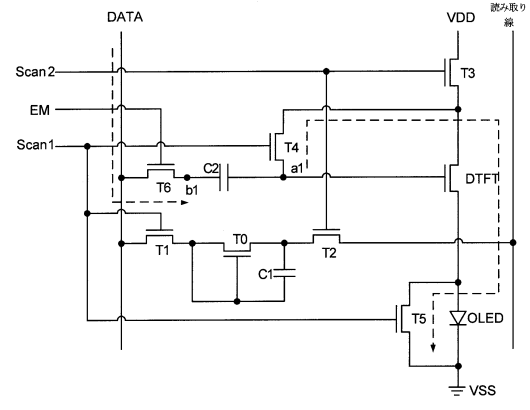
40

50

【図 5】

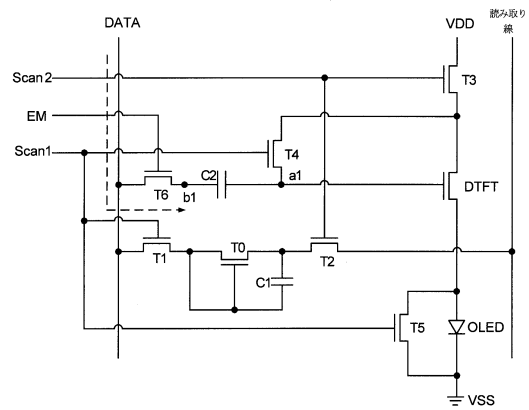


【図 6】

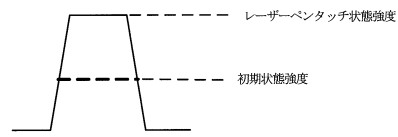


10

【図 7】

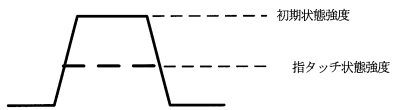


【図 8 A】

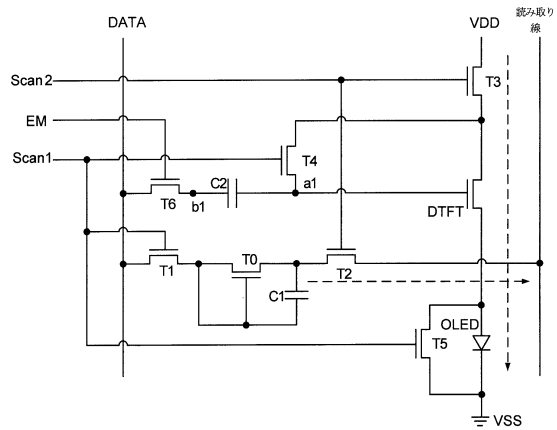


20

【図 8 B】



【図 9】



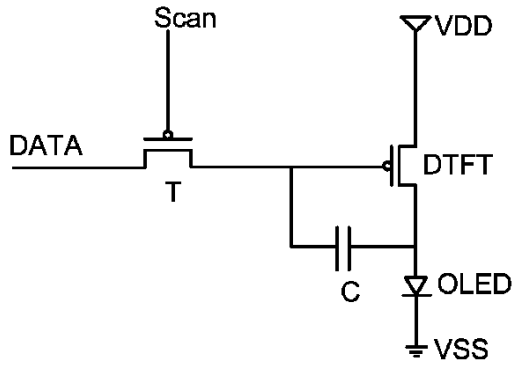
30

40

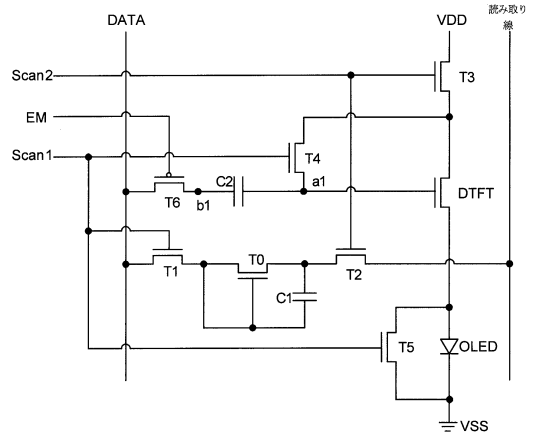
50

【図 1 0】

FIG. 10

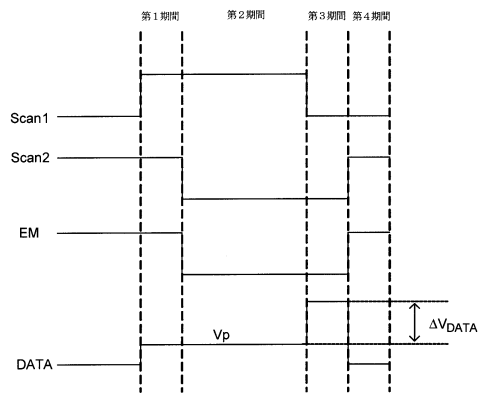


【図 1 1】

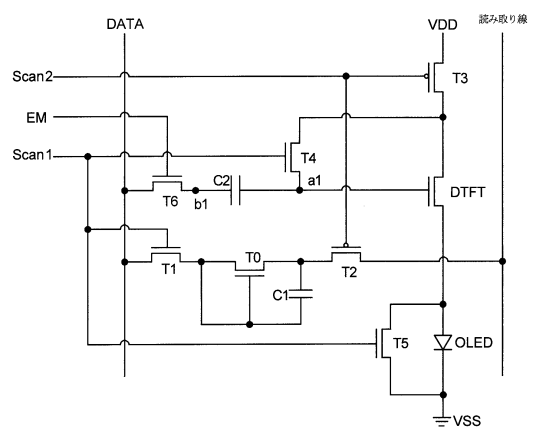


10

【図 1 2】



【図 1 3】



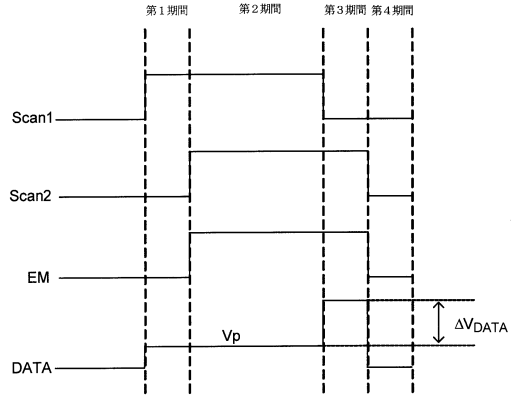
20

30

40

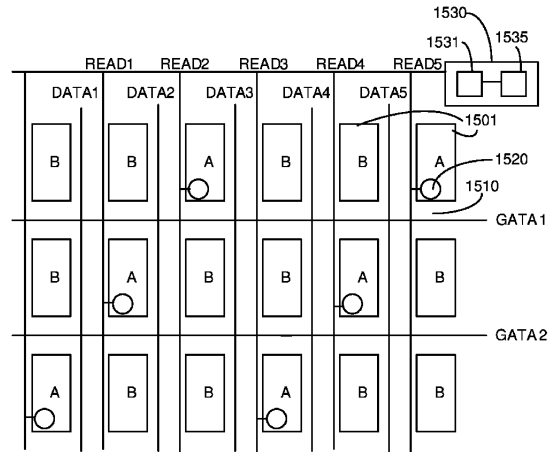
50

【 図 1 4 】



【 図 1 5 】

FIG. 15



10

20

30

40

50

フロントページの続き

(51)国際特許分類

H 0 5 B 33/02 (2006.01)
H 0 1 L 27/32 (2006.01)

F I

G 0 9 G 3/20 6 2 1 M
 G 0 9 F 9/30 3 6 5
 G 0 9 F 9/30 3 3 8
 H 0 5 B 33/14 A
 H 0 5 B 33/02
 H 0 1 L 27/32

- (72)発明者 中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーエイ ダイズ ロード ナンバー 9
 トン、 シュエ
 (72)発明者 中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーエイ ダイズ ロード ナンバー 9
 リュー、 チン
 (72)発明者 中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーエイ ダイズ ロード ナンバー 9
 チェン、 シャオチョアン
 (72)発明者 中華人民共和国 1 0 0 1 7 6 ベイジン ビーディーエイ ダイズ ロード ナンバー 9

審査官 木村 慎太郎

- (56)参考文献 米国特許出願公開第 2 0 1 6 / 0 2 4 6 4 0 9 (U S , A 1)

特表 2 0 1 4 - 5 2 5 1 0 0 (J P , A)

特開 2 0 1 1 - 0 5 4 9 2 9 (J P , A)

- (58)調査した分野 (Int.Cl. , D B 名)

G 0 6 F 3 / 0 4 1
 G 0 9 G 3 / 3 2 3 3
 G 0 9 G 3 / 2 0
 G 0 9 F 9 / 3 0
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 0 2
 H 0 1 L 2 7 / 3 2