[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
*H01L 27/146* (2006.01)

[12] 发明专利说明书

专利号 ZL 200510119818.6

[45] 授权公告日 2009 年 12 月 16 日

[11] 授权公告号 CN 100570879C

[22] 申请日 2005.11.7
[21] 申请号 200510119818.6
[30] 优先权
[32] 2004.11.9 [33] US [31] 10/985,171
[73] 专利权人 豪威科技有限公司
地址 美国加利福尼亚州
[72] 发明人 霍华德·E·罗德斯
[56] 参考文献
CN1472822A 2004.2.4
JP7-321368A 1995.12.8
US2004/0188597A1 2004.9.30
US6166405A 2000.12.26
审查员 蒋煜婧

[74] 专利代理机构 广州三环专利代理有限公司
代理人 戴建波

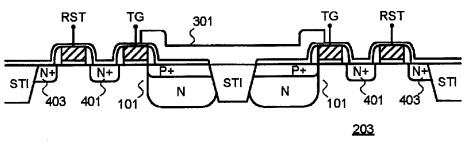
权利要求书 9 页 说明书 11 页 附图 4 页

[54] 发明名称

# 在光电二极管上设有防反射涂层的图像传感器及像素

[57] 摘要

本发明提供了一种可以用于 CMOS 或者 CCD 图像传感器的像素。 该像素包括设在半导体基体内中感光元件，如光电二极管；以及设在光电二极管上方的防反射涂层，该防反射涂层可以减小入射光线的反射，进而使到达光电二极管的信号更强。



1、一种像素，包括:

一设在半导体基体中的感光元件，其具有第一折射率;

一设在所述感光元件顶上的防反射涂层；以及

具有第二折射率的平面层，该平面层直接形成在所述防反射涂层之上；其中，所述防反射涂层对于可见光是透明的，所述防反射涂层的折射率在所述第一折射率和第二折射率之间，所述防反射涂层的厚度大致为:

$$T=\lambda/4N$$

式中，T 为所述防反射涂层的厚度，λ 为入射光的波长，N 为所述防反射涂层的折射率。

2、如权利要求 1 所述的像素，其中，所述感光元件选自于光电二极管、PIN 型光电二极管、部分 PIN 型光电二极管或光电门。

3、如权利要求 1 所述的像素，其进一步包括:

一设在所述感光元件与浮动节点之间的并可选择性地将信号从所述感光元件传输至所述浮动节点的传输晶体管；以及

一被所述浮动节点控制的放大晶体管。

4、如权利要求 1 所述的像素，其进一步包括:

一设在所述感光元件和一节点之间并可选择性地将所述节点恢复到一参考电压的复位晶体管；以及

一被所述节点控制的放大晶体管。

5、如权利要求 1 所述的像素，其中，所述的感光元件为光电二极管。

6、如权利要求 1 所述的像素，其中，所述的感光元件在所述半导体基体的表面上设有一 P+连接层。

7、如权利要求 1 所述的像素，其进一步包括：设在所述感光元件与所述防反射涂层之间的缓冲层。

8、如权利要求 7 所述的像素，其中，所述的缓冲层是薄的氧化物层。

9、如权利要求 8 所述的像素，其中，所述的薄的氧化物层是厚度在 20-100 埃之间的二氧化硅。

10、如权利要求 1 所述的像素，其中，所述的防反射涂层的厚度在 200-1500 埃之间。

11、如权利要求 10 所述的像素，其中，所述的防反射涂层的厚度在 300-1000 埃之间。

12、如权利要求 1 所述的像素，其中，所述像素集成于一 CMOS 图像传感器内。

13、如权利要求 1 所述的像素，其中，所述像素集成于一 CCD 图像传感器内。

14、如权利要求 1 所述的像素，其中，所述的防反射涂层为多层堆叠。

15、如权利要求 14 所述的像素，其中，所述的多层堆叠包括至少两层。

16、如权利要求 15 所述的像素，其中，所述的多层堆叠为 $SiO_xN_y/Si_3N_4$。

17、如权利要求 15 所述的像素，其中，所述的多层堆叠为 $SiO_xN_y/Si_3N_4/SiO_wN_z$。

18、如权利要求 1 所述的像素，其中，所述的防反射涂层为折射

率分级变化材料。

19、如权利要求 18 所述的像素，其中，所述折射率分级变化材料是由 $SiO_xN_y$ 积淀而成，其中在积淀过程中氧和氮的流量是变化的。

20、如权利要求 1 所述的像素，其中，所述的防反射涂层为氮化硅。

21、一种像素，包括:

一设在半导体基体中的光电二极管，其具有第一折射率;

一设在所述光电二极管顶上的缓冲层;

一设在所述缓冲层上面的防反射涂层；以及

具有第二折射率的平面层，该平面层直接形成在所述防反射涂层之上；其中，所述防反射涂层对于可见光是透明的，所述防反射涂层的折射率在所述第一折射率和第二折射率之间，所述防反射涂层的厚度大致为:

$$T=\lambda/4N$$

式中，T 为所述防反射涂层的厚度，λ 为入射光的波长，N 为所述防反射涂层的折射率。

22、如权利要求 21 所述的像素，其中，所述的光电二极管为 PIN 型光电二极管。

23、如权利要求 21 所述的像素，其进一步包括:

一设在所述光电二极管与一浮动节点之间的并可选择性地将信号从所述光电二极管传输至所述浮动节点的传输晶体管；以及

一被所述浮动节点控制的放大晶体管。

24、如权利要求 21 所述的像素，其进一步包括:

一设在所述光电二极管与一节点之间的并可选择性地将所述节点恢复到一参考电压的复位晶体管；以及

一被所述节点控制的放大晶体管。

25、如权利要求 21 所述的像素，其中，所述缓冲层为二氧化硅。

26、如权利要求 21 所述的像素，其中，所述的防反射涂层为氮化硅。

27、如权利要求 21 所述的像素，其中，所述的防反射涂层的厚度在 200-1500 埃之间。

28、如权利要求 21 所述的像素，其中，所述的像素集成于一 CMOS 图像传感器内。

29、如权利要求 21 所述的像素，其中，所述的像素集成于一 CCD

图像传感器内。

30、如权利要求 21 所述的像素，其中，所述的防反射涂层为多层堆叠。

31、如权利要求 30 所述的像素，其中，所述的多层堆叠包括至少两层。

32、如权利要求 31 所述的像素，其中，所述的多层堆叠为 $SiO_xN_y/Si_3N_4$。

33、如权利要求 31 所述的像素，其中，所述的多层堆叠为 $SiO_xN_y/Si_3N_4/SiO_wN_z$。

34、如权利要求 21 所述的像素，其中，所述的防反射涂层为折射率分级变化材料。

35、如权利要求 34 所述的像素，其中，所述的折射率分级变化材料是由 $SiO_xN_y$ 积淀而成，其中在积淀过程中氧和氮的流量是变化的。

36、一种 CMOS 图像传感器，其包括:

成行和列排列的多个有源像素，其中，至少一个所述的有源像素包括:

(a)一设在半导体基体上的感光元件，其具有第一折射率;

(b) 一设在所述感光元件上方的防反射涂层;

(c) 具有第二折射率的平面层，该平面层直接形成在所述防反射涂层之上，而且所述防反射涂层对于可见光是透明的，所述防反射涂层的折射率在所述第一折射率和第二折射率之间;

一用于接收所述有源像素输出的处理电路; 以及

一用于输出所述有源像素输出的输入/输出电路;

其中，所述防反射涂层的厚度大致为:

$$T=\lambda/4N$$

式中，T 为所述防反射涂层的厚度，λ 为入射光的波长，N 为所述防反射涂层的折射率。

37、如权利要求 36 所述的图像传感器，其中，该至少一个所述有源像素进一步包括:

一设在所述感光元件与一浮动节点之间的并可选择性地将信号从所述感光元件传输至所述浮动节点的传输晶体管; 以及

一被所述浮动节点控制的放大晶体管。

38、如权利要求 37 所述的图像传感器，其进一步包括:

一设在所述感光元件与一节点之间的并可选择性地将所述节点恢复到一参考电压的复位晶体管；以及

一被所述节点控制的放大晶体管。

39、如权利要求36所述的图像传感器，其中，所述的感光元件为光电二极管。

40、如权利要求36所述的图像传感器，其进一步包括设在所述感光元件与所述防反射涂层之间的缓冲层。

41、如权利要求40所述的图像传感器，其中，所述的缓冲层为薄的氧化物层。

42、如权利要求41所述的图像传感器，其中，所述的薄的氧化物层的厚度在20-100埃之间。

43、如权利要求36所述的图像传感器，其中，所述的防反射涂层的厚度在200-1500埃之间。

44、如权利要求36所述的图像传感器，其中，所述的防反射涂层为多层堆叠。

45、如权利要求 44 所述的图像传感器，其中，所述的多层堆叠包括至少两层。

46、如权利要求 45 所述的图像传感器，其中，所述的多层堆叠为 $SiO_xN_y/Si_3N_4$。

47、如权利要求 45 所述的图像传感器，其中，所述的多层堆叠为 $SiO_xN_y/Si_3N_4/SiO_wN_z$。

48、如权利要求 36 所述的图像传感器，其中，所述的防反射涂层为折射率分级变化材料。

49、如权利要求 48 所述的图像传感器，其中，所述的折射率分级变化材料是由 $SiO_xN_y$ 积淀而成，其中在积淀过程中氧和氮的流量是变化的。

# 在光电二极管上设有防反射涂层的图像传感器及像素

## 技术领域

本发明涉及图像传感器，更具体地讲，本发明涉及一种采用在光电二极管顶部涂有防反射涂层的像素的图像传感器。

## 背景技术

图像传感器已经变得无处不在，它们被广泛地用于数字照相机、便携式电话、保密照相机、医疗器械、汽车和其它应用场合。制造图像传感器的技术、特别是CMOS（互补型金属氧化半导体）图像传感器持续地快速发展。例如，高分辨率和低能耗的要求促进了图像传感器的进一步的小型化及集成。

由于像素变小，能够接受入射光线的表面区域也减小。像素通常具有光感应元件，如光电二极管，其接受入射光线并产生与入射光线总数相关的信号。由于感光元件的尺寸小，因此让小尺寸的感光元件也能与大尺寸的感光元件一样接收同等数量的入射光线则尤为重要。入射光线损失的一个主要原因是因为在光电二极管（硅表面）到氧化层（二氧化硅）的分界面处发生了反射。在该分界面，大量的光线被反射，导致光电二极管的响应度与量子效率相应降低。

## 发明内容

为解决上述问题，本发明提供了如此一种像素，其包括：

设在半导体基体中的感光元件；以及

设在上述感光元件顶上的防反射涂层。

上述的像素中，感光元件可以是光电二极管、PIN 型光电二极管、部分 PIN 型光电二极管或光电门。

本发明的像素还可进一步包括：

设在感光元件与浮动节点之间的、可选择性地将信号从该感光元件传输至该浮动节点的传输晶体管；以及

被上述浮动节点控制的放大晶体管。

或者，本发明的像素进一步包括：

设在感光元件与节点之间的、可选择性地将该节点恢复到一参考电压的复位晶体管；以及

被上述节点控制的放大晶体管。

优选地，上述感光元件为光电二极管；而且该光电二极管在半导体基体的表面上设有一 P+连接层（pinning layer）。

本发明的像素中，可在感光元件如光电二极管与防反射涂层之间设有一缓冲层；该缓冲层可以为薄的氧化物层；该薄的氧化物层可以为厚度在 20-100 埃之间的二氧化硅。

优选地，防反射涂层的厚度在 200-1500 埃之间；更优选地，防反射涂层的厚度在 300-1000 埃之间。防反射涂层可以为多层堆叠，

该多层堆叠应包括至少两层，例如，该多层堆叠为 $SiO_xN_y/Si_3N_4$ 或者 $SiO_xN_y/Si_3N_4/SiO_wN_z$。另外，防反射涂层也可以为折射率分级变化材料（index graded material，也可称作折射率梯度变化的材料），例如折射率分级的材料。这种折射率分级变化材料可以由 $SiO_xN_y$ 积淀而成，其中在积淀过程中氧和氮的流量是变化的，从而形成折射率分级的材料。

本发明的像素可以集成于（结合于，incorporated）一 CMOS 图像传感器内，或者集成于一 CCD 图像传感器内。

作为本发明的一种具体实施方式，本发明的种像素可以包括：设在半导体基体内的光电二极管；设在该光电二极管顶上的缓冲层；以及设在该光电二极管顶上的防反射涂层。其中：光电二极管可以为 PIN 型光电二极管；缓冲层可以为二氧化硅；防反射涂层可以为氮化硅；防反射涂层还可以为多层堆叠，该多层堆叠应包括至少两层，例如，该多层堆叠为 $SiO_xN_y/Si_3N_4$ 或者 $SiO_xN_y/Si_3N_4/SiO_wN_z$。

另一方面，本发明还提供了一种 CMOS 图像传感器，其包括：成行和列（如矩阵）排列的多个有源像素，其中，至少一个的有源像素包括：(a) 设在半导体基体上的感光元件；和(b) 设在该感光元件上方的防反射涂层；用于接收有源像素输出的处理电路；以及用于输出该 CMOS 图像传感器之有源像素输出的输入/输出电路。

本发明的 CMOS 图像传感器中，上述的至少一个的有源像素还可进一步包括：设在感光元件与浮动节点之间的、可选择性地将信号

从该感光元件传输至该浮动节点的传输晶体管；以及被该浮动节点控制的放大晶体管。

或者，本发明的图像传感器可进一步包括：设在感光元件与节点之间的、可选择性地将该节点恢复到一参考电压的复位晶体管；以及被该节点控制的放大晶体管。

本发明的图像传感器中，感光元件可以为光电二极管；感光元件与防反射涂层之间可以设有缓冲层，该缓冲层可以为薄的氧化物层，该薄的氧化物层的厚度可以在 20-100 埃之间；防反射涂层的厚度优选在 200-1500 埃之间。另外，防反射涂层可以为多层堆叠，该多层堆叠应包括至少两层，例如 $SiO_xN_y/Si_3N_4$ 或 $SiO_xN_y/Si_3N_4/SiO_wN_z$。

本发明的有益效果是：在光电二极管上方设置防反射涂层，这样可以减小入射光线的反射，从而保证有足够的光线数量被光电二极管感应，进而产生更强的信号。

**附图说明**

图 1 是现有技术中四晶体管像素(4T)的带剖面结构的示意图，其详细地显示了形成在基体层中的光电二极管。

图 1A 是现有技术中三晶体管像素(3T)的带剖面结构的示意图，其详细地显示了形成在基体层中的光电二极管。

图 2、图 3 与图 4 是本发明设有防反射涂层的像素的制造流程的剖视图。

图 5 与图 6 是本发明另一种制备防反射涂层的方法的剖视图。

**具体实施方式**

在下面的描述中，提供了许多特定细节，以便对本发明的具体实施方式进行透彻的理解。但所属领域的熟练技术人员可以认识到，在没有这些具体细节中的一个或多个的情况下仍能实施本发明，或者采用其它方法、元件等的情况下仍能实施本发明。另外，为了清楚地描述本发明的各种实施方案，因而对众所周知的结构和操作没有示出或进行详细地描述。

在本发明的说明书中，提及“一实施方案”或“某一实施方案”时是指该实施方案所述的特定特征、结构或者特性至少包含在本发明的一个实施方案中。因而，在说明书各处所出现的“在一实施方案中”或“在某一实施方案中”并不一定指的是全部属于同一个实施方案；而且，特定的特征、结构或者特性可能以合适的方式结合到一个或多个的具体实施方案中。

图 1 是采用了四个晶体管的有源像素的带剖面结构的示意图。这种有源像素在本领域中叫做 4T 有源像素。感光元件即本实施方案中的光电二极管 101，输出用来调整放大晶体管 103 的信号。放大晶体管 103 也被称为源极跟随晶体管。在本发明中，感光元件可为多种器件中的一种，包括但不限制于光电门（photogates）、光电二极管、PIN 型光电二极管、部分 PIN 型光电二极管等，此处感光元件是一个光电二极管(无论是 PIN 型、部分 PIN 型还是非 PIN 型均可)。传输晶体管 105 用于将光电二极管 101 输出的信号传输至浮动节点 107，该浮动

节点 107 连接在放大晶体管 103 的门电路处。传输晶体管 105 被传输门电路控制。

4T 有源像素的一个典型特征是传输门电路的存在实现了真正的校正二次取样（correlated double sampling，简称 CDS）。另外，通过采用控制供应电压至复位晶体管的方法，可以消除 4T 像素中的行选择（row select，简称 RS）晶体管，从而形成一种仅有三个晶体管的“4T 有源像素”。可以理解，本发明可以应用于所有的 CMOS 成像器，无论其具有 3 个、4 个、5 个、6 个或者更多个晶体管，也可以用于 CCD 成像器。

使用时，在积分周期(也称为曝光周期或者积聚周期)内，光电二极管 101 产生电荷，这些电荷存储在 N-型层内。积分周期后，传输晶体管 105 开启，并将存储在光电二极管 101 的 N-型层内的电荷传输至浮动节点 107。当信号已经被传输到浮动节点 107 后，传输晶体管 105 再被关闭，并等待下一次积分周期的开始。

在浮动节点 107 上的信号随后用于调整放大晶体管 103。最后，地址晶体管 109 被用于定位像素，并选择性地从列位线 111 上读出信号。通过列位线 111 读取信号以后，复位晶体管 113 用于复位浮动节点 107 到一参考电压。在一实施方案中，该参考电压为 Vdd。虽然此处是以 4T 像素为例介绍本发明的，但是本发明也可以用于 3T、5T、6T、7T 或者其它类型的像素。实际上，本发明可以用于任何的感光元件，并可用在 CMOS 或者 CCD 图像传感器上。

图 1A 为三个晶体管像素（3T）的设计。在该设计中，传输晶体

管被去除，光电二极管的输出节点直接连接到放大晶体管 103。进而，复位晶体管 113 紧邻该光电二极管 101，并可以选择性地将光电二极管的输出复位到参考电压 $V_{dd}$。

从图 1 和图 1A 可以看出，入射光线 115 入射到光电二极管 101 上。然而，一部分入射光线 115 被反射，成为反射光线 117。这部分反射光线 117 被浪费掉了，也就是，没有被光电二极管 101 感应到。

本发明通过增加防反射涂层(ARC)以减小光电二极管 101 表面的反射。感光元件（光电二极管）101 上增加反射涂层，可以显著减少由于反射带来的入射光线损失。需要指出的是，虽然本文是以 CMOS 像素为例对本发明进行介绍的，但是本发明同样可以应用于 CCD 像素。

在一实施方案中，防反射涂层紧邻硅表面且位于光电二极管 101 上方。一般地，光电二极管的防反射涂层（ARC）应当对于可见光谱内的光线透明，其折射率在上方的氧化层与下方的硅基体(光电二极管区域)的折射率之间。在一具体的实施方案中，防反射涂层选用氮化硅($Si_3N_4$)，但其它类型的防反射涂层也同样合适，例如通过商业途径从 Brewer Science（Rolla, MO）获得的材料。因此，采用氮化硅仅仅是合适的防反射涂层的一个示例。例如，防反射涂层可以是硅氧氮化物($SiO_xN_y$)或者多层的堆叠，如 $SiO_2/Si_3N_4$、$SiO_xN_y/Si_3N_4$ 或者 $SiO_xN_y/Si_3N_4/SiO_wN_z$。作为一种可选择的实施方案，可以采用分级堆叠的方式如 $SiO_xN_y/Si_3O_cN_w/SiO_q/N_u$。

另外，应控制氮化硅防反射涂层的厚度，使其适合于消除检测到

的入射光线波长附近的反射。对于检测可见光的图像传感器，其氮化硅层的厚度大约可设计为 550 埃（Angstroms）。

假定最佳的氮化物厚度为 $T_{OPT}$，则下列公式为 $T_{OPT}$ 值的近似值：

$$2N_{Nitride}T_{OPT} \approx \lambda/2$$

如果我们假定折射率 $N_{Nitride}$ 大约为 2.1，则对于 4500 埃(蓝色)的入射波长 λ，厚度 $T_{OPT}$ 大约为 535 埃。

在其它的实施方案中，当入射光线的光谱大约在 4000 到 7000 埃之间变化时，这使得由氮化硅所形成的防反射涂层的厚度范围大约在 470 埃和 830 埃之间。一旦给定一个波长范围，就可根据具体实施方案中的范围而估计出氮化硅的厚度是小于还是大于该范围。任一具体实施方案的厚度均由光电二极管防反射涂层的折射率所确定。该光电二极管防反射涂层可以是多层叠加结构如 $SiO_xN_y/Si_3N_4$，或者是具有分级折射率的材料。具有分级折射率的材料可以通过改变 $SiO_xN_y$ 沉积时氧和氮的流量来形成。这可能造成防反射涂层的厚度范围在 200 到 1500 埃之间，也可能在比较窄的范围 300-1000 埃内。

如果氮化硅防反射涂层设置为直接与硅基体接触，这可能导致光电二极管表面的界面状态密度（state density）增大，进而可能导致光电二极管的暗电流增大；而且，与硅接触的氮化硅也将造成对下层硅的应力。因此，在一实施方案中，氮化硅防反射涂层与光电二极管硅表面分离。但是，在其它实施方案中，这些防反射涂层如其它类型的防反射涂层，可以直接设置于硅表面上而没有不利影响。

本发明提出的是在感光元件（如光电二极管）的上方设有防反射

涂层的方案。因此，虽然这里的具体实施方案只是描述了在光电二极管硅表面顶上使用氮化硅并被某些类型缓冲层分开的情况，但是本发明同样适用于去除缓冲层的情况。

在一具体实施方案中，薄的氧化层，如二氧化硅层，通过沉积或者热培植的方式形成在光电二极管硅表面上方。在薄的氧化层形成后，就可以沉积氮化硅防反射涂层。参照图 2-4，图 2-4 介绍了形成防反射涂层的方法。具体地，图 2 展示了二个毗连像素的剖视图。展示二个像素有利于更精确地反映出真实的图像传感器的布局。

如图 2 所示，光电二极管 101 彼此毗连地形成在半导体基体 201 内。二个像素 101 被氧化区域分隔，该氧化区域在本实施方案中为浅的沟槽隔离(shallow trench isolation，简称 STI)。进一步地，图 2-4 中展示的光电二极管为 PIN 型光电二极管。然而，应当认为本发明可适用于任何类型的感光元件。图 2 中也展示了传输门被信号 TG 控制的传输晶体管。而且，复位晶体管毗邻传输晶体管设置。复位晶体管的门电路被信号 RST 控制。

图 2 展示了图像传感器形成过程的中间结构。在中间结构中，光电二极管 101 已经在基体 201 内形成而且 P+连接层也已经形成。此外，传输晶体管的门电路和复位晶体管的门电路也已经在门电路氧化层的顶上形成。剖面线部分表示形成传输晶体管的门电路以及复位晶体管的门电路的多晶硅。

此处，根据本发明的一个具体实施方案，薄的氧化层也可以采用热培植的方法形成，如通过多晶体硅与硅基体的热氧化。作为一种选

择方案，该薄的氧化层 203 可由积淀形成，比如通过化学气相淀积法或等离子体强化的化学气相淀积法。在一具体实施方案中，薄的氧化层 203 的厚度在 20 埃和 100 埃之间。

设置薄的氧化层 203 的目的是为了在多晶硅门电路的边缘长出局部较厚的氧化层，其将门电路氧化层局部增厚，因此减小传输门边缘的电场，从而改进晶体管高电子耗尽能力的可靠性。

参照图 3，积淀形成或用其它的方法形成一防反射涂层，如氮化硅层。防反射涂层 301 接着进行构形布局（patterned）以及刻蚀，以便防反射涂层基本上只覆盖光电二极管区域 101。在该具体实施方案中，防反射涂层被从图像传感器的非光电二极管区域去除。这可能很重要，因为防反射涂层（本实施方案中为氮化硅）在掺杂的步骤中可能成为氢渗透的屏障。如果氮化硅有残留，则用于减少硅/门电路氧化物表面状态密度的有益的氢气退火将被阻塞。

此外，如果采用允许氢渗透的其它防反射涂层材料，则可能没有必要将防反射涂层从非光电二极管区域去除。

接下来参照图 4，在传输门以及复位晶体管的门电路的暴露侧面均设置有侧面衬垫。该侧面衬垫可通过积淀氧化物并随后进行刻蚀而形成。接下来，通过植入技术在基体中形成 N+区域 401 和 403。最后，在整个像素上方形成平面层（比如平面的氧化层 405）。

总之，可以看出防反射涂层是如何在平面的氧化层 405 与下面的光电二极管 101 之间形成的。薄的氧化层作为防反射涂层 301 和硅表面之间的缓冲器或者减压层使用。然而，在一些具体实施方案中，根

据防反射涂层 301 所使用的材料特性，薄的氧化层不一定是绝对必需的。防反射涂层 301 的使用显著地减少了光电二极管 101 上的入射光线的反射数量。这使得实际到达光电二极管的入射光线增加从而产生更强的信号。

图 5 和图 6 描述了另一种形成防反射涂层的方法。具体地，如图 5 所示，在传输门和复位门电路形成之后，在门电路上形成了侧面衬垫，比如采用氧化物淀积覆盖并随后进行刻蚀处理。接着，一般采用离子植入方法在基体 203 中形成 N+区域 401 和 403。需要指出， N+区域 401 为浮动节点，而 N+区域 403 一般将被连接到 $V_{DD}$。再下一步是，在暴露的多晶硅以及暴露的硅基体上方形成薄的氧化层 203。

参照图 6，在像素之上形成防反射涂层 301 并进行构形布局（patterned），使其只覆盖光电二极管 101。此外，在一实施方案中，氮化硅层可用作为防反射涂层。

在其它可能的具体实施方案中，如果先形成侧面衬垫，则可以积淀多层的防反射涂层[$SiO_xN_y/Si_3N_4/SiO_wN_z$]或者具有分级折射率的防反射涂层[$SiO_xN_y/SiO_cN_w/SiO_q/N_u$]。

本领域的普通技术人员可以理解，上述的工艺方法也可以应用于图 1A 中描述的 3T 像素。

上述内容应理解为：这里所介绍的本发明的具体实施方案只是为了描述本发明，但在不偏离本发明宗旨与范围的情况下可以做出各种变换方案。因此，除权利要求之外，本发明不受任何限制。

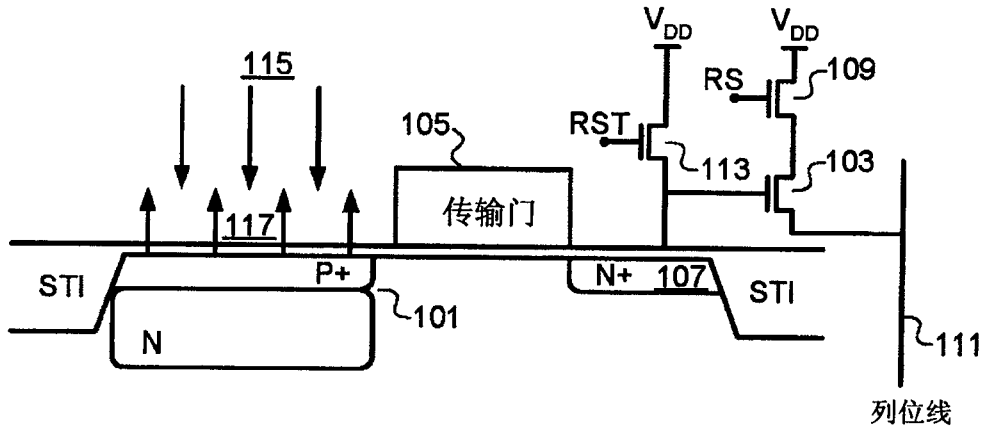

$V_{DD}$
$V_{DD}$
115
RS
109
105
RST
113
103
传输门
117
STI
P+
N+
107
STI
101
N
111
列位线

图 1

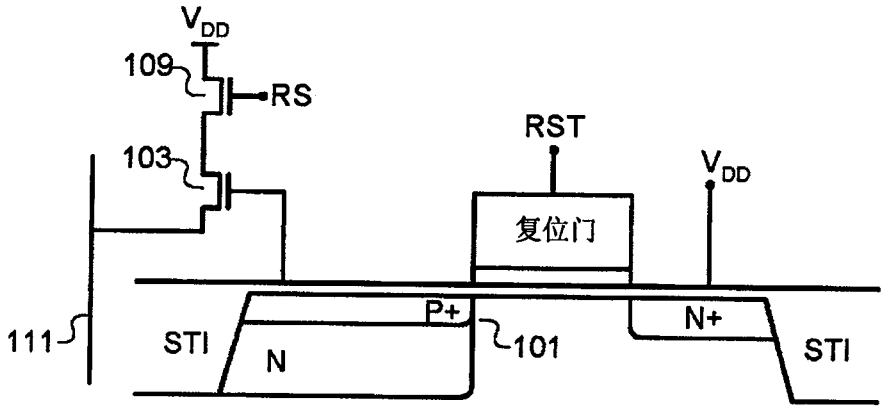

$V_{DD}$
109
RS
RST
103
$V_{DD}$
复位门
111
STI
P+
N+
N
101
STI

图 1A

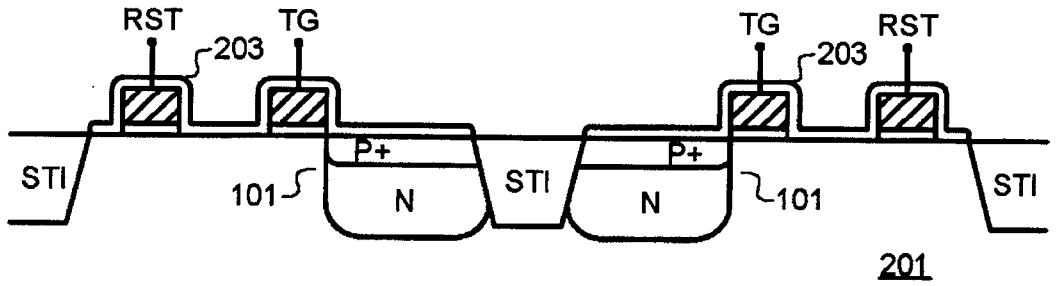

RST
TG
203
TG
RST
203
STI
P+
P+
101
N
STI
N
101
STI
201

图 2

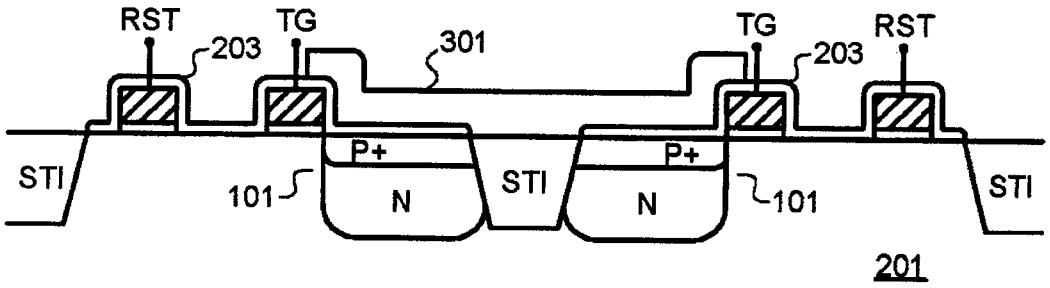

RST
TG
203
301
TG
RST
203
STI
P+
P+
101
N
STI
N
101
STI
201

图 3

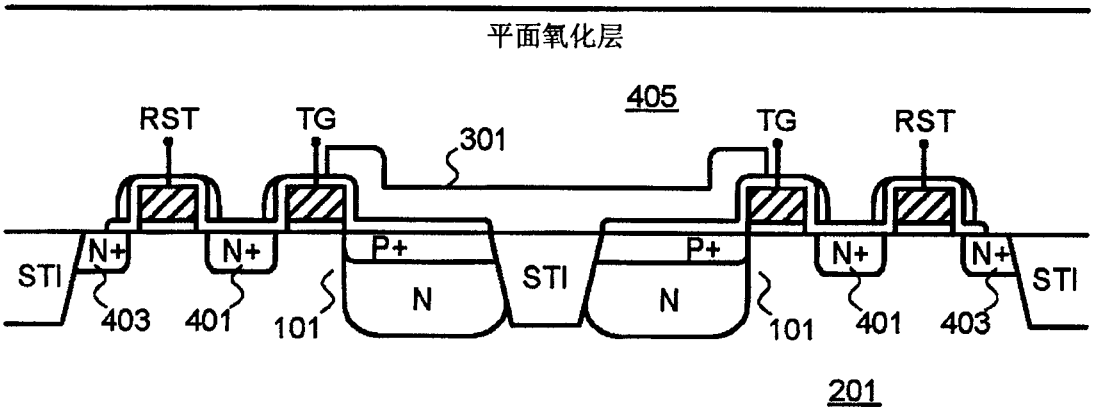

平面氧化层
405
RST
TG
301
TG
RST
STI
N+
N+
P+
STI
P+
N+
N+
STI
403
401
101
N
N
101
401
403
201

图 4

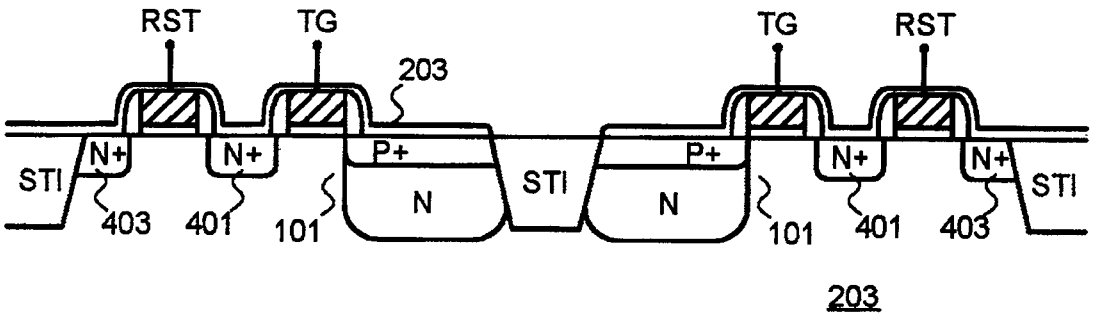

RST
TG
203
TG
RST
STI
N+
N+
P+
STI
P+
N+
N+
STI
403
401
101
N
N
101
401
403
203

图 5

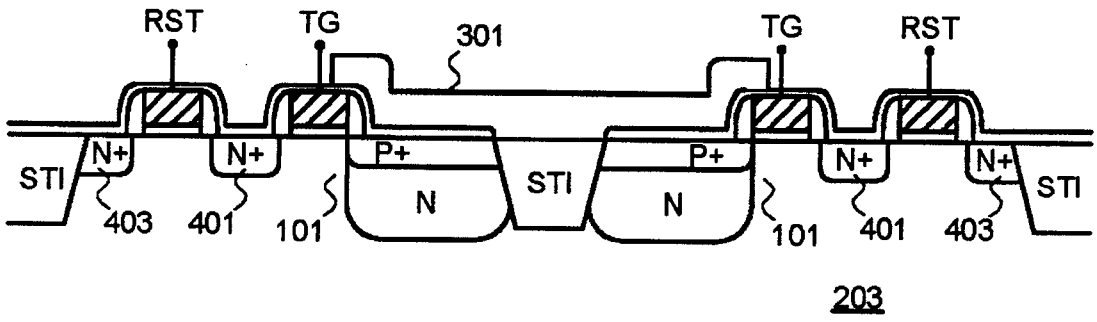

RST
TG
301
TG
RST
STI
N+
N+
P+
STI
P+
N+
N+
STI
403
401
101
N
N
101
401
403
203

图 6