

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-294082  
(P2007-294082A)

(43) 公開日 平成19年11月8日(2007.11.8)

(51) Int.C1.	F 1	テーマコード (参考)
<b>G 11 C 16/02</b> (2006.01)	G 11 C 17/00	6 1 2 F 5 B 1 2 5
<b>HO 1 L 21/8247</b> (2006.01)	HO 1 L 29/78	3 7 1 5 F 0 8 3
<b>HO 1 L 29/788</b> (2006.01)	HO 1 L 27/10	4 8 1 5 F 1 0 1
<b>HO 1 L 29/792</b> (2006.01)	HO 1 L 27/10	4 3 4 5 F 1 1 0
<b>HO 1 L 27/10</b> (2006.01)	HO 1 L 29/78	6 1 3 B

審査請求 未請求 請求項の数 7 O L (全 42 頁) 最終頁に続く

(21) 出願番号	特願2007-90867 (P2007-90867)	(71) 出願人	000153878
(22) 出願日	平成19年3月30日 (2007.3.30)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2006-101219 (P2006-101219)		神奈川県厚木市長谷398番地
(32) 優先日	平成18年3月31日 (2006.3.31)	(72) 発明者	納 光明
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	三宅 博之
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	宮崎 彩
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

最終頁に続く

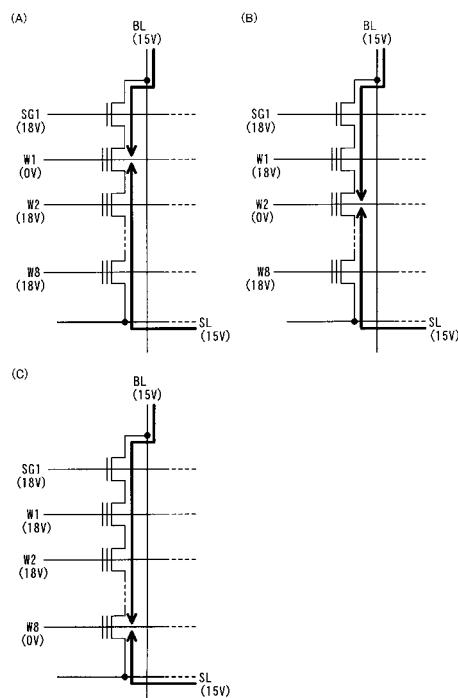
(54) 【発明の名称】 N A N D型不揮発性メモリのデータ消去方法

## (57) 【要約】

【課題】 N A N D型不揮発性メモリの消去動作として、PウェルやNウェルなどの基板端子を用いないで、不揮発性メモリ素子における電荷蓄積部に注入された電荷を放出する、すなわちN A N D型不揮発性メモリのデータの消去動作する方法を提供することを課題とする。

【解決手段】 N A N D型不揮発性メモリにおけるデータの消去方法において、不揮発性メモリ素子における電荷蓄積層に格納された電荷の放出について、ピット線、ソース線、及び制御ゲートに電位を印加することにより行う。そして、不揮発性メモリ素子における電荷蓄積層に格納された電荷の放出を、電荷を放出する不揮発性メモリ素子のソース端子、ドレイン端子、及び制御ゲートに電位を印加することにより行う。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

ビット線と、ソース線と、  
複数の不揮発性メモリを有し、複数の前記不揮発性メモリが直列に接続されたNAND型セルと、

選択トランジスタと、を有し、  
前記不揮発性メモリは、第1の絶縁膜を介した半導体膜上の電荷蓄積層と、第2の絶縁膜を介した前記電荷蓄積層上の制御ゲートを有し、

前記NAND型セルの一方の端子は、前記選択トランジスタを介して、前記ビット線に接続され、

前記NAND型セルの他方の端子は、前記ソース線に接続されたNAND型不揮発性メモリのデータ消去方法であって、

前記NAND型セルにおけるいずれか一の前記不揮発性メモリにおける前記電荷蓄積層に格納された電荷の放出は、前記ビット線、前記ソース線、及び前記制御ゲートに電位を印加することにより行われることを特徴とするNAND型不揮発性メモリのデータ消去方法。

**【請求項 2】**

ビット線と、ソース線と、  
複数の不揮発性メモリを有し、複数の前記不揮発性メモリが直列に接続されたNAND型セルと、

選択トランジスタと、を有し、  
前記不揮発性メモリは、第1の絶縁膜を介した半導体膜上の電荷蓄積層と、第2の絶縁膜を介した前記電荷蓄積層上の制御ゲートを有し、

前記NAND型セルの一方の端子は、前記選択トランジスタを介して、前記ビット線に接続され、

前記NAND型セルの他方の端子は、前記ソース線に接続されたNAND型不揮発性メモリのデータ消去方法であって、

前記NAND型セルにおけるいずれか一の前記不揮発性メモリにおける前記電荷蓄積層に格納された電荷の放出は、当該不揮発性メモリにおけるソース端子、ドレイン端子、及び制御ゲートに電位を印加することにより行われることを特徴とするNAND型不揮発性メモリのデータ消去方法。

**【請求項 3】**

ビット線と、ソース線と、  
複数の不揮発性メモリを有し、複数の前記不揮発性メモリが直列に接続された第1のNAND型セルと、

複数の不揮発性メモリを有し、複数の前記不揮発性メモリが直列に接続された第2のNAND型セルと、

第1の選択トランジスタと、第2の選択トランジスタと、を有し、  
前記不揮発性メモリは、第1の絶縁膜を介した半導体膜上の電荷蓄積層と、第2の絶縁膜を介した前記電荷蓄積層上の制御ゲートを有し、

前記第1のNAND型セルの一方の端子は、前記第1の選択トランジスタを介して、前記ビット線に接続され、

前記第1のNAND型セルの他方の端子は、前記ソース線に接続され、  
前記第2のNAND型セルの一方の端子は、前記第2の選択トランジスタを介して、前記ビット線に接続され、

前記第2のNAND型セルの他方の端子は、前記ソース線に接続され、  
前記第1のNAND型セルにおけるいずれか一の前記不揮発性メモリ及び前記第2のNAND型セルにおけるいずれか一の前記不揮発性メモリにおける前記電荷蓄積層に格納された電荷の放出は、前記ビット線、前記ソース線、及び前記制御ゲート電極に電位を印加することにより行われることを特徴とするNAND型不揮発性メモリのデータ消去方法。

## 【請求項 4】

ピット線と、ソース線と、

複数の不揮発性メモリを有し、複数の前記不揮発性メモリが直列に接続された第1のNAND型セルと、

複数の不揮発性メモリを有し、複数の前記不揮発性メモリが直列に接続された第2のNAND型セルと、

第1の選択トランジスタと、第2の選択トランジスタと、を有し、

前記不揮発性メモリは、第1の絶縁膜を介した半導体膜上の電荷蓄積層と、第2の絶縁膜を介した前記電荷蓄積層上の制御ゲートを有し、

前記第1のNAND型セルの一方の端子は、前記第1の選択トランジスタを介して、前記ピット線に接続され、

前記第1のNAND型セルの他方の端子は、前記ソース線に接続され、

前記第2のNAND型セルの一方の端子は、前記第2の選択トランジスタを介して、前記ピット線に接続され、

前記第2のNAND型セルの他方の端子は、前記ソース線に接続され、

前記第1のNAND型セルにおけるいずれか一の前記不揮発性メモリ及び前記第2のNAND型セルにおけるいずれか一の前記不揮発性メモリにおける前記電荷蓄積層に格納された電荷の放出は、当該第1のNAND型セルにおける不揮発性メモリ及び当該第2のNAND型セルにおける不揮発性メモリにおけるソース端子、ドレイン端子、及び制御ゲートに電位を印加することにより行われることを特徴とするNAND型不揮発性メモリのデータ消去方法。

## 【請求項 5】

請求項3または4において、前記電荷蓄積層に格納された電荷の放出は、前記第1のNAND型セル及び前記第2のNAND型セルにおける同じピットのワード線に対応する不揮発性メモリにおける電荷蓄積層に格納された電荷の放出を行うことを特徴とするNAND型不揮発性メモリのデータ消去方法。

## 【請求項 6】

請求項1乃至5のいずれか一において、前記電荷蓄積層は、ゲルマニウムを含む材料で構成されることを特徴とするNAND型不揮発性メモリのデータ消去方法。

## 【請求項 7】

請求項1乃至6のいずれか一において、前記電荷蓄積層は、シリコン及びゲルマニウムを含む窒化物を含む材料で構成されることを特徴とするNAND型不揮発性メモリのデータ消去方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は不揮発性半導体記憶装置におけるNAND型不揮発性メモリのデータの消去方法に関する。より詳細には、電気的な書き込み及び電気的な消去を行う不揮発性半導体記憶装置(不揮発性メモリ、またはEEPROM(Electricaly Erasable and Programmable Read Only Memory))におけるNAND型不揮発性メモリのデータの消去方法に関し、1ピット毎電気的な消去可能なEEPROM、フラッシュメモリなどをその範疇に含む。

## 【背景技術】

## 【0002】

データを電気的に書き換え可能であり、電源を切ってもデータを記憶しておくことのできる不揮発性メモリの市場が拡大している。不揮発性メモリは、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)と類似の構造を有し、電荷を長期間蓄積することのできる領域がチャネル形成領域上に設けられているところに特徴がある。この電荷蓄積領域は絶縁層上に形成され、周囲と絶縁分離されていることから浮遊ゲートとも呼ばれている。浮遊ゲート上には、さ

10

20

30

40

50

らに絶縁層を介して制御ゲートを備えている。

【0003】

このような構造を有する所謂浮遊ゲート型の不揮発性メモリは、制御ゲートに印加する電圧により、浮遊ゲートに電荷を蓄積させ、また放出させる動作が行われる。すなわち浮遊ゲートに保持させる電荷の出し入れにより、データを記憶する、または消去する仕組みになっている。具体的に、浮遊ゲートへの電荷の注入や引き抜きは、半導体基板のチャネル形成領域と、制御ゲートの間に高電圧を印加して行われている。このときチャネル形成領域上の絶縁層には、ファウラー・ノルドハイム(Fowler-Nordheim)型(F-N型)トンネル電流や、熱電子が流れると言われている。このことより当該絶縁層は、トンネル絶縁層とも呼ばれている。

10

【0004】

浮遊ゲート型の不揮発性メモリは、信頼性を保証するために、浮遊ゲートに貯えた電荷を10年以上保持できる特性が要求されている。そのためトンネル絶縁層には、トンネル電流が流れる厚さで形成しつつ、電荷が漏れてしまわないように、高い絶縁性が求められている。

【0005】

また、トンネル絶縁層上に形成される浮遊ゲートは、チャネル形成領域が形成される半導体と同じ半導体材料であるシリコンで形成されている。例えば、浮遊ゲートを多結晶シリコンで形成する方法が普及しており、例えば400nmの厚さにポリシリコン膜を堆積して形成したものが知られている(特許文献1参照)。

20

【0006】

この浮遊ゲート(以下、本明細書においては電荷蓄積層ともいう)を有し、電荷蓄積層に電荷を注入または電荷蓄積層から電荷を放出することで書き換え可能な不揮発性メモリをEEPROMと呼んでいる。また、不揮発性メモリの電荷蓄積層に注入した電荷を放出する動作を不揮発性メモリにおけるデータの消去と呼ぶ。そして、不揮発性メモリのメモリセルにおける全ての不揮発性メモリ素子の電荷蓄積層の電荷を放出することで、電気的に一括してデータを消去する駆動を用いたメモリをフラッシュメモリと呼んでいる。

20

【0007】

フラッシュメモリである不揮発性メモリの代表的なセル構成として、NOR型不揮発性メモリ及びNAND型不揮発性メモリがある。どちらの不揮発性メモリも一括消去動作を採用している。図30には、一般的なNAND型不揮発性メモリの構成例を示す。図30において、基板はN型の単結晶シリコン基板を用いており、周辺回路部(ロジック部ともいう)のPウェル3001とメモリセル(不揮発性メモリ素子部ともいう)のPウェル3002を分離して形成している。

30

【0008】

それにより、不揮発性メモリの一括消去の時には、すべての不揮発性メモリ素子の制御ゲートを同一電位にし、浮遊ゲートの電荷が十分抜けるまで、メモリセルのPウェルの端子に、制御ゲートよりも高いプラスの電圧を印加することで実現している。

40

【特許文献1】特開2000-58685号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、不揮発性メモリ素子における電荷蓄積層の電荷を放出させるのに、メモリセルのPウェルまたはNウェルなどに電圧を印加する方法を用いると、同一のPウェル単位またはNウェル単位での消去しかできなくなる。また、Pウェル単位またはNウェル単位の電位を消去時だけ大きく変動させるため、容量結合した部分間の誤動作、トランジスタのしきい値電圧の変動、または不揮発性メモリ素子のしきい値電圧の変動などの要因となっていた。

【0010】

そこで本発明では、大容量化に適したNAND型不揮発性メモリのデータの消去方法とし

50

て、PウェルまたはNウェルなどの基板端子を用いないで、不揮発性メモリ素子における電荷蓄積層に注入された電荷を放出する方法を提供することを課題とする。

【課題を解決するための手段】

【0011】

上述の諸問題を解決するため、本発明は複数の不揮発性メモリ素子が直列に接続され、一方の端子が選択トランジスタを介してビット線に接続され、他方の端子がソース線に接続されるNAND型不揮発性メモリにおけるデータの消去方法において、不揮発性メモリ素子における電荷蓄積層に格納された電荷の放出について、ビット線、ソース線、及び制御ゲートに電位を印加することにより行う構成とする。そして、不揮発性メモリ素子における電荷蓄積層に格納された電荷の放出を、電荷を放出する不揮発性メモリ素子のソース端子、ドレイン端子、及び制御ゲートに電位を印加することにより行うことの特徴とする。以下、本発明の具体的な構成について示す。

【0012】

本発明のNAND型不揮発性メモリのデータ消去方法の一は、ビット線と、ソース線と、複数の不揮発性メモリを有し、複数の不揮発性メモリが直列に接続されたNAND型セルと、選択トランジスタと、を有し、不揮発性メモリは、第1の絶縁膜を介した半導体膜上の電荷蓄積層と、第2の絶縁膜を介した電荷蓄積層上の制御ゲートを有し、NAND型セルの一方の端子は、選択トランジスタを介して、ビット線に接続され、NAND型セルの他方の端子は、ソース線に接続されたNAND型不揮発性メモリのデータ消去方法であって、NAND型セルにおけるいずれか一の不揮発性メモリにおける電荷蓄積層に格納された電荷の放出は、ビット線、ソース線、及び制御ゲートに電位を印加することにより行われる構成とする。

【0013】

また別の本発明のNAND型不揮発性メモリのデータ消去方法の一は、ビット線と、ソース線と、複数の不揮発性メモリを有し、複数の不揮発性メモリが直列に接続されたNAND型セルと、選択トランジスタと、を有し、不揮発性メモリは、第1の絶縁膜を介した半導体膜上の電荷蓄積層と、第2の絶縁膜を介した電荷蓄積層上の制御ゲートを有し、NAND型セルの一方の端子は、選択トランジスタを介して、ビット線に接続され、NAND型セルの他方の端子は、ソース線に接続されたNAND型不揮発性メモリのデータ消去方法であって、NAND型セルにおけるいずれか一の不揮発性メモリにおける電荷蓄積層に格納された電荷の放出は、当該不揮発性メモリにおけるソース端子、ドレイン端子、及び制御ゲートに電位を印加することにより行われる構成とする。

【0014】

また別の本発明のNAND型不揮発性メモリのデータ消去方法の一は、ビット線と、ソース線と、複数の不揮発性メモリを有し、複数の不揮発性メモリが直列に接続された第1のNAND型セルと、複数の不揮発性メモリを有し、複数の不揮発性メモリが直列に接続された第2のNAND型セルと、第1の選択トランジスタと、第2の選択トランジスタと、を有し、不揮発性メモリは、第1の絶縁膜を介した半導体膜上の電荷蓄積層と、第2の絶縁膜を介した電荷蓄積層上の制御ゲートを有し、第1のNAND型セルの一方の端子は、第1の選択トランジスタを介して、ビット線に接続され、第1のNAND型セルの他方の端子は、ソース線に接続され、第2のNAND型セルの一方の端子は、第2の選択トランジスタを介して、ビット線に接続され、第2のNAND型セルの他方の端子は、ソース線に接続され、第1のNAND型セルにおけるいずれか一の不揮発性メモリ及び第2のNAND型セルにおけるいずれか一の不揮発性メモリにおける電荷蓄積層に格納された電荷の放出は、ビット線、ソース線、及び制御ゲート電極に電位を印加することにより行われる構成とする。

【0015】

また別の本発明のNAND型不揮発性メモリのデータ消去方法の一は、ビット線と、ソース線と、複数の不揮発性メモリを有し、複数の不揮発性メモリが直列に接続された第1のNAND型セルと、複数の不揮発性メモリを有し、複数の不揮発性メモリが直列に接続さ

10

20

30

40

50

れた第2のNAND型セルと、第1の選択トランジスタと、第2の選択トランジスタと、を有し、不揮発性メモリは、第1の絶縁膜を介した半導体膜上の電荷蓄積層と、第2の絶縁膜を介した電荷蓄積層上の制御ゲートを有し、第1のNAND型セルの一方の端子は、第1の選択トランジスタを介して、ビット線に接続され、第1のNAND型セルの他方の端子は、ソース線に接続され、第2のNAND型セルの一方の端子は、第2の選択トランジスタを介して、ビット線に接続され、第2のNAND型セルの他方の端子は、ソース線に接続され、第1のNAND型セルにおけるいずれか一の不揮発性メモリ及び第2のNAND型セルにおけるいずれか一の不揮発性メモリにおける電荷蓄積層に格納された電荷の放出は、当該第1のNAND型セルにおける不揮発性メモリ及び当該第2のNAND型セルにおける不揮発性メモリにおけるソース端子、ドレイン端子、及び制御ゲートに電位を印加することにより行われる構成とする。  
10

#### 【0016】

また本発明において、電荷蓄積層に格納された電荷の放出は、第1のNAND型セル及び第2のNAND型セルにおける同じビットのワード線に対応する不揮発性メモリにおける電荷蓄積層に格納された電荷の放出を行う構成であってもよい。

#### 【0017】

また本発明において、電荷蓄積層は、ゲルマニウムを含む材料で構成されていてもよい。

#### 【0018】

また本発明において、電荷蓄積層は、シリコン、ゲルマニウムを含む窒化物を含む材料で構成されていてもよい。

#### 【発明の効果】

#### 【0019】

本発明のNAND型不揮発性メモリのデータ消去方法を用いることで、NAND型セルの中の不揮発性メモリ素子のデータを1つずつ順次消去することができる。そのため、NAND型セル内における不揮発性メモリ素子の電荷蓄積層内の電荷を放出するために、ロジック部とメモリセルとのPウェル部（またはNウェル部）の分離を行う必要がなく、低コスト化を実現することができる。

#### 【0020】

また、複数のNAND型セル内における不揮発性メモリ素子の電荷蓄積層内の電荷の放出について、デコーダ回路からの信号により、同じビットに対応するワード線に制御ゲートが繋がる複数のNAND型セルの不揮発性メモリ素子内の電荷蓄積層における電荷の放出も同時にを行うことができる。すなわち、複数のNAND型セルにおける不揮発性メモリ素子のデータを同時に消去することができる。

#### 【発明を実施するための最良の形態】

#### 【0021】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。  
40

#### （実施の形態1）

#### 【0022】

以下、本発明に係る不揮発性メモリにおけるデータの消去方法について説明する。図1にNAND型フラッシュメモリのセルアレイの一部を示す。本実施の形態においては、本発明の特徴である不揮発性メモリ素子における電荷蓄積層内の電荷の放出動作、すなわち不揮発性メモリ素子のデータの消去動作について説明する。

#### 【0023】

なお、NAND型フラッシュメモリは、セルアレイが選択用トランジスタを介してデータ入出力用のビット線に接続され、大容量化を実現している。本実施の形態においては、N  
50

A N D 型不揮発性メモリにおいて、8ビットの不揮発性メモリ素子が直列に接続したタイプで説明し、当該8ビットの不揮発性メモリ素子をN A N D型セルと呼ぶことにする。

【0024】

図1に示すように、N A N D型セル9118は、ビット線B Lとソース線S L間に直列に不揮発性メモリ素子9101～9108が接続され、選択トランジスタ9100のゲートには選択ゲート線S G 1が接続され、不揮発性メモリ素子9101～9108の制御ゲートにはそれぞれ順にワード線W 1～W 8が接続される。

【0025】

なお本実施の形態においては、N A N D型セルにおける不揮発性メモリ素子及び選択トランジスタの導電型はすべてNチャネル型であるとして説明する。また本発明におけるN A N D型セルにおける不揮発性メモリ素子及び選択トランジスタの導電型はPチャネル型であってもよい。

10

【0026】

次に本発明の不揮発性メモリ素子におけるデータの消去方法について、各配線の電位を具体的に例示し、図2を用いて説明する。なお、具体的な電位の例として、不揮発性メモリ素子は、よりもソース端子及びドレイン端子の電圧をゲート端子よりも十分大きい値(15V)にすることでデータ消去できるものとする。また、不揮発性メモリ素子は電荷蓄積層に電荷が蓄積されても蓄積されなくても、ソース端子に対するゲート端子の電圧が3Vあれば、ソースとドレイン端子の間は導通状態になるものとする。また、選択トランジスタもソース端子に対するゲート端子の電圧が3Vあれば、ソースとドレイン端子の間は導通状態になるものとする。各配線の電位は例であって、各トランジスタ及び各不揮発性メモリ素子をオンまたはオフする電位であればよいものであることを付記する。

20

【0027】

まず、図2(A)においては、ワード線W 1に繋がる不揮発性メモリ素子9101の電荷蓄積層における電荷を放出し、データを消去する例について説明する。図2(A)において、ビット線B L及びソース線S LをV 1(15V)し、ワード線W 1のみV 2(0V)にして、ワード線W 2～W 8及び選択ゲート線S G 1はV 3(18V)にする。これにより、不揮発性メモリ素子9102～9108及び選択トランジスタ9100は導通状態になり、不揮発性メモリ素子9101のソース及びドレインの電圧はV 1(15V)になる。なお図2(A)においては、各配線の電位が入力された場合における電位の伝達についての模式的な例について矢印を用いて記載している。図2(A)において、不揮発性メモリ素子9101は、制御ゲートに対するソース電圧、及び制御ゲートに対するドレイン電圧はV 1 V 2(15V)となり、不揮発性メモリ素子9101における電荷蓄積層の電荷を放出し、データを消去することができる。

30

【0028】

次に、図2(B)においては、ワード線W 2に繋がる不揮発性メモリ素子9102の電荷蓄積層における電荷を放出し、データを消去する例について説明する。図2(B)において、ビット線B L及びソース線S LはV 1(15V)であり、ワード線W 2のみV 2(0V)にして、選択ゲート線S G 1、ワード線W 1及びワード線W 3～W 8はV 3(18V)にする。これにより、不揮発性メモリ素子9101、不揮発性メモリ素子9103～9108及び選択トランジスタ9100は導通状態になり、不揮発性メモリ素子9102のソース及びドレインの電圧はV 1(15V)になる。なお図2(B)においては、各配線の電位が入力された場合における電位の伝達についての模式的な例について矢印を用いて記載している。図2(B)において、不揮発性メモリ素子9102は、制御ゲートに対するソース電圧、及び制御ゲートに対するドレイン電圧はV 1 V 2(15V)となり、不揮発性メモリ素子9102における電荷蓄積層の電荷を放出し、データを消去することができる。

40

【0029】

次に、図2(B)においては、ワード線W 2に繋がる不揮発性メモリ素子9102の電荷蓄積層における電荷を放出し、データを消去する例について説明する。図2(B)におい

50

て、ビット線 B\_L 及びソース線 S\_L は V\_1 (15V) であり、ワード線 W\_2 のみ V\_2 (0V) にして、選択ゲート線 S\_G\_1、ワード線 W\_1 及びワード線 W\_3 ~ W\_8 は V\_3 (18V) にする。これにより、不揮発性メモリ素子 9101、不揮発性メモリ素子 9103 ~ 9108 及び選択トランジスタ 9100 は導通状態になり、不揮発性メモリ素子 9102 のソース及びドレインの電圧は V\_1 (15V) になる。なお図 2 (B) においては、各配線の電位が入力された場合における電位の伝達についての模式的な例について矢印を用いて記載している。図 2 (B) において、不揮発性メモリ素子 9102 は、制御ゲートに対するソース電圧、及び制御ゲートに対するドレイン電圧は V\_1 ~ V\_2 (15V) となり、不揮発性メモリ素子 9102 における電荷蓄積層の電荷を放出し、データを消去することができる。

10

## 【0030】

そして、図 2 (C) においては、ワード線 W\_8 に繋がる不揮発性メモリ素子 9108 の電荷蓄積層における電荷を放出し、データを消去する例について説明する。図 2 (C) において、ビット線 B\_L 及びソース線 S\_L は V\_1 (15V) であり、ワード線 W\_8 のみ V\_2 (0V) にして、選択ゲート線 S\_G\_1、ワード線 W\_1 ~ W\_7 は V\_3 (18V) にする。これにより、不揮発性メモリ素子 9101 ~ 9107 及び選択トランジスタ 9100 は導通状態になり、不揮発性メモリ素子 9108 のソース及びドレインの電圧は V\_1 (15V) になる。なお図 2 (C) においては、各配線の電位が入力された場合における電位の伝達についての模式的な例について矢印を用いて記載している。図 2 (C) において、不揮発性メモリ素子 9108 は、制御ゲートに対するソース電圧、及び制御ゲートに対するドレイン電圧は V\_1 ~ V\_2 (15V) となり、不揮発性メモリ素子 9108 における電荷蓄積層の電荷を放出し、データを消去することができる。その結果、不揮発性メモリ素子 9101 ~ 9108 における電荷蓄積層の電荷を放出し、NAND 型セルのデータを全て消去することができる。

20

## 【0031】

上記 NAND 型不揮発性メモリのデータ消去方法を用いることにより、NAND 型セルの中の不揮発性メモリ素子のデータを 1 つずつ順次消去することができる。そのため、図 3 に示すように不揮発性メモリセル内を駆動するロジック部の P ウェル 5001 と不揮発性メモリセルの P ウェル 5002 の形成を同時に行なうことができる。つまり、ロジック部の P ウェルとメモリセルとの P ウェルを作り分ける際の基板の分離を行う必要がなく、ひいては不揮発性メモリ素子を有する不揮発性半導体記憶装置の低コスト化を実現することができる。

30

## 【0032】

なお、本実施の形態は、本明細書中の他の実施の形態または実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

(実施の形態 2)

## 【0033】

実施の形態 2 では、ワード線を共有しない複数の NAND 型セルの不揮発性メモリ素子における電荷蓄積層の電荷を放出させてデータを消去することができる不揮発性メモリのデータ消去方法について説明する。本実施の形態では例として 8 ビットの NAND 型セルにおいて、実施の形態 1 で説明した順次消去方法を 8 回行い、ワード線を共有しない複数の NAND 型セルの不揮発性メモリ素子における電荷蓄積層の電荷を放出させ、データを消去することができる不揮発性メモリのデータ消去方法について説明する。

40

## 【0034】

図 4 に示す図は、ワード線及び選択ゲート線を制御するロウドライバーの例である。図 4 のロウドライバーは、デコーダ 9200 及び電圧変換回路 9201 で構成される。図 4 において、ワード線に入力される信号は信号 L\_1 ~ L\_4、及びその反転信号 L\_1B ~ L\_4B である。また、選択ゲート線に入力される信号は信号 L\_5 及びその反転信号 L\_5B である。

## 【0035】

50

また図5は、不揮発性メモリ素子のデータ消去に使う信号の一例として、信号L1～L3の信号タイミングについて説明する図である。図5に示すようにL1～L3の信号はNAND型不揮発性メモリのビット数に対応するタイミングを有する波形で構成される。すなわち、図4において、信号L1～L3が入力されるデコーダ9200内のロジック回路9202及びロジック回路9203におけるNOR回路によってワード線W1～W8のいずれか、及びW9～W16のいずれかを選択するような信号を供給する。具体的には図5に示すように、信号L1～L3が入力される第1の期間9200Aにおいては、ワード線W1及びワード線W9を選択する。また信号L1～L3が入力される第2の期間9200Bにおいては、ワード線W2及びワード線W10を選択する。

## 【0036】

10

デコーダ9200でワード線及び選択ゲート線の信号を生成し、電圧変換回路9201で電圧を変換する。電圧変換回路の入力の信号、及び出力の信号の論理は、同じとする。つまり、入力の論理が1なら出力の論理も1、入力の論理が0なら出力の論理が0となる。電圧変換回路9201は、入力される信号に応じて電圧を変換し、各ワード線及び選択トランジスタのゲートに、電位を印加する機能を有する回路である。

## 【0037】

20

図4において、ワード線W1～W8用の信号を生成するロジック回路9202と、ワード線W9～W16の信号を生成するロジック回路9203とは、信号L1～L3及び信号L1B～L3Bの取り方、回路構成を同一にする。また、ロジック回路9202及びロジック回路9203への信号L4、信号L4Bが入力される配線との接続方法は異なっているが、信号L4及び信号L4Bが入力される配線は書き込み、または読み出しのために分かれて設けられている。不揮発性メモリ素子のデータ消去の時は信号L4、信号L4B共に、Low電位にする。また図4において、選択ゲート線SG1及びSG2は信号L5及び信号L5Bが入力される配線との接続方法が異なっているが、信号L5及び信号L5Bが入力される配線は書き込みや読み出しのために分かれて設けられており、不揮発性メモリ素子の電荷蓄積層からの電荷の放出であるデータの消去の時は、信号L5及び信号L5Bは共にHigh電位にする。

## 【0038】

30

図4及び図5に示す動作により、選択ゲート線SG1及びNAND型セル9118のワード線W1～W8に入力される信号は、選択ゲート線SG2及びNAND型セル9119のワード線W9～W16に入力される信号とそれぞれ等しくすることが出来る。つまり、ワード線W1に接続された不揮発性メモリ素子のデータを消去すると同時に、ワード線W9に接続された不揮発性メモリ素子のデータも消去することができる。また、ワード線W2に接続された不揮発性メモリ素子のデータを消去すると同時に、ワード線W10に接続された不揮発性メモリ素子のデータも消去することができる。また、ワード線W8に接続された不揮発性メモリ素子のデータを消去すると同時に、ワード線W16に接続された不揮発性メモリ素子のデータも消去することができる。すなわち複数のNAND型セルの不揮発性メモリ素子での電荷蓄積層における電荷の放出を同時に実行うことができるため、本実施の形態における構成においては、実施の形態1で述べた効果に加え、NAND型セル内のデータをより高速に消去することができる。

40

## 【0039】

本実施の形態は行方向にNAND型セルが2つの場合の不揮発性メモリ素子のデータ消去方法について説明したが、行方向にNAND型セルが多数ある場合でも信号L1～信号L3及び信号L1B～信号L3BからNAND型セル9118及びNAND型セル9119と同じ信号を生成し、別のNAND型セルに入力すれば良い。また、本実施の形態で説明したNAND型セル内のビット数と異なる不揮発性メモリでは、デコーダ9200の入力信号数やロジック回路を適宜変更すれば良い。また、本実施の形態で説明したデコーダ及び入力信号は、データの書き込みや読み出しの際の個々の不揮発性メモリ素子が選択できるように設計してもよい。

## 【0040】

50

上記NAND型不揮発性メモリのデータ消去方法を用いることにより、上記実施の形態1と同様に、NAND型セルの中の不揮発性メモリ素子のデータを1つずつ順次消去することができる。そのため、図3に示すように不揮発性メモリセル内を駆動するロジック部のPウェル5001と不揮発性メモリセルのPウェル5002の形成を同時に実行することができる。つまり、ロジック部のPウェルとメモリセルとのPウェルを作り分ける際の基板の分離を行う必要がなく、ひいては不揮発性メモリ素子を有する不揮発性半導体記憶装置の低コスト化を実現することができる。

#### 【0041】

なお、本実施の形態は、本明細書中の他の実施の形態または実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

10

#### 【実施例1】

#### 【0042】

本実施例においては、不揮発性メモリ素子の断面図について図面を用いて説明する。図6に本実施例における不揮発性メモリ素子の断面図について示す。この不揮発性メモリ素子は、絶縁表面を有する基板10を用いて作製されている。絶縁表面を有する基板10としては、ガラス基板、石英基板、サファイア基板、セラミック基板、表面に絶縁膜が形成された金属基板などを用いることができる。

#### 【0043】

この絶縁表面を有する基板10上に半導体膜14が形成されている。基板10と半導体膜14の間には、下地絶縁膜12を設けても良い。この下地絶縁膜12は、基板10から半導体膜14へアルカリ金属などの不純物が拡散して汚染することを防ぐものである。また下地絶縁膜12は、プロッキング層として適宜設けてもよい。

20

#### 【0044】

下地絶縁膜12としては、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン( $\text{SiO}_x\text{Ny}$ )( $x > y > 0$ )、窒化酸化シリコン( $\text{SiN}_x\text{O}_y$ )( $x > y > 0$ )等の絶縁材料を用いて形成する。例えば、下地絶縁膜12を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。

30

#### 【0045】

半導体膜14は、単結晶半導体又は多結晶半導体で形成されたものを用いることが好ましい。例えば、基板10上にスパッタリング法、プラズマCVD法若しくは減圧CVD法によって基板10の全面に形成された半導体膜を結晶化させた後、選択的にエッチングして半導体膜14を形成することができる。すなわち、素子分離の目的から、絶縁表面に島状の半導体膜を形成し、該半導体膜に一又は複数の不揮発性メモリ素子を形成することが好ましい。半導体材料としては、シリコンが好ましく、その他にシリコンゲルマニウム半導体を用いることもできる。半導体膜の結晶化法としては、レーザー結晶化法、瞬間熱アニール(RTA)又はファーネスアニール炉を用いた熱処理による結晶化法、結晶化を助長する金属元素を用いる結晶化法又はこれら方法を組み合わせて行う方法を採用することができる。また、このような薄膜プロセスに換えて、絶縁表面に単結晶半導体膜を形成した所謂SOI(Silicon on Insulator)基板を用いても良い。

40

#### 【0046】

このように、絶縁表面に形成された半導体膜を島状に分離形成することで、同一基板上に不揮発性メモリ素子アレイと周辺回路を形成した場合にも、有効に素子分離をすることができる。すなわち、10V～20V程度の電圧で書き込みや消去を行う必要のある不揮発性メモリ素子アレイと、3V～7V程度の電圧で動作してデータの入出力や命令の制御を主として行う周辺回路を同一基板上に形成した場合でも、各素子に印加する電圧の違いによる相互の干渉を防ぐことができる。

#### 【0047】

半導体膜14にはp型不純物が注入されていても良い。p型不純物として、例えばホウ素

50

が用いられ、 $5 \times 10^{15}$  atoms/cm<sup>3</sup> ~  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 程度の濃度で添加されていても良い。これは、トランジスタのしきい値電圧を制御するためのものであり、チャネル形成領域に添加されることで有効に作用する。チャネル形成領域は、後述するゲート 26 下と概略一致する領域に形成されるものであり、半導体膜 14 の一対の不純物領域 18a、18b の間に位置するものである。

#### 【0048】

一対の不純物領域 18a、18b は不揮発性メモリ素子においてソース領域及びドレイン領域として機能する領域である。一対の不純物領域 18a、18b は n 型不純物であるリン若しくはヒ素をピーク濃度で約  $10^{21}$  atoms/cm<sup>3</sup> で半導体膜 14 に添加することで形成される。

10

#### 【0049】

半導体膜 14 上には第 1 の絶縁膜 16、浮遊ゲート 20、第 2 の絶縁膜 22、制御ゲート 24 が形成されるが、本明細書では、浮遊ゲート 20 から制御ゲート 24 までの積層構造をゲート 26 と呼ぶことがある。

#### 【0050】

第 1 の絶縁膜 16 は酸化シリコン若しくは酸化シリコンと窒化シリコンの積層構造で形成する。第 1 の絶縁膜 16 は、プラズマ CVD 法や減圧 CVD 法により絶縁膜を堆積することで形成しても良いが、好ましくはプラズマ処理による固相酸化若しくは固相窒化で形成すると良い。半導体膜（代表的にはシリコン層）を、プラズマ処理により酸化又は窒化することにより形成した絶縁膜は、緻密で絶縁耐圧が高く信頼性に優れているためである。第 1 の絶縁膜 16 は、浮遊ゲート 20 に電荷を注入するためのトンネル絶縁膜として用いるので、このように丈夫であることが好ましい。この第 1 の絶縁膜 16 は 1 nm ~ 20 nm、好ましくは 3 nm ~ 6 nm の厚さに形成することが好ましい。例えば、ゲート長を 600 nm とする場合、第 1 の絶縁膜 16 は 3 nm ~ 6 nm の厚さに形成することができる。

20

#### 【0051】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波（代表的には 2.45 GHz）で励起され、電子密度が  $1 \times 10^{11}$  cm<sup>-3</sup> 以上  $1 \times 10^{13}$  cm<sup>-3</sup> 以下、且つ電子温度が 0.5 eV 以上 1.5 eV 以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、500 以下の温度において、緻密な絶縁膜を形成すると共に実用的な反応速度を得るためである。

30

#### 【0052】

このプラズマ処理により半導体膜 14 の表面を酸化する場合には、酸素雰囲気下（例えば、酸素 (O<sub>2</sub>) 又は一酸化二窒素 (N<sub>2</sub>O)）と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下、若しくは酸素又は一酸化二窒素と水素 (H<sub>2</sub>) と希ガス雰囲気下）で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下（例えば、窒素 (N<sub>2</sub>) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH<sub>3</sub> と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えば Ar を用いることができる。また、Ar と Kr を混合したガスを用いてもよい。

40

#### 【0053】

図 7 にプラズマ処理を行うための装置の構成例を示す。このプラズマ処理装置は、基板 10 を配置するための支持台 88 と、ガスを導入するためのガス供給部 84、ガスを排気するために真空ポンプに接続する排気口 86、アンテナ 80、誘電体板 82、プラズマ発生用のマイクロ波を供給するマイクロ波供給部 92 を有している。また、支持台 88 に温度制御部 90 を設けることによって、基板 10 の温度を制御することも可能である。

#### 【0054】

以下に、プラズマ処理について説明する。なお、プラズマ処理とは、半導体膜、絶縁膜、導電層に対する酸化処理、窒化処理、酸窒化処理、水素化処理、表面改質処理を含んでいる。これらの処理は、その目的に応じて、ガス供給部 84 から供給するガスを選択すれば

50

良い。

【0055】

酸化処理若しくは窒化処理を行うには以下のようにすれば良い。まず、処理室内を真空にし、ガス供給部84から酸素又は窒素を含むプラズマ処理用ガスを導入する。基板10は室温にするか、若しくは温度制御部90により100～550に加熱する。なお、基板10と誘電体板82との間隔は、20nm～80mm（好ましくは20nmから60mm）程度である。次に、マイクロ波供給部92からアンテナ80にマイクロ波を供給する。そしてマイクロ波をアンテナ80から誘電体板82を通して処理室内に導入することによって、プラズマ94を生成する。マイクロ波の導入によりプラズマの励起を行うと、低電子温度（3eV以下、好ましくは1.5eV以下）で高電子密度（ $1 \times 10^{11} \text{ cm}^{-3}$ 以上）のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）及び/又は窒素ラジカル（NHラジカルを含む場合もある）によって、半導体膜の表面を酸化又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。この方法は、プラズマで励起した活性なラジカルを有效地に使うことにより、500以下の低温で固相反応による酸化、窒化若しくは酸化窒化を行うことができる。

【0056】

図6において、プラズマ処理により形成される好適な第1の絶縁膜16の一例は、酸素雰囲気下のプラズマ処理により半導体膜14の表面に3nm～6nmの厚さで酸化シリコン層16aを形成し、その後窒素雰囲気下でその酸化シリコン層の表面を窒化プラズマで処理した窒素プラズマ処理層16bを形成する。具体的には、まず、酸素雰囲気下でのプラズマ処理により半導体膜14上に3nm～6nmの厚さで酸化シリコン層16aを形成する。その後、続けて窒素雰囲気下でプラズマ処理を行うことにより酸化シリコン層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を設ける。なお、表面近傍とは、酸化シリコン層の表面から概略0.5nm～1.5nmの深さをいう。例えば、窒素雰囲気下でプラズマ処理を行うことによって、酸化シリコン層16aの表面から概略1nmの深さに窒素を20～50原子%の割合で含有させた構造とする。

【0057】

第1の絶縁膜16の代表例として、シリコン層の表面をプラズマ処理で酸化することで、界面に歪みのない緻密な酸化膜を形成することができる。また、当該酸化膜の表面をプラズマ処理で窒化することで、表層側の酸素を窒素に置換して窒化層を形成すると、さらに緻密化することができる。このプラズマ処理により絶縁耐圧が高い絶縁層を形成することができる。

【0058】

いずれにしても、上記のようなプラズマ処理による固相酸化処理若しくは固相窒化処理を用いることで、耐熱温度が700以下ガラス基板を用いても、950～1050で形成される熱酸化膜と同等な絶縁膜を得ることができる。すなわち、不揮発性メモリ素子のトンネル絶縁膜として信頼性の高いトンネル絶縁膜を形成することができる。

【0059】

浮遊ゲート20は第1の絶縁膜16上に形成される。浮遊ゲート20は半導体材料で形成することが好ましく、次に示す一又は複数の条件を満たすものを選択することができる。

【0060】

浮遊ゲート20を形成する半導体材料のバンドギャップが、半導体膜14のバンドギャップより小さいことが好ましい。例えば、浮遊ゲート20を形成する半導体材料のバンドギャップと、半導体膜14のバンドギャップは、0.1eV以上の差があって、前者の方が小さいことが好ましい。半導体膜14の伝導帯の底のエネルギーレベルより、浮遊ゲート20の伝導帯の底のエネルギーレベルを低くすることにより、電荷（電子）の注入性を向上させ、電荷保持特性を向上させるためである。

【0061】

10

20

30

40

50

浮遊ゲート 20 を形成する半導体材料は、半導体膜 14 を形成する材料よりも抵抗率が小さい材料で形成されていることが好ましい。浮遊ゲート 20 を抵抗率の小さい半導体材料で形成することにより、制御ゲートと半導体膜の間に電圧を印加したとき、電界が浮遊ゲートで分圧されずにすみ、電界を半導体膜に有効に作用させることができる。例えば、ゲルマニウムは 40 ~ 70 · cm の固有抵抗を有するので好ましい。また、抵抗率を下げる目的で浮遊ゲート 20 に n 型不純物を添加しても良い。このように、半導体膜 14 と比較して、浮遊ゲート 20 をバンドギャップが小さく抵抗率が低い材料で形成することで、書き込み特性を向上させることができる。

#### 【 0 0 6 2 】

浮遊ゲート 20 を形成する半導体材料は、第 1 の絶縁膜 16 により形成される半導体膜 14 の電子に対するエネルギー障壁に対し、第 1 の絶縁膜 16 により形成される浮遊ゲート 20 の電子に対するエネルギー障壁が高くなるものが好ましい。これは、半導体膜 14 から浮遊ゲート 20 への電荷（電子）を注入しやすくし、浮遊ゲート 20 から電荷が消失することを防ぐためである。

#### 【 0 0 6 3 】

また、浮遊ゲート 20 は、図 8 に示すように、第 1 の浮遊ゲート電極層 20a と第 2 の浮遊ゲート電極層 20b により形成されていてもよい。勿論、この二層構造に限定されず、2 層以上の層を積層して設ければ良い。しかしながら、第 1 の絶縁膜 16 に接して形成される第 1 の浮遊ゲート電極層 20a は半導体材料で形成することが好ましく、次に示す又は複数の条件を満たすものを選択することができる。

#### 【 0 0 6 4 】

第 1 の浮遊ゲート電極層 20a を形成する半導体材料のバンドギャップが、半導体膜 14 のバンドギャップより小さいことが好ましい。例えば、第 1 の浮遊ゲート電極層 20a を形成する半導体材料のバンドギャップと、半導体膜 14 のバンドギャップは、0.1 eV 以上の差があって、前者の方が小さいことが好ましい。半導体膜 14 の伝導帯の底のエネルギーレベルより、第 1 の浮遊ゲート電極層 20a の伝導帯の底のエネルギーレベルを低くすることにより、電荷（電子）の注入性を向上させ、電荷保持特性を向上させるためである。

#### 【 0 0 6 5 】

第 1 の浮遊ゲート電極層 20a を形成する半導体材料は、半導体膜 14 を形成する材料よりも抵抗率が小さい材料で形成されていることが好ましい。第 1 の浮遊ゲート電極層 20a を抵抗率の小さい半導体材料で形成することにより、制御ゲートと半導体膜の間に電圧を印加したとき、電界が浮遊ゲートで分圧されずにすみ、電界を半導体膜に有効に作用させることができる。例えば、ゲルマニウムは 40 ~ 70 · cm の固有抵抗を有するので好ましい。また、抵抗率を下げる目的で第 1 の浮遊ゲート電極層 20a に n 型不純物を添加しても良い。このように、半導体膜 14 と比較して、第 1 の浮遊ゲート電極層 20a をバンドギャップが小さく抵抗率が低い材料で形成することで、書き込み特性を向上させることができる。

#### 【 0 0 6 6 】

第 1 の浮遊ゲート電極層 20a を形成する半導体材料は、第 1 の絶縁膜 16 により形成される半導体膜 14 の電子に対するエネルギー障壁に対し、第 1 の絶縁膜 16 により形成される第 1 の浮遊ゲート電極層 20a の電子に対するエネルギー障壁が高くなるものが好ましい。これは、半導体膜 14 から第 1 の浮遊ゲート電極層 20a への電荷（電子）を注入しやすくし、第 1 の浮遊ゲート電極層 20a から電荷が消失することを防ぐためである。

#### 【 0 0 6 7 】

図 6 における浮遊ゲート 20 または図 8 における第 1 の浮遊ゲート電極層 20a を形成する半導体材料の条件を満たすものとして、代表的にはゲルマニウム若しくはゲルマニウム化合物で浮遊ゲート 20 または第 1 の浮遊ゲート電極層 20a を形成することができる。ゲルマニウム化合物の代表例としては、シリコンゲルマニウムであり、この場合シリコンに対してゲルマニウムが 10 原子 % 以上含まれていることが好ましい。ゲルマニウムの濃

10

20

30

40

50

度が 10 原子 % 未満であると、構成元素としての効果が薄れ、浮遊ゲート 20 又は第 1 の浮遊ゲート電極層 20 a のバンドギャップが有効に小さくならないためである。

#### 【 0 0 6 8 】

浮遊ゲート（以下、電荷蓄積層ともいう）は電荷を蓄積する目的で、本発明に係る不揮発性半導体記憶装置に適用されるが、同様の機能を備えるものであれば他の半導体材料を適用することもできる。例えば、ゲルマニウムを含む三元系の半導体であっても良い。また、当該半導体材料が水素化されていても良い。また、不揮発性メモリ素子の電荷蓄積層としての機能を持つものとして、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物の層で置き換えることもできる。

#### 【 0 0 6 9 】

なお、図 8 における第 1 の浮遊ゲート電極層 20 a に接して、第 2 の絶縁膜 22 側に設ける第 2 の浮遊ゲート電極層 20 b は、シリコン若しくはシリコン化合物で形成される層を適用することが好ましい。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを 10 原子 % 未満の濃度で含むシリコンゲルマニウムなどを適用することができる。このように第 2 の浮遊ゲート電極層 20 b を、第 1 の浮遊ゲート電極層 20 a よりもバンドギャップの大きな材料で形成することにより、浮遊ゲートに蓄積する電荷が第 2 の絶縁膜 22 側にリークするのを防ぐことができる。また、第 2 の浮遊ゲート電極層 20 b を形成するものとして、金属窒化物又は金属酸化物を用いることができる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。

#### 【 0 0 7 0 】

いずれにしても、図 8 における上記したシリコン若しくはシリコン化合物、金属窒化物又は金属酸化物の第 2 の層は、ゲルマニウム若しくはゲルマニウム化合物で形成される第 1 の層の上層側に設けることにより、製造工程においては、耐水性や耐薬品性を目的としたバリア層として用いることができる。それにより、フォトリソ工程、エッチング工程、洗浄工程における基板の扱いが容易となり、生産性を向上させることができる。すなわち、浮遊ゲートの加工を容易なものとすることができます。

#### 【 0 0 7 1 】

第 2 の絶縁膜 22 は、酸化シリコン、酸化窒化シリコン (  $\text{SiO}_{x} \text{N}_{y}$  ) (  $x > y$  )、窒化シリコン (  $\text{SiN}_{x}$  ) 又は窒化酸化シリコン (  $\text{SiN}_{x} \text{O}_{y}$  ) (  $x > y$  )、酸化アルミニウム (  $\text{Al}_{x} \text{O}_{y}$  ) などの一層若しくは複数層を、減圧 CVD 法やプラズマ CVD 法などで形成する。第 2 の絶縁膜 22 の厚さは 1 nm ~ 20 nm、好ましくは 5 ~ 10 nm で形成する。例えば、窒化シリコン層 22 a を 3 nm の厚さに堆積し、酸化シリコン層 22 b の厚さを 5 nm の厚さに堆積したものを用いることができる。また、浮遊ゲート 20 の表面にプラズマ処理を行い、浮遊ゲート 20 の表面を窒化処理した窒化膜（例えば、浮遊ゲート 20 としてゲルマニウムを用いた場合には窒化ゲルマニウム）を形成してもよい。いずれにしても、第 1 の絶縁膜 16 と第 2 の絶縁膜 22 が、浮遊ゲート 20 と接する側の一方又は双方を窒化膜とすることで、浮遊ゲート 20 の酸化を防ぐことができる。また、第 2 の絶縁膜 22 は、第 1 の絶縁膜 16 と比較して誘電率の大きい材料である酸化アルミニウム (  $\text{Al}_{2}\text{O}_{3}$  )、酸化ハフニウム (  $\text{HfO}_{2}$  ) 又は酸化タンタル (  $\text{Ta}_{2}\text{O}_{5}$  ) を含む膜を形成してもよい。

#### 【 0 0 7 2 】

制御ゲート 24 はタンタル (  $\text{Ta}$  )、タングステン (  $\text{W}$  )、チタン (  $\text{Ti}$  )、モリブデン (  $\text{Mo}$  )、クロム (  $\text{Cr}$  )、ニオブ (  $\text{Nb}$  ) 等から選択された金属、又はこれらの金属を主成分とする合金材料若しくは化合物材料で形成することが好ましい。また、リン等の不純物元素を添加した多結晶シリコンを用いることができる。また、一層又は複数層の金属窒化物層 24 a と上記の金属層 24 b の積層構造で制御ゲート 24 を形成しても良い。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物層 24 a を設けることにより、第 2 の絶縁膜 22 との密着性を向上させることができ、制御ゲート 24 が第 2 の絶縁膜 22 から剥離することを防ぐことができる。

10

20

30

40

50

また、窒化タンタルなどの金属窒化物は仕事関数が高いので、制御ゲート24として用いれば、第2の絶縁膜22との相乗効果により、第1の絶縁膜16の厚さを厚くすることができる。

【0073】

図6に示す不揮発性メモリ素子の動作メカニズムを、図9に示すバンド図を参照して説明する。また図8に示す不揮発性メモリ素子の動作メカニズムを、図10に示すバンド図を参照して説明する。以下に示すバンド図において、図6、図8と同じ要素には同じ符号を付している。

【0074】

図9は半導体膜14、第1の絶縁膜16、浮遊ゲート20、第2の絶縁膜22、制御ゲート24が積層された状態を示している。図9は制御ゲート24に電圧を印加していない場合であって、半導体膜14のフェルミ準位 $E_f$ と制御ゲート24のフェルミ準位 $E_{fm}$ が等しい場合を示している。

【0075】

第1の絶縁膜16を挟んで、半導体膜14と浮遊ゲート20は異なる材料で形成している。半導体膜14のバンドギャップ $E_{g1}$ （伝導帯の下端 $E_c$ と価電子帯の上端 $E_v$ のエネルギー差）と浮遊ゲート20のバンドギャップ $E_{g2}$ は異なるものとし、後者のバンドギャップは小さくなるように組み合わせている。例えば、半導体膜14としてシリコン（1.12eV）、浮遊ゲート20をとしてゲルマニウム（0.72eV）又はシリコンゲルマニウム（0.73～1.0eV）を組み合わせることができる。なお、第1の絶縁膜16は酸化シリコン層16a（約8eV）と、当該酸化シリコン層の表面をプラズマ処理により窒化した窒素プラズマ処理層16b（約5eV）が積層された状態を示している。また、第2の絶縁膜22も、浮遊ゲート20側から、窒化シリコン層22aと酸化シリコン層22bが積層された状態を示している。

【0076】

第1の絶縁膜16を挟んで、半導体膜14と浮遊ゲート20は異なる材料で形成している。この場合、半導体膜14のバンドギャップと浮遊ゲート20のバンドギャップは異なるものであり、後者のバンドギャップは小さくなるように組み合わせている。例えば、半導体膜14をシリコン（1.12eV）として、浮遊ゲート20をゲルマニウム（0.72eV）又はシリコンゲルマニウム（0.73～1.0eV）とすることができる。すなわち、半導体膜14としてシリコンのバンドギャップ $E_{g1}$ と、浮遊ゲート20としてゲルマニウムのバンドギャップ $E_{g2}$ は、 $E_{g1} > E_{g2}$ の関係を満たしている。半導体膜14とゲート電極20のそれぞれについて上述の材料を用いて形成すれば、第1の絶縁膜16により形成される半導体膜14の電子に対するエネルギー障壁、すなわち第1障壁 $B_{e1}$ と、第1の絶縁膜16により形成される浮遊ゲート20の電子に対するエネルギー障壁、すなわち第2障壁 $B_{e2}$ は異なる値となり、 $B_{e2} > B_{e1}$ の関係を持たせることができる。このような状況においては、半導体膜14と浮遊ゲート20の伝導帯底のエネルギーレベルのエネルギー差 $E$ が発生する。後述するように、このエネルギー差 $E$ は、半導体膜14から浮遊ゲート20に電子を注入するとき、電子を加速する方向に作用するので、書き込み電圧を低下させるのに寄与する。

【0077】

また、図10は半導体膜14、第1の絶縁膜16、浮遊ゲート20、第2の絶縁膜22、制御ゲート24が積層された状態を示している。図10は制御ゲート24に電圧を印加していない場合であって、半導体膜14のフェルミ準位 $E_f$ と制御ゲート24のフェルミ準位 $E_{fm}$ が等しい場合を示している。

【0078】

第1の絶縁膜16を挟んで、半導体膜14と浮遊ゲート20の内、少なくとも第1の浮遊ゲート電極層20aは異なる材料で形成している。半導体膜14のバンドギャップ $E_{g1}$ （伝導帯の下端 $E_c$ と価電子帯の上端 $E_v$ のエネルギー差）と第1の浮遊ゲート電極層20aのバンドギャップ $E_{g2}$ は異なるものとし、後者のバンドギャップは小さくなるよう

10

20

30

40

50

に組み合わせている。例えば、半導体膜 1 4 としてシリコン (1.12 eV)、第 1 の浮遊ゲート電極層 2 0 a としてゲルマニウム (0.72 eV) 又はシリコンゲルマニウム (0.73 ~ 1.0 eV) を組み合わせることができる。また、第 2 の浮遊ゲート電極層 2 0 b として多結晶シリコンを用いた場合には、第 1 の浮遊ゲート電極層 2 0 a よりもバンドギャップが大きくなる。このバンドギャップの差は、第 1 の絶縁膜 1 6 を通して第 1 の浮遊ゲート電極層 2 0 a に注入されたキャリアに対する障壁となる。それにより、注入されたキャリアが第 2 の絶縁膜 2 2 側にリークすることや、第 2 の浮遊ゲート電極層 2 0 b と第 2 の絶縁膜 2 2 との界面にトラップされてしまうのを防ぐことができる。

#### 【 0 0 7 9 】

なお、第 1 の絶縁膜 1 6 は酸化シリコン層 1 6 a (約 8 eV) と、当該酸化シリコン層の表面をプラズマ処理により窒化処理した窒素プラズマ処理層 1 6 b (約 5 eV) が積層された状態を示している。また、第 2 の絶縁膜 2 2 も、浮遊ゲート 2 0 側から、窒化シリコン層 2 2 a と酸化シリコン層 2 2 b が積層された状態を示している。

#### 【 0 0 8 0 】

第 1 の絶縁膜 1 6 を挟んで、半導体膜 1 4 と第 1 の浮遊ゲート電極層 2 0 a は異なる材料で形成している。この場合、半導体膜 1 4 のバンドギャップと第 1 の浮遊ゲート電極層 2 0 a のバンドギャップは異なるものであり、後者のバンドギャップは小さくなるように組み合わせている。例えば、半導体膜 1 4 をシリコン (1.12 eV) として、第 1 の浮遊ゲート電極層 2 0 a をゲルマニウム (0.72 eV) 又はシリコンゲルマニウム (0.73 ~ 1.0 eV) とすることができる。すなわち、半導体膜 1 4 としてシリコンのバンドギャップ  $E_g 1$  と、第 1 の浮遊ゲート電極層 2 0 a としてゲルマニウムのバンドギャップ  $E_g 2$  は、 $E_g 1 > E_g 2$  の関係を満たしている。半導体膜 1 4 と第 1 の浮遊ゲート電極層 2 0 a のそれぞれについて上述の材料を用いて形成すれば、第 1 の絶縁膜 1 6 により形成される電子に対するエネルギー障壁、すなわち第 1 障壁  $B_e 1$  と第 2 障壁  $B_e 2$  は異なる値となり、 $B_e 2 > B_e 1$  の関係を持たせることができる。このような状況においては、半導体膜 1 4 と第 1 の浮遊ゲート電極層 2 0 a の伝導帯底のエネルギーレベルのエネルギー差  $E$  が発生する。後述するように、このエネルギー差  $E$  は、半導体膜 1 4 から第 1 の浮遊ゲート電極層 2 0 a に電子を注入するとき、電子を加速する方向に作用するので、書き込み電圧を低下させるのに寄与する。

#### 【 0 0 8 1 】

比較のために、半導体膜と浮遊ゲートを同じ半導体材料で形成した場合のバンド図を図 1 1 に示す。このバンド図は、半導体膜 0 1、第 1 の絶縁膜 0 2、浮遊ゲート 0 3、第 2 の絶縁膜 0 4、制御ゲート 0 5 が順次積層された状態を示している。半導体膜 0 1 と浮遊ゲート 0 3 を同じシリコン材料で形成した場合でも、浮遊ゲート 0 3 を薄く形成するとバンドギャップが異なってくる。図 1 1 では、半導体膜 0 1 のバンドギャップを  $E_g 1$ 、浮遊ゲート 0 3 のバンドギャップを  $E_g 2$  で示している。例えば、シリコンでは薄膜化すると、バンドギャップが単結晶シリコンウェハの 1.12 eV から 1.4 eV 程度まで増大すると言われている。それにより、半導体膜 0 1 と浮遊ゲート 0 3 の間には、電子の注入を遮る方向に  $-E$  のエネルギー差が生じてしまう。このような状況では、半導体膜 0 1 から浮遊ゲート 0 3 に電子を注入するために高電圧が必要になってしまう。すなわち、書き込み電圧を下げるために、浮遊ゲート 0 3 をバルクシリコン並に厚く形成するか、n 型不純物としてリンやヒ素を高濃度にドーピングする必要がある。このことは、従来の不揮発性メモリにおける欠陥である。

#### 【 0 0 8 2 】

ところで、浮遊ゲート 2 0 に電子を注入するには、熱電子を利用する方法と、F - N 型トンネル電流を利用する方法がある。本実施例においては F - N 型トンネル電流を利用して浮遊ゲート 2 0 に電子を注入する。F - N 型トンネル電流を利用する場合、正の電圧を制御ゲート 2 4 に印加して半導体膜 1 4 から F - N 型トンネル電流により電子を浮遊ゲート 2 0 に注入する。

#### 【 0 0 8 3 】

10

20

30

40

50

図12(A)はF-N型トンネル電流により浮遊ゲート20に電子を注入するときの印加電圧を示している。制御ゲート24に正の高電圧(10V~20V)を印加すると共に、ソース領域18aとドレイン領域18bは0Vとしておく。このときのバンド図は図13に示すようになる。高電界により半導体膜14の電子は第1の絶縁膜16に注入され、F-N型トンネル電流が流れる。図9及び図10で説明したように、半導体膜14のバンドギャップEg1と、浮遊ゲート20のバンドギャップEg2の関係は、Eg1 > Eg2である。この差が自己バイアスとして、半導体膜14のチャネル形成領域より注入された電子を浮遊ゲートの方に加速するように作用する。それにより、電子の注入性を向上させることができる。

## 【0084】

10

浮遊ゲート20の伝導帯の底のエネルギーレベルは、半導体膜14の伝導帯の底のエネルギーレベルに対して電子エネルギー的にEだけ低い準位にある。そのため電子が浮遊ゲート20に注入されるに当たっては、このエネルギー差に起因する内部電界が生じる。これは、上記したような半導体膜14と浮遊ゲート20の組み合わせによって実現する。すなわち、半導体膜14から浮遊ゲート20へ電子を注入しやすくなり、不揮発性メモリ素子における書き込み特性を向上させることができる。この作用は、熱電子を利用して浮遊ゲート20に電子を注入する場合にも同様である。

## 【0085】

20

浮遊ゲート20に電子が保持されている間は、不揮発性メモリ素子のしきい値電圧は正の方向にシフトする。この状態を、データ"0"が書き込まれた状態とすることができる。図14は、電荷保持状態のバンド図を示している。浮遊ゲート20の電子は、第1の絶縁膜16と第2の絶縁膜22に挟まれていることにより、エネルギー的に閉じこめられた状態にある。浮遊ゲート20に蓄積するキャリア(電子)によりポテンシャルエネルギーは上がるが、エネルギー障壁を超えるエネルギーが電子に付与されない限り浮遊ゲート20から電子は放出されないことになる。また、浮遊ゲート20の伝導帯の底のエネルギーレベルは、半導体膜14の伝導帯の底のエネルギーレベルに対して電子エネルギー的にEだけ低い準位にあり、電子に対してエネルギー的な障壁が浮遊ゲート20により形成される。この障壁により、トンネル電流によって半導体膜14に電子が流出してしまうのを防ぐことができる。すなわち、150の恒温で放置した場合においても高い信頼性が得られ、電荷保持特性を改善することができる。

30

## 【0086】

このデータ"0"の検出は、浮遊ゲート20に電荷が保持されていない状態で不揮発性メモリ素子がオンとなるゲート電圧を印加したとき、不揮発性メモリ素子がオンしないことをセンス回路によって検出することで可能である。又は、図12(B)に示すようにソース領域18aとドレイン領域18b間にバイアスを印加して、制御ゲート24を0Vとしたときに不揮発性メモリ素子が導通するか否かで判断することができる。

## 【0087】

40

図15(A)は浮遊ゲート20から電荷を放出させ、不揮発性メモリ素子からデータを消去する状態を示している。この場合、制御ゲート24に負のバイアスを印加して、半導体膜14と浮遊ゲート20の間にF-N型トンネル電流を流すことにより行う。或いは、図15(B)に示すように、制御ゲート24に負のバイアスを印加し、ソース領域18aに正の高電圧を印加することにより、F-N型トンネル電流を発生させ、ソース領域18a側に電子を引き抜いても良い。

## 【0088】

図16は、この消去状態のバンド図を示している。消去動作では、第1の絶縁膜16を薄く形成することができるので、F-N型トンネル電流により浮遊ゲート20の電子を半導体膜14側に放出させることができる。また、半導体膜14のチャネル形成領域から正孔が注入されやすく、浮遊ゲート20に正孔を注入することにより、実質的な消去動作をすることができる。

## 【0089】

50

浮遊ゲート 20 をゲルマニウム若しくはゲルマニウム化合物で形成することにより、第 1 の絶縁膜 16 の厚さを薄くすることができる。それにより、トンネル電流によって第 1 の絶縁膜 16 を介して電子を浮遊ゲート 20 に電荷を注入することが容易となり、低電圧動作が可能となる。さらに、低エネルギーレベルで電荷を保存することが可能になり、電荷を安定した状態で保存できるという有意な効果を奏すことができる。

#### 【 0 0 9 0 】

本発明に係る不揮発性メモリでは、図 9、図 10、図 13 で示すように、半導体膜 14 と浮遊ゲート 20 の間で  $E_g 1 > E_g 2$  として自己バイアスが生じるように構成している。この関係は極めて重要であり、半導体膜のチャネル形成領域から浮遊ゲートにキャリアを注入するときに、注入しやすくするように作用する。すなわち、書き込み電圧の低電圧化を図ることができる。逆に浮遊ゲートからキャリアを放出させにくくしている。このことは、不揮発性メモリ素子の記憶保持特性を向上させるように作用する。また、浮遊ゲートとしてのゲルマニウム層に n 型不純物をドーピングすることにより、伝導帯の底のエネルギーレベルをさらに下げることが出来、よりキャリアを浮遊ゲートに注入しやすくするように自己バイアスを作用させることができる。すなわち、書き込み電圧を下げ、不揮発性メモリ素子の記憶保持特性を向上させることができる。

#### 【 0 0 9 1 】

以上説明したように、本発明に係る不揮発性メモリ素子は、半導体膜から浮遊ゲートへ電荷を注入しやすくすることができ、浮遊ゲートから電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることができる。

#### 【 0 0 9 2 】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

#### 【 実施例 2 】

#### 【 0 0 9 3 】

本実施例では、不揮発性半導体記憶装置におけるメモリ部の等価回路図に関して図面を参照して説明する。

#### 【 0 0 9 4 】

図 17 に示すメモリ部の等価回路図において、ビット線 BL には、複数の不揮発性メモリ素子を直列に接続した NAND 型セル NS 1 が接続されている。複数の NAND 型セルが集まってブロック BLK を構成している。図 17 で示すブロック BLK 1 のワード線は 32 本である（ワード線 WL 0 ~ WL 31）。ブロック BLK 1 の同一行に位置する不揮発性メモリ素子には、この行に対応するワード線が共通接続されている。

#### 【 0 0 9 5 】

この場合、選択トランジスタ S 1、S 2 と不揮発性メモリ素子 M 0 ~ M 31 が直列に接続されているので、これらを一つのまとまりとして一つの半導体膜 34 で形成しても良い。それにより不揮発性メモリ素子を繋ぐ配線を省略することができる。また、隣接する NAND 型セルとの分離を容易に行うことができる。また、選択トランジスタ S 1、S 2 の半導体膜 36 と NAND 型セルの半導体膜 38 を分離して形成しても良い。

#### 【 0 0 9 6 】

書き込み動作では、NAND 型セル NS 1 が消去状態、つまり NAND 型セル NS 1 の各不揮発性メモリ素子のしきい値を負電圧の状態にしてから実行される。書き込みは、ソース線 SL 側の不揮発性メモリ素子 M 0 から順に行う。不揮発性メモリ素子 M 0 への書き込みを例として説明すると概略以下のようになる。

#### 【 0 0 9 7 】

図 18 (A) は、"0" 書込みをする場合、選択ゲート線 SG 2 に例えば Vcc (電源電圧) を印加して選択トランジスタ S 2 をオンにすると共にビット線 BL を 0V (接地電圧) にする。選択ゲート線 SG 1 は 0V として、選択トランジスタ S 1 はオフとする。次に

10

20

30

40

50

、の不揮発性メモリ素子M0に繋がるワード線WL0を高電圧Vpgm(20V程度)とし、これ以外のワード線を中間電圧Vpass(10V程度)にする。ビット線BLの電圧は0Vなので、選択された不揮発性メモリ素子M0のチャネル形成領域の電位は0Vとなる。ワード線WL0と不揮発性メモリ素子M0のチャネル形成領域との間の電位差が大きいため、不揮発性メモリ素子M0の浮遊ゲートには前述のようにF-Nトンネル電流により電子が注入される。これにより、不揮発性メモリ素子M0のしきい値電圧が正の状態(“0”が書込まれた状態)となる。

#### 【0098】

一方“1”書き込みをする場合は、図18(B)に示すように、ビット線BLを例えばVcc(電源電圧)にする。選択ゲート線SG2の電圧がVccであるため、選択トランジスタS2のゲート電圧がVth(選択トランジスタS2のしきい値電圧) > Vccになると、選択トランジスタS2がカットオフする。従って、不揮発性メモリ素子M0のチャネル形成領域はフローティング状態となる。次に、ワード線WL0に高電圧Vpgm(20V)、それ以外のワード線に中間電圧Vpass(10V)の電圧を印加すると、各ワード線とチャネル形成領域との容量カップリングにより、不揮発性メモリ素子M0のチャネル形成領域の電圧がVcc - Vthから上昇し例えば8V程度となる。チャネル形成領域の電圧は昇圧されるが、“0”の書き込みの場合と異なり、ワード線WL0と不揮発性メモリ素子M0のチャネル形成領域の間の電位差が小さい。したがって、不揮発性メモリ素子M0の浮遊ゲートには、F-Nトンネル電流による電子注入が起こらない。よって、不揮発性メモリ素子M0のしきい値は、負の状態(“1”が書込まれた状態)に保たれる。

#### 【0099】

消去動作をする場合は、図19(A)に示すように、選択されたワード線(WL0)に負の高電圧(Vers)を印加し、非選択の不揮発性メモリ素子のワード線WL、選択ゲート線SG1、及び選択ゲート線SG2に電圧Von(例えば3V)を印加し、ビット線BL及びソース線SLに導通電圧Vopen(0V)の電圧を印加する。そして上記実施の形態で説明したように、選択した不揮発性メモリ素子の浮遊ゲート中の電子を放出することができる。この結果、選択した不揮発性メモリ素子のしきい値電圧が負方向にシフトする。

#### 【0100】

図19(B)に示す読み出し動作では、読み出しの選択がされた不揮発性メモリ素子M0に繋がるワード線WL0を電圧Vr(例えば0V)とし、非選択の不揮発性メモリ素子に繋がるワード線WL1~WL31及び選択ゲート線SG1、SG2を電源電圧より少し高い読み出し用中間電圧Vreadとする。すなわち、図20に示すように、選択不揮発性メモリ素子以外の不揮発性メモリ素子はトランスマルチплексорとして働く。これにより、読み出しの選択がされた不揮発性メモリ素子M0に電流が流れるか否かを検出する。つまり、不揮発性メモリ素子M0に記憶されたデータが“0”的場合、不揮発性メモリ素子M0はオフなので、ビット線BLは放電しない。一方、“1”的場合、不揮発性メモリ素子M0はオンするので、ビット線BLが放電する。

#### 【0101】

図31は、不揮発性半導体記憶装置の回路ブロック図の一例を示している。不揮発性半導体記憶装置は、メモリセルアレイ52と周辺回路54が同一の基板上に形成されている。メモリセルアレイ52は、図17で示すような構成を有している。周辺回路54の構成は以下の通りである。

#### 【0102】

ワード線選択のためにロウデコーダ62と、ビット線選択のためにカラムデコーダ64が、メモリセルアレイ52の周囲に設けられている。アドレスは、アドレスバッファ56を介してコントロール回路58に送られ、内部ロウアドレス信号及び内部カラムアドレス信号がそれぞれロウデコーダ62及びカラムデコーダ64に転送される。

#### 【0103】

データ書き込み及び消去には、電源電位を昇圧した電位が用いられる。このため、コント

10

20

30

40

50

ロール回路 5 8 により動作モードに応じて制御される昇圧回路 6 0 が設けられている。昇圧回路 6 0 の出力はロウデコーダ 6 2 やカラムデコーダ 6 4 を介して、ワード線 W やビット線 B L に供給される。センスアンプ 6 6 はカラムデコーダ 6 4 から出力されたデータが入力される。センスアンプ 6 6 により読み出されたデータは、データバッファ 6 8 に保持され、コントロール回路 5 8 からの制御により、データがランダムアクセスされ、データ入出力バッファ 7 0 を介して出力されるようになっている。書き込みデータは、データ入出力バッファ 7 0 を介して入力された後データバッファ 6 8 に一旦保持され、コントロール回路 5 8 の制御によりカラムデコーダ 6 4 に転送される。

#### 【 0 1 0 4 】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

10

#### 【 実施例 3 】

#### 【 0 1 0 5 】

本実施例では、不揮発性半導体記憶装置の一例に関して図面を参照して説明する。なお、ここでは、不揮発性半導体記憶装置において、メモリ部を構成する不揮発性メモリ素子と、当該メモリ部と同一の基板上に設けられメモリ部の制御等を行うロジック部を構成するトランジスタ等の素子とを同時に形成する場合を示す。

#### 【 0 1 0 6 】

本実施例で示すメモリ部の等価回路図は、上記実施例において示した図 1 7 に示すように、選択トランジスタ S 1 、 S 2 の間に複数の不揮発性メモリ素子 M 0 乃至 M 3 1 を有する N A N D 型セル N S 1 が設けられている。図 1 7 において、選択トランジスタ S 1 、 S 2 と N A N D 型セル N S 1 により一つのメモリセルが形成されている。

20

#### 【 0 1 0 7 】

選択トランジスタ S 1 のゲート電極は第 1 の選択ゲート線 S G 1 に接続され、ソース電極又はドレイン電極の一方はソース線 S L に接続され、他方は不揮発性メモリ素子 M 0 のソース電極又はドレイン電極に接続されている。また、不揮発性メモリ素子 M 0 乃至 M 3 1 のゲート電極はワード線 W L 0 乃至 W L 3 1 に接続される。また、選択トランジスタ S 2 のゲート電極は第 2 の選択ゲート線 S G 2 に接続され、ソース電極又はドレイン電極の一方はビット線 B L に接続され、他方は不揮発性メモリ素子 M 3 1 のソース電極又はドレイン電極に接続されている。

30

#### 【 0 1 0 8 】

なお、第 1 の選択ゲート線 S G 1 は、メモリ部の各メモリセルにおけるソース線との接続を選択する配線である。また第 2 の選択ゲート線 S G 2 は、メモリ部の各メモリセルにおける列方向を選択する配線である。

#### 【 0 1 0 9 】

なお、メモリ部に設けられる選択トランジスタは、ロジック部に設けられるトランジスタと比較して駆動電圧が高いため、メモリ部に設けるトランジスタとロジック部に設けるトランジスタのゲート絶縁膜等を異なる厚さで形成することが好ましい。例えば、駆動電圧が小さくしきい値電圧のばらつきが小さいトランジスタを形成したい場合にはゲート絶縁膜が薄い薄膜トランジスタを設けることが好ましく、駆動電圧が大きくゲート絶縁膜の耐圧性が高いトランジスタを形成したい場合にはゲート絶縁膜が厚い薄膜トランジスタを設けることが好ましい。

40

#### 【 0 1 1 0 】

従って、本実施例では、駆動電圧が小さくしきい値電圧のばらつきを小さくしたいロジック部のトランジスタに対しては膜厚が小さい絶縁膜を形成し、駆動電圧が大きくゲート絶縁膜の耐圧性が求められるメモリ部のトランジスタに対しては膜厚が大きい絶縁膜を形成する場合に関して以下に図面を参照して説明する。なお、図 2 5 ～ 2 7 は上面図を示し、図 2 1 ～ 2 4 は図 2 5 ～ 2 7 における A - B 間、 C - D 間、 E - F 間及び G - H 間の断面図を示している。また、 A - B 間及び C - D 間はロジック部に設けられるトランジスタを示し、 E - F 間はメモリ部に設けられる不揮発性メモリ素子及びトランジスタについて

50

ピット線の伸張する方向を示し、G - H 間はメモリ部に設けられる不揮発性メモリ素子についてワード線の伸張する方向を示している。また、本実施の形態では、A - B 間に設ける薄膜トランジスタをpチャネル型、C - D 間、E - F 間に設ける薄膜トランジスタをnチャネル型である場合に関して説明するが、本発明の不揮発性半導体記憶装置はこれに限られるものでない。

## 【0111】

まず、基板100上に絶縁膜102を介して島状の半導体膜104、106、108、及び110を形成し、当該島状の半導体膜104、106、108、及び110を覆うように第1の絶縁膜112、114、116、及び118をそれぞれ形成する。そして、第1の絶縁膜112、114、116、及び118を覆うように不揮発性メモリ素子において浮遊ゲートとして機能する電荷蓄積層120を形成する(図21(A)参照)。島状の半導体膜104、106、108、及び110は、基板100上にあらかじめ形成された絶縁膜102上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えば $Si_xGe_{1-x}$ 等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させた後に選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザー結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等により行うことができる。

## 【0112】

また、レーザー光の照射によって半導体膜の結晶化若しくは再結晶化を行う場合には、レーザー光の光源としてLD励起の連続発振(CW)レーザー( $YVO_4$ 、第2高調波(波長532nm))を用いることができる。特に第2高調波に限定する必要はないが、第2高調波はエネルギー効率の点で、さらに高次の高調波より優れている。CWレーザーを半導体膜に照射すると、連続的に半導体膜にエネルギーが与えられるため、一旦半導体膜を溶融状態にすると、溶融状態を継続させることができる。さらに、CWレーザーを走査することによって半導体膜の固液界面を移動させ、この移動の方向に沿って一方向に長い結晶粒を形成することができる。また、固体レーザーを用いるのは、気体レーザー等と比較して、出力の安定性が高く、安定した処理が見込まれるためである。なお、CWレーザーに限らず、繰り返し周波数が10MHz以上のパルスレーザを用いることも可能である。繰り返し周波数が高いパルスレーザを用いると、半導体膜が溶融してから固化するまでの時間よりもレーザーのパルス間隔が短ければ、常に半導体膜を溶融状態にとどめることができ、固液界面の移動により一方向に長い結晶粒で構成される半導体膜を形成することができる。その他のCWレーザー及び繰り返し周波数が10MHz以上のパルスレーザを使用することもできる。例えば、気体レーザーとしては、Arレーザー、Krレーザー、CO<sub>2</sub>レーザー等がある。固体レーザーとして、YAGレーザー、YLFレーザー、YAlO<sub>3</sub>レーザー、GdVO<sub>4</sub>レーザー、KGWレーザー、KYWレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、Y<sub>2</sub>O<sub>3</sub>レーザー、YVO<sub>4</sub>レーザー等がある。また、YAGレーザー、Y<sub>2</sub>O<sub>3</sub>レーザー、GdVO<sub>4</sub>レーザー、YVO<sub>4</sub>レーザーなどのセラミックスレーザがある。金属蒸気レーザーとしてはヘリウムカドミウムレーザ等が挙げられる。また、レーザー発振器において、レーザー光をTEM<sub>00</sub>(シングル横モード)で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げるので好ましい。その他にも、パルス発振のエキシマーレーザーを用いても良い。

## 【0113】

基板100は、ガラス基板、石英基板、金属基板(例えばステンレス基板)、セラミック基板、Si基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルファン(PES)、アクリルなどの基板を選択することもできる。

## 【0114】

絶縁膜102は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコ

10

20

30

40

50

ン、酸化窒化シリコン ( $\text{SiO}_x\text{N}_y$ ) ( $x > y > 0$ )、窒化酸化シリコン ( $\text{SiN}_x\text{O}_y$ ) ( $x > y > 0$ ) 等の絶縁材料を用いて形成する。例えば、絶縁膜 102 を 2 層構造とする場合、第 1 層目の絶縁膜として窒化酸化シリコン膜を形成し、第 2 層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第 1 層目の絶縁膜として窒化シリコン膜を形成し、第 2 層目の絶縁膜として酸化シリコン膜を形成してもよい。このように、プロッキング層として機能する絶縁膜 102 を形成することによって、基板 100 から Na などのアルカリ金属やアルカリ土類金属が、この上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板 100 として石英を用いるような場合には絶縁膜 102 を省略してもよい。

## 【0115】

10

なお、本実施例における基板 100 上の島状の半導体膜を用いて形成するトランジスタは、薄膜トランジスタを形成するものとして説明するが本発明はこれに限定されない。例えば基板 100 は、n 型又は p 型の導電型を有する単結晶 Si 基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、サファイア基板、ZnSe 基板等)、貼り合わせ法または SIMOX (Separation by Implanted Oxygen) 法を用いて作製された SOI (Silicon on Insulator) 基板等を用いることができる。そのため、単結晶シリコンを用いて島状の半導体膜を形成し、トランジスタを形成することができる。

## 【0116】

20

なお単結晶 Si 基板、化合物半導体基板、又は SOI 基板を用いる際には、素子分離領域は、選択酸化法 (LOCOS (Local Oxidation of Silicon) 法) 又はトレンチ分離法等を適宜用いることができる。また、半導体基板に形成された p ウェルは、半導体基板に p 型の導電型を有する不純物元素を選択的に導入することによって形成することができる。p 型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。

## 【0117】

30

第 1 の絶縁膜 112、114、116、及び 118 は、半導体膜 104、106、108、及び 110 の表面に熱処理又はプラズマ処理等を行うことによって形成することができる。例えば、高密度プラズマ処理により当該半導体膜 104、106、108 の表面に酸化処理、窒化処理又は酸窒化処理を行うことによって、当該半導体膜 104、106、108、及び 110 上にそれぞれ酸化膜、窒化膜又は酸窒化膜となる第 1 の絶縁膜 112、114、116、及び 118 を形成する。なお、プラズマ CVD 法やスパッタ法により形成してもよい。

## 【0118】

40

例えば、半導体膜 104、106、108、及び 110 として Si を主成分とする半導体膜を用いて高密度プラズマ処理により酸化処理又は窒化処理を行った場合、第 1 の絶縁膜 112、114、116、及び 118 として酸化シリコン ( $\text{SiO}_x$ ) 膜又は窒化シリコン ( $\text{SiN}_x$ ) 膜が形成される。また、高密度プラズマ処理により半導体膜 104、106、108、及び 110 の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、半導体膜 104、106、108、及び 110 に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に酸素と窒素を有する膜 (以下、「酸窒化シリコン膜」と記す) が形成され、第 1 の絶縁膜 112、114、116、及び 118 は酸化シリコン膜と酸窒化シリコン膜とが積層された膜となる。

## 【0119】

50

ここでは、第 1 の絶縁膜 112、114、116、及び 118 を 1 ~ 10 nm、好ましくは 1 ~ 5 nm で形成する。例えば、高密度プラズマ処理により半導体膜 104、106、108、及び 110 に酸化処理を行い当該半導体膜 104、106、108、及び 110 の表面に概略 5 nm の酸化シリコン膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化シリコン膜の表面又は表面の近傍に窒素プラズマ処理層を形成する。具体的には、まず、酸素雰囲気下のプラズマ処理により半導体膜 14 上に 3 nm ~ 6 nm の厚さで

酸化シリコン層 16 a を形成する。その後、続けて窒素雰囲気下でプラズマ処理を行うことにより酸化シリコン層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層 16 b を設ける。ここでは、窒素雰囲気下でプラズマ処理を行うことによって、酸化シリコン層 16 a の表面から概略 1 nm の深さに窒素を 20 ~ 50 原子% の割合で含有させた構造とする。窒素プラズマ処理層には、酸素と窒素を含有したシリコン（酸窒化シリコン）が形成されている。また、このとき、高密度プラズマ処理による酸化処理と窒化処理は大気につき一度も曝されることなく連続して行なうことが好ましい。高密度プラズマ処理を連続して行なうことによって、汚染物の混入の防止や生産効率の向上を実現することができる。

## 【0120】

なお、高密度プラズマ処理により半導体膜を酸化する場合には、酸素を含む雰囲気下（10 例えは、酸素 (O<sub>2</sub>) 又は一酸化二窒素 (N<sub>2</sub>O) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下、若しくは酸素又は一酸化二窒素と水素 (H<sub>2</sub>) と希ガス雰囲気下）で行なう。一方、高密度プラズマ処理により半導体膜を窒化する場合には、窒素を含む雰囲気下（例えは、窒素 (N<sub>2</sub>) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下、窒素と水素と希ガス雰囲気下、若しくはNH<sub>3</sub> と希ガス雰囲気下）でプラズマ処理を行なう。

## 【0121】

希ガスとしては、例えは Ar を用いることができる。また、Ar と Kr を混合したガスを用いてもよい。高密度プラズマ処理を希ガス雰囲気中で行った場合、第 1 の絶縁膜 11 2、114、116、及び 118 は、プラズマ処理に用いた希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) を含んでいる場合があり、Ar を用いた場合には第 1 の絶縁膜 112、114、116、及び 118 に Ar が含まれている場合がある。20

## 【0122】

また、高密度プラズマ処理は、上記ガスの雰囲気中において、プラズマの電子密度が 1 × 10<sup>11</sup> cm<sup>-3</sup> 以上であり、プラズマの電子温度が 1.5 eV 以下で行なう。より詳しくは、プラズマの電子密度が 1 × 10<sup>11</sup> cm<sup>-3</sup> 以上 1 × 10<sup>13</sup> cm<sup>-3</sup> 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下で行なう。プラズマの電子密度が高密度であり、基板 100 上に形成された被処理物（ここでは、半導体膜 104、106、108、及び 110）付近でのプラズマの電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が 1 × 10<sup>11</sup> cm<sup>-3</sup> 以上と高密度であるため、プラズマ処理を用いて、被処理物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD 法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が 1.5 eV 以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。例えは、ガラス基板の歪点よりも 100 度以上低い温度でプラズマ処理を行なっても十分に酸化または窒化処理を行うことができる。プラズマを形成するための周波数としては、マイクロ波（例えは、2.45 GHz）等の高周波を用いることができる。30

## 【0123】

本実施例では、高密度プラズマ処理により被処理物の酸化処理を行う場合、酸素 (O<sub>2</sub>)、水素 (H<sub>2</sub>) とアルゴン (Ar) との混合ガスを導入する。ここで用いる混合ガスは、酸素を 0.1 ~ 100 sccm、水素を 0.1 ~ 100 sccm、アルゴンを 100 ~ 5000 sccm として導入すればよい。なお、酸素 : 水素 : アルゴン = 1 : 1 : 100 の比率で混合ガスを導入することが好ましい。例えは、酸素を 5 sccm、水素を 5 sccm、アルゴンを 5000 sccm として導入すればよい。

## 【0124】

また、高密度プラズマ処理により窒化処理を行う場合、窒素 (N<sub>2</sub>) とアルゴン (Ar) との混合ガスを導入する。ここで用いる混合ガスは、窒素を 20 ~ 2000 sccm、アルゴンを 100 ~ 10000 sccm として導入すればよい。例えは、窒素を 200 sccm、アルゴンを 10000 sccm として導入すればよい。50

## 【0125】

本実施例において、メモリ部に設けられた半導体膜108上に形成される第1の絶縁膜116は、後に完成する不揮発性メモリ素子において、第1の絶縁膜として機能する。従って、第1の絶縁膜116の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第1の絶縁膜116の膜厚が薄いほど、後に形成される浮遊ゲートに低電圧で電荷を蓄積させることができるとなるため、不揮発性半導体記憶装置の消費電力を低減することができる。そのため、第1の絶縁膜112、114、116、及び118は、膜厚を薄く形成することが好ましい。

## 【0126】

一般的に、半導体膜上に絶縁膜を薄く形成する方法として熱酸化法があるが、基板100としてガラス基板等の融点が十分に高くない基板を用いる場合には、熱酸化法により第1の絶縁膜112、114、116、及び118を形成することは非常に困難である。また、CVD法やスパッタ法により形成した絶縁膜は、膜の内部に欠陥を含んでいるため膜質が十分でなく、膜厚を薄く形成した場合にはピンホール等の欠陥が生じる問題がある。また、CVD法やスパッタ法により絶縁膜を形成した場合には、半導体膜の端部の被覆が十分でなく、後に第1の絶縁膜116上に形成される導電膜等と半導体膜とが短絡する場合がある。従って、本実施例で示すように、高密度プラズマ処理により第1の絶縁膜112、114、116、及び118を形成することによって、CVD法やスパッタ法等により形成した絶縁膜より緻密な絶縁膜を形成することができ、また、半導体膜104、106、108、及び110の端部を第1の絶縁膜112、114、116、及び118で十分に被覆することができる。その結果、メモリとして高速動作や電荷保持特性を向上させることができる。なお、CVD法やスパッタ法により第1の絶縁膜112、114、116、及び118を形成した場合には、絶縁膜を形成した後に高密度プラズマ処理を行い当該絶縁膜の表面に酸化処理、窒化処理又は酸窒化処理を行うことが好ましい。

## 【0127】

電荷蓄積層120は、シリコン(Si)、ゲルマニウム(Ge)、シリコンゲルマニウム合金等の膜で形成することができる。なお、本実施例においては特に、電荷蓄積層120をゲルマニウム(Ge)、シリコンゲルマニウム合金等のゲルマニウムを含む膜で形成することが好ましい。ここでは、電荷蓄積層120として、ゲルマニウム元素を含む雰囲気中(例えば、GeH<sub>4</sub>)でプラズマCVD法を行うことにより、ゲルマニウムを主成分とする膜を1~20nm、好ましくは5~10nmで形成する。上記実施例において示したように、半導体膜としてSiを主成分とする材料を用いて形成し、当該半導体膜上にトンネル絶縁膜として機能する第1の絶縁膜を介してSiよりエネルギー・ギャップの小さいゲルマニウムを含む膜を電荷蓄積層として設けた場合、半導体膜の電荷に対する絶縁膜により形成される第1の障壁に対して電荷蓄積層の電荷に対する絶縁膜により形成される第2の障壁がエネルギー的に高くなる。その結果、半導体膜から電荷蓄積層へ電荷を注入しやすくすることができ、電荷蓄積層から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることができる。また、メモリ部に設けられた半導体膜108上に形成される電荷蓄積層120は、後に完成する不揮発性メモリ素子において、浮遊ゲートとして機能する。

## 【0128】

なお、電荷蓄積層120として、窒化シリコン、窒化ゲルマニウム、窒化シリコンゲルマニウムのうち、いずれか一層もしくは多層で形成してもよい。電荷蓄積層120を窒化シリコン、窒化ゲルマニウム、窒化シリコンゲルマニウムで形成することにより、絶縁膜でありながらも窒化膜内における複数のトラップ順位で半導体膜よりトンネル絶縁膜を介して注入される電荷をトラップ(捕獲するともいう)することができる。すなわち、電荷蓄積層120を窒化シリコン、窒化ゲルマニウム、窒化シリコンゲルマニウムで形成することにより、複数のトラップ順位で電荷をトラップすることができ、トンネル絶縁膜の一部に欠陥があったとしても一部の蓄積電荷が消失するのみであるため、電荷をトラップし続

10

20

30

40

50

けることができる。そのためトンネル絶縁膜の膜厚をさらに薄く形成することができ、また電荷の保持という点においても信頼性の高い不揮発性メモリ素子を得ることができるために好適である。またさらには、電荷蓄積層120を窒化シリコン、窒化ゲルマニウム、窒化シリコンゲルマニウムで形成することにより、トンネル絶縁膜の膜厚を薄くすることができるので、不揮発性メモリ素子自体の微細化を容易にすることができるため好適である。

【0129】

次に、半導体膜104、106上に形成された、第1の絶縁膜112、114と電荷蓄積層120を選択的に除去し、半導体膜108、110上に形成された、第1の絶縁膜116、118と電荷蓄積層120を残存させる。ここでは、メモリ部に設けられた半導体膜108、110、第1の絶縁膜116、118、電荷蓄積層120を選択的にレジストで覆い、半導体膜104、106上に形成された、第1の絶縁膜112、114と電荷蓄積層120をエッティングすることによって選択的に除去する(図21(B)参照)。

【0130】

次に、半導体膜104、106と、半導体膜108、110の上方に形成された電荷蓄積層120の一部を覆うようにレジスト122を形成し、当該レジスト122に覆われていない電荷蓄積層120をエッティングして選択的に除去することによって、電荷蓄積層120の一部を残存させ、電荷蓄積層121を形成する(図21(C)、図25参照)。

【0131】

次に、半導体膜104、106と、半導体膜108、110の上方に形成された第1の絶縁膜116、118と電荷蓄積層121を覆うように第2の絶縁膜128を形成する(図22(A)参照)。

【0132】

第2の絶縁膜128は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン( $\text{SiO}_x\text{N}_y$ )( $x > y > 0$ )、窒化酸化シリコン( $\text{SiN}_x\text{O}_y$ )( $x > y > 0$ )等の絶縁材料を用いて単層又は積層して形成する。例えば、第2の絶縁膜128を単層で設ける場合には、CVD法により酸化窒化シリコン膜又は窒化酸化シリコン膜を5~50nmの膜厚で形成する。また、第2の絶縁膜128を3層構造で設ける場合には、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成し、第3層目の絶縁膜として酸化窒化シリコン膜を形成する。また、他にも第2の絶縁膜128として、ゲルマニウムの酸化物又は窒化物を用いてよい。また、第2の絶縁膜128は、第1の絶縁膜と比較して誘電率の大きい材料である酸化アルミニウム( $\text{AlO}_x$ )、酸化ハフニウム( $\text{HfO}_x$ )又は酸化タンタル( $\text{TaO}_x$ )を含む膜を形成してもよい。

【0133】

なお、半導体膜108の上方に形成された第2の絶縁膜128は、後に完成する不揮発性メモリ素子においてコントロール絶縁膜として機能し、半導体膜110の上方に形成された第2の絶縁膜128は、後に完成する不揮発性メモリ素子においてゲート絶縁膜として機能する。

【0134】

次に、半導体膜108、110の上方に形成された第2の絶縁膜128を覆うようにレジスト130を選択的に形成し、半導体膜104、106上に形成された第2の絶縁膜128をエッティングにより選択的に除去する(図22(B)参照)。

【0135】

次に、半導体膜104、106を覆うように第3の絶縁膜132、134をそれぞれ形成する(図23(A)参照)。

【0136】

第3の絶縁膜132、134は、上記第1の絶縁膜112、114、116、及び118の形成方法で示したいずれかの方法を用いて形成する。例えば、高密度プラズマ処理により半導体膜104、106の表面に酸化処理、窒化処理又は酸窒化処理を行うことによ

10

20

30

40

50

って、当該半導体膜 104、106 上にそれぞれシリコンの酸化膜、窒化膜又は酸窒化膜となる第3の絶縁膜 132、134 を形成する。

【0137】

ここでは、第3の絶縁膜 132、134 を 1~20 nm、好ましくは 1~10 nm で形成する。例えば、高密度プラズマ処理により半導体膜 104、106 に酸化処理を行い当該半導体膜 104、106 の表面に酸化シリコン膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化シリコン膜の表面又は表面の近傍に窒素プラズマ処理層を形成する。また、この場合、半導体膜 108 の上方に形成された第2の絶縁膜 128 の表面にも酸化処理又は窒化処理が行われ、酸化膜又は酸窒化膜が形成される。半導体膜 104、106 の上方に形成された第3の絶縁膜 132、134 は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0138】

次に、半導体膜 104、106 の上方に形成された第3の絶縁膜 132、134、半導体膜 108 の上方に形成された第2の絶縁膜 128 を覆うように導電膜を形成する(図23(B)参照)。ここでは、導電膜として、導電膜 136 と導電膜 138 を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0139】

導電膜 136、138 としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0140】

ここでは、導電膜 136 として窒化タンタルを用いて形成し、その上に導電膜 138 としてタングステンを用いて積層構造で設ける。また、他にも、導電膜 136 として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜 138 として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0141】

次に、積層して設けられた導電膜 136、138 を選択的にエッチングして除去することによって、半導体膜 104、106、108、及び 110 の上方の一部に導電膜 136、138 を残存させ、それぞれゲート電極として機能する導電膜 140、142、144、146 を形成する(図23(C)、図26参照)。なお、メモリ部に設けられた半導体膜 108 の上方に形成される導電膜 144 は、後に完成する不揮発性メモリ素子において制御ゲートとして機能する。また、導電膜 140、142、146 は、後に完成するトランジスタにおいてゲート電極として機能する。

【0142】

次に、半導体膜 104 を覆うようにレジスト 148 を選択的に形成し、当該レジスト 148、導電膜 142、144、146 をマスクとして半導体膜 106、108 に不純物元素を導入することによって不純物領域を形成する(図24(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を用いる。

【0143】

図24(A)においては、不純物元素を導入することによって、半導体膜 106 にソース領域又はドレイン領域を形成する不純物領域 152 とチャネル形成領域 150 が形成される。また、半導体膜 108 には、ソース領域又はドレイン領域を形成する高濃度不純物

領域 156 と LDD 領域を形成する低濃度不純物領域 158 とチャネル形成領域 154 が形成される。また、半導体膜 108 には、ソース領域又はドレイン領域を形成する不純物領域 162 とチャネル形成領域 160 が形成される。

#### 【 0144 】

また、半導体膜 108 に形成される低濃度不純物領域 158 は、図 24 (A) において導入された不純物元素が浮遊ゲートとして機能する電荷蓄積層 121 を突き抜けることによって形成される。従って、半導体膜 108 において、導電膜 144 及び電荷蓄積層 121 の双方と重なる領域にチャネル形成領域 154 が形成され、電荷蓄積層 121 と重なり導電膜 144 と重ならない領域に低濃度不純物領域 158 が形成され、電荷蓄積層 121 及び導電膜 144 の双方と重ならない領域に高濃度不純物領域 156 が形成される。

10

#### 【 0145 】

なお、電荷蓄積層 121 と導電膜 144 の双方の大きさを異ならせること及び電荷蓄積層 121 と導電膜 144 の双方の設ける位置をずらして形成することも可能である。そのため、不揮発性メモリ素子における n 型を付与する不純物元素又は p 型を付与する不純物元素の半導体膜への導入を選択的に行うこと、及び不純物元素の濃度を選択的に変えることができるため好適である。

#### 【 0146 】

次に、半導体膜 106、108、110 を覆うようにレジスト 166 を選択的に形成し、当該レジスト 166、導電膜 140 をマスクとして半導体膜 104 に不純物元素を導入することによって不純物領域を形成する (図 24 (B) 参照)。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。p 型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。ここでは、図 24 (A) で半導体膜 106、108 に導入した不純物元素と異なる導電型を有する不純物元素 (例えば、ボロン (B)) を導入する。その結果、半導体膜 104 にソース領域又はドレイン領域を形成する不純物領域 170 とチャネル形成領域 168 を形成される。

20

#### 【 0147 】

次に、第 2 の絶縁膜 128、第 3 の絶縁膜 132、134、導電膜 140、142、144、146 を覆うように絶縁膜 172 を形成し、当該絶縁膜 172 上に半導体膜 104、106、108 にそれぞれ形成された不純物領域 152、162、170 と電気的に接続する導電膜 174 を形成する (図 24 (C)、図 27 参照)。

30

#### 【 0148 】

絶縁膜 172 は、CVD 法やスパッタ法等により、酸化シリコン (SiO<sub>x</sub>)、窒化シリコン (SiN<sub>x</sub>)、酸化窒化シリコン (SiO<sub>x</sub>N<sub>y</sub>) (x > y)、窒化酸化シリコン (SiN<sub>x</sub>O<sub>y</sub>) (x > y) 等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si - O - Si 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることができる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

#### 【 0149 】

導電膜 174 は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タンゲステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジウム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層構造で形成する。アルミニ

50

ウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電膜 174 は、例えば、バリア膜とアルミニウムシリコン (A1-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (A1-Si) 膜と窒化チタン (TiN) 膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 174 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

10

## 【0150】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

## 【実施例4】

## 【0151】

本実施例では、上述した本発明の不揮発性半導体記憶装置を備えた非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

20

## 【0152】

半導体装置 800 は、非接触でデータを交信する機能を有し、高周波回路 810、電源回路 820、リセット回路 830、クロック発生回路 840、データ復調回路 850、データ変調回路 860、他の回路の制御を行う制御回路 870、記憶回路 880 およびアンテナ 890 を有している(図 28 (A))。高周波回路 810 はアンテナ 890 より信号を受信して、データ変調回路 860 より受信した信号をアンテナ 890 に出力する回路であり、電源回路 820 は受信信号から電源電位を生成する回路であり、リセット回路 830 はリセット信号を生成する回路であり、クロック発生回路 840 はアンテナ 890 から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路 850 は受信信号を復調して制御回路 870 に出力する回路であり、データ変調回路 860 は制御回路 870 から受信した信号を変調する回路である。また、制御回路 870 としては、例えばコード抽出回路 910、コード判定回路 920、CRC判定回路 930 および出力ユニット回路 940 が設けられている。なお、コード抽出回路 910 は制御回路 870 に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路 920 は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC判定回路 930 は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

30

## 【0153】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ 890 により無線信号が受信される。無線信号は高周波回路 810 を介して電源回路 820 に送られ、高電源電位(以下、VDD と記す)が生成される。VDD は半導体装置 800 が有する各回路に供給される。また、高周波回路 810 を介してデータ復調回路 850 に送られた信号は復調される(以下、復調信号)。さらに、高周波回路 810 を介してリセット回路 830 およびクロック発生回路 840 を通った信号及び復調信号は制御回路 870 に送られる。制御回路 870 に送られた信号は、コード抽出回路 910、コード判定回路 920 およびCRC判定回路 930 等によって解析される。そして、解析された信号にしたがって、記憶回路 880 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 940 を通って符号化される。さらに、符号化された半

40

50

導体装置 800 の情報はデータ変調回路 860 で変調され、アンテナ 890 により無線信号に載せて送信される。なお、半導体装置 800 を構成する複数の回路においては、低電源電位（以下、VSS）は共通であり、VSS は GND とすることができます。また、本発明の不揮発性半導体記憶装置を記憶回路 880 に適用することができる。本発明の不揮発性の半導体記憶装置は、駆動電圧を低くすることができるため、非接触でデータを交信できる距離をのばすことが可能となる。

【0154】

このように、リーダ／ライタから半導体装置 800 に信号を送り、当該半導体装置 800 から送られてきた信号をリーダ／ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

10

【0155】

また、半導体装置 800 は、各回路への電力の供給を電磁波の整流化及び平滑化により行う半導体装置としてもよいし、バッテリーを搭載して電磁波によりバッテリーを充電し各回路に電力の供給を行う半導体装置としてもよい。

【0156】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部 3210 を含む携帯端末の側面には、リーダ／ライタ 3200 が設けられ、品物 3220 の側面には半導体装置 3230 が設けられる（図 28（B））。品物 3220 に設けられた半導体装置 3230 にリーダ／ライタ 3200 をかざすと、表示部 3210 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3260 をベルトコンベアにより搬送する際に、リーダ／ライタ 3240 と、商品 3260 に設けられた半導体装置 3250 を用いて、該商品 3260 の検品を行うことができる（図 28（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

20

【0157】

また、本発明の不揮発性半導体記憶装置は、メモリを具備したあらゆる分野の電子機器に用いることが可能である。例えば、本発明の不揮発性半導体記憶装置を適用した電子機器として、カメラ（ビデオカメラ、デジタルカメラ等）、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には DVD（d i g i t a l v e r s a t i l e d i s c）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図 29 に示す。

30

【0158】

図 29（A）、（B）は、デジタルカメラを示している。図 29（B）は、図 29（A）の裏側を示す図である。このデジタルカメラは、筐体 2111、表示部 2112、レンズ 2113、操作キー 2114、シャッター 2115 などを有する。また、取り出し可能な不揮発性のメモリ 2116 を備えており、当該デジタルカメラで撮影したデータをメモリ 2116 に記憶させておく構成となっている。メモリ 2116 は、不揮発性の半導体記憶装置を用いることで、本発明の NAND 型不揮発性メモリのデータ消去方法を用いることができる。

40

【0159】

また、図 29（C）は、携帯電話を示しており、携帯端末の 1 つの代表例である。この携帯電話は筐体 2121、表示部 2122、操作キー 2123 などを含む。また、携帯電話は、取り出し可能な不揮発性のメモリ 2125 を備えており、当該携帯電話の電話番号等のデータ、映像、音楽データ等をメモリ 2125 に記憶させ再生することができる。メモリ 2125 は、不揮発性の半導体記憶装置を用いることで、本発明の NAND 型不揮発性メモリのデータ消去方法を用いることができる。

50

## 【0160】

また、図29(D)は、デジタルプレーヤーを示しており、オーディオ装置の1つの代表例である。図29(D)に示すデジタルプレーヤーは、本体2130、表示部2131、メモリ部2132、操作部2133、イヤホン2134等を含んでいる。なお、イヤホン2134の代わりにヘッドホンや無線式イヤホンを用いることができる。メモリ部2132は、不揮発性の半導体記憶装置を用いることで、本発明のNAND型不揮発性メモリのデータ消去方法を用いることができる。また、記録容量が20～200ギガバイト(GB)のNAND型不揮発性メモリを用い、操作部2133を操作することにより、映像や音声(音楽)を記録、再生することができる。なお、表示部2131は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型のオーディオ装置において特に有効である。なお、メモリ部2132に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

10

## 【0161】

また、図29(E)は、電子ブック(電子ペーパーともいう)を示している。この電子ブックは、本体2141、表示部2142、操作キー2143、メモリ部2144を含んでいる。またモデムが本体2141に内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。メモリ部2144は、不揮発性の半導体記憶装置を用いることで、本発明のNAND型不揮発性メモリのデータ消去方法を用いることができる。また、記録容量が20～200ギガバイト(GB)のNAND型不揮発性メモリを用い、操作キー2143を操作することにより、映像や音声(音楽)を記録、再生することができる。なお、メモリ部2144に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

20

## 【0162】

以上の様に、本発明のNAND型不揮発性メモリのデータ消去方法の適用範囲は極めて広く、メモリを有するものであればあらゆる分野の電子機器に用いることが可能である。

## 【0163】

なお、本実施例は、本明細書中の実施の形態及び他の実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

## 【図面の簡単な説明】

## 【0164】

30

【図1】本発明の構成に説明する回路図。

【図2】本発明のデータ消去方法を説明するための回路図。

【図3】本発明のデータ消去方法の利点を説明するための図。

【図4】本発明のデータ消去方法におけるデコーダの構成を示す図。

【図5】本発明のデータ消去方法におけるデコーダの走査信号に関する図。

【図6】本発明に用いられる不揮発性メモリセルの断面図。

【図7】本発明に用いられる不揮発性メモリに関する装置図。

【図8】本発明に用いられる不揮発性メモリセルの断面図。

【図9】本発明に用いられる不揮発性メモリを説明するための図。

40

【図10】本発明に用いられる不揮発性メモリを説明するための図。

【図11】本発明に用いられる不揮発性メモリを説明するための図。

【図12】本発明に用いられる不揮発性メモリを説明するための図。

【図13】本発明に用いられる不揮発性メモリを説明するための図。

【図14】本発明に用いられる不揮発性メモリを説明するための図。

【図15】本発明に用いられる不揮発性メモリを説明するための図。

【図16】本発明に用いられる不揮発性メモリを説明するための図。

【図17】本発明に用いられる不揮発性メモリの回路図。

【図18】本発明に用いられる不揮発性メモリの回路図。

【図19】本発明に用いられる不揮発性メモリの回路図。

【図20】本発明に用いられる不揮発性メモリを説明するための図。

50

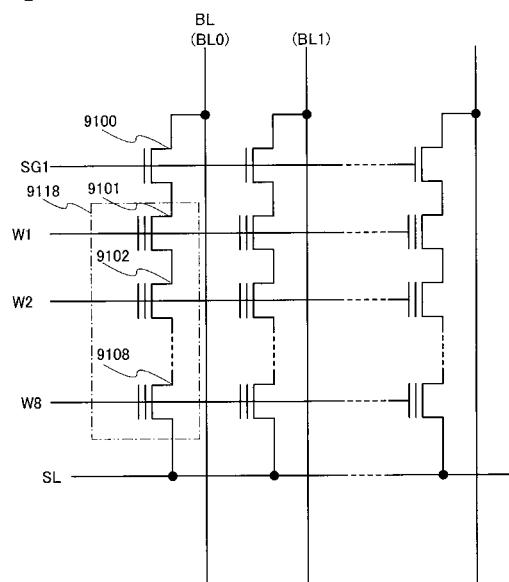
- 【図21】本発明に用いられる不揮発性メモリセルの断面図。  
 【図22】本発明に用いられる不揮発性メモリセルの断面図。  
 【図23】本発明に用いられる不揮発性メモリセルの断面図。  
 【図24】本発明に用いられる不揮発性メモリセルの断面図。  
 【図25】本発明に用いられる不揮発性メモリセルの上面図。  
 【図26】本発明に用いられる不揮発性メモリセルの上面図。  
 【図27】本発明に用いられる不揮発性メモリセルの上面図。  
 【図28】本発明に用いられる不揮発性メモリを具備する半導体装置について説明する図。  
 【図29】本発明に用いられる不揮発性メモリを具備する電子機器について説明する図。 10  
 【図30】従来例について不揮発性メモリの断面図。  
 【図31】本発明の不揮発性メモリを説明するためのブロック図。
- 【符号の説明】
- 【0165】
- |     |            |    |
|-----|------------|----|
| 0 1 | 半導体膜       |    |
| 0 2 | 絶縁膜        |    |
| 0 3 | 浮遊ゲート      |    |
| 0 4 | 絶縁膜        |    |
| 0 5 | 制御ゲート      |    |
| 1 0 | 基板         | 20 |
| 1 1 | Eg         |    |
| 1 2 | 絶縁膜        |    |
| 1 4 | 半導体膜       |    |
| 1 6 | 絶縁膜        |    |
| 1 8 | 不純物領域      |    |
| 2 0 | 浮遊ゲート      |    |
| 2 2 | 絶縁膜        |    |
| 2 4 | 制御ゲート      |    |
| 2 6 | ゲート        |    |
| 3 1 | 不揮発性メモリ素子  | 30 |
| 3 4 | 半導体膜       |    |
| 3 6 | 半導体膜       |    |
| 3 8 | 半導体膜       |    |
| 4 0 | 半導体膜       |    |
| 5 2 | メモリセルアレイ   |    |
| 5 4 | 周辺回路       |    |
| 5 6 | アドレスバッファ   |    |
| 5 8 | コントロール回路   |    |
| 6 0 | 昇圧回路       |    |
| 6 2 | ロウデコーダ     | 40 |
| 6 4 | カラムデコーダ    |    |
| 6 6 | センスアンプ     |    |
| 6 8 | データバッファ    |    |
| 7 0 | データ入出力バッファ |    |
| 8 0 | アンテナ       |    |
| 8 2 | 誘電体板       |    |
| 8 4 | ガス供給部      |    |
| 8 6 | 排気口        |    |
| 8 8 | 支持台        |    |
| 9 0 | 温度制御部      | 50 |

9 2	マイクロ波供給部	
9 4	プラズマ	
9 1 0 0	選択トランジスタ	
1 0 0	基板	
9 1 0 1	不揮発性メモリ素子	
1 0 1	基板	
9 1 0 2	不揮発性メモリ素子	
1 0 2	絶縁膜	
9 1 0 3	不揮発性メモリ素子	
1 0 4	半導体膜	10
1 0 6	半導体膜	
9 1 0 8	不揮発性メモリ素子	
1 0 8	半導体膜	
1 1 0	半導体膜	
1 1 2	絶縁膜	
1 1 6	絶縁膜	
9 1 1 8	NAND型セル	
1 2 0	電荷蓄積層	
1 2 1	電荷蓄積層	
1 2 2	レジスト	20
1 2 8	絶縁膜	
1 3 0	レジスト	
1 3 2	絶縁膜	
1 3 6	導電膜	
1 3 8	導電膜	
1 4 0	導電膜	
1 4 2	導電膜	
1 4 4	導電膜	
1 4 8	レジスト	
1 5 0	チャネル形成領域	30
1 5 2	不純物領域	
1 5 4	チャネル形成領域	
1 5 6	不純物領域	
1 5 6	高濃度不純物領域	
1 5 8	低濃度不純物領域	
1 6 0	チャネル形成領域	
1 6 2	不純物領域	
1 6 6	レジスト	
1 6 8	チャネル形成領域	
1 6 a	酸化シリコン層	40
1 6 b	窒素プラズマ処理層	
1 7 0	不純物領域	
1 7 2	絶縁膜	
1 7 4	導電膜	
1 8 a	ソース領域	
1 8 b	ドレイン領域	
2 0 0	デコーダ	
2 0 1	電圧変換回路	
2 0 2	ロジック回路	
2 0 3	ロジック回路	50

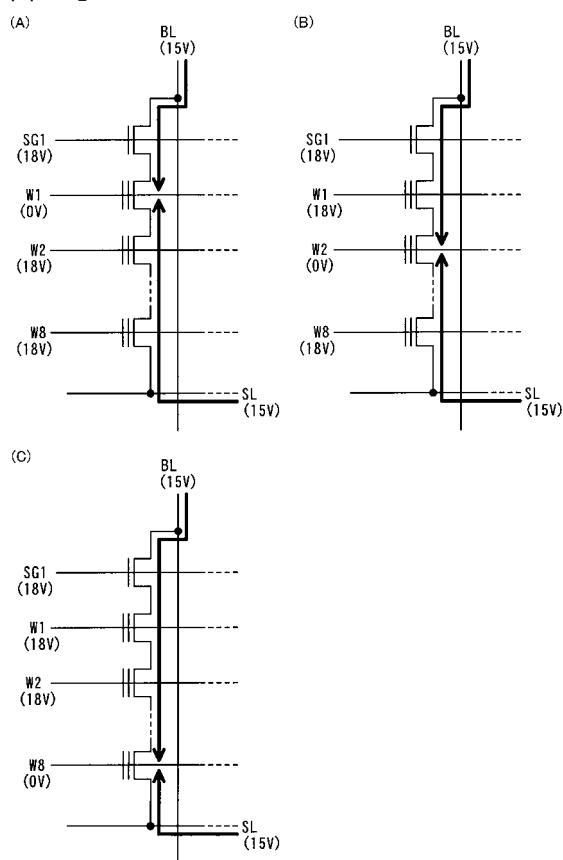
2 0 a	浮遊ゲート電極層	
2 0 b	浮遊ゲート電極層	
2 2 a	窒化シリコン層	
2 2 b	酸化シリコン層	
2 4 a	金属窒化物層	
2 4 b	金属層	
8 0 0	半導体装置	
8 1 0	高周波回路	
8 2 0	電源回路	
8 3 0	リセット回路	10
8 4 0	クロック発生回路	
8 5 0	データ復調回路	
8 6 0	データ変調回路	
8 7 0	制御回路	
8 8 0	記憶回路	
8 9 0	アンテナ	
9 1 0	コード抽出回路	
9 2 0	コード判定回路	
9 3 0	C R C 判定回路	
9 4 0	出力ユニット回路	20
1 2 2 5	メモリ	
2 0 0 A	期間	
2 0 0 B	期間	
2 1 1 1	筐体	
2 1 1 2	表示部	
2 1 1 3	レンズ	
2 1 1 4	操作キー	
2 1 1 5	シャッター	
2 1 1 6	メモリ	
2 1 2 1	筐体	30
2 1 2 2	表示部	
2 1 2 3	操作キー	
2 1 2 5	メモリ	
2 1 3 0	本体	
2 1 3 1	表示部	
2 1 3 2	メモリ部	
2 1 3 3	操作部	
2 1 3 4	イヤホン	
2 1 4 1	本体	
2 1 4 2	表示部	40
2 1 4 3	操作キー	
2 1 4 4	メモリ部	
3 0 0 1	P ウエル	
3 0 0 2	P ウエル	
3 2 0 0	リーダ／ライタ	
3 2 1 0	表示部	
3 2 2 0	品物	
3 2 3 0	半導体装置	
3 2 4 0	リーダ／ライタ	
3 2 5 0	半導体装置	50

3 2 6 0	商品
5 0 0 1	P ウエル
5 0 0 2	P ウエル
9 2 0 0	デコーダ
9 2 0 1	電圧変換回路
9 2 0 2	ロジック回路
9 2 0 3	ロジック回路

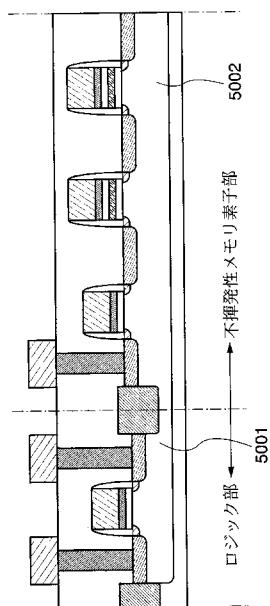
【図1】



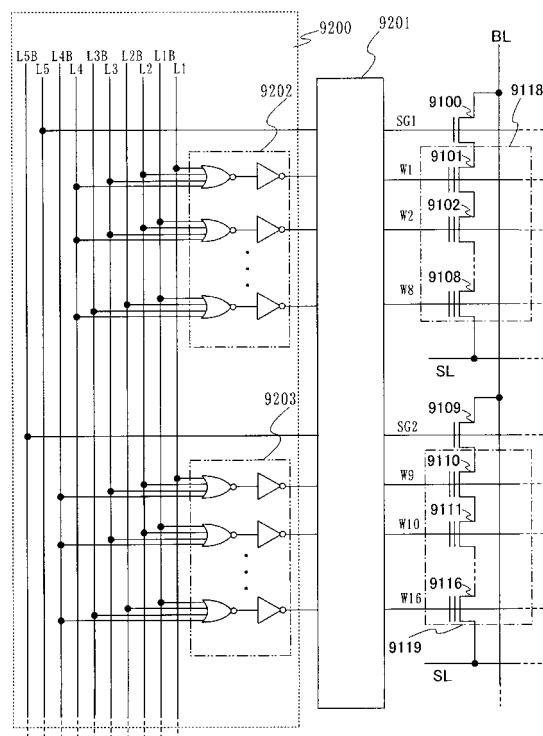
【図2】



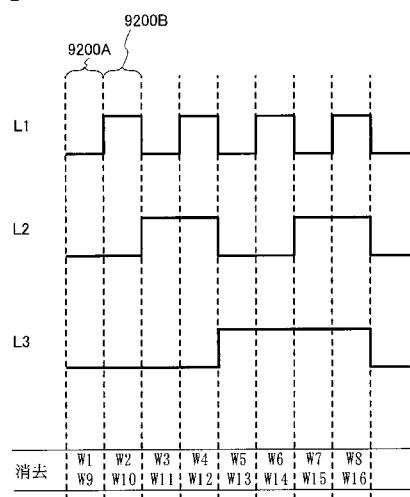
【図3】



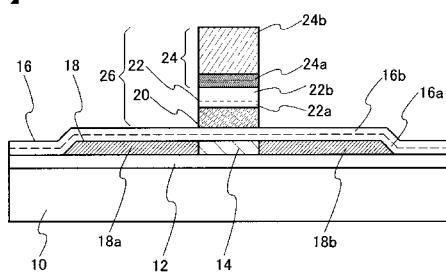
【図4】



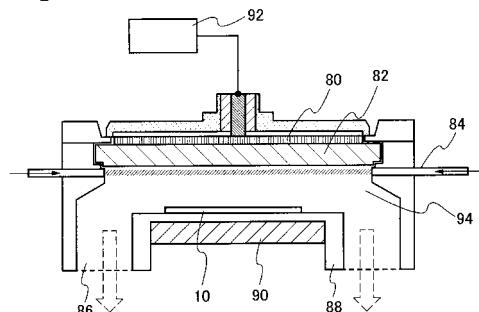
【図5】



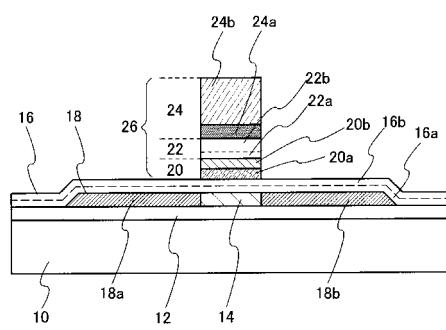
【図6】



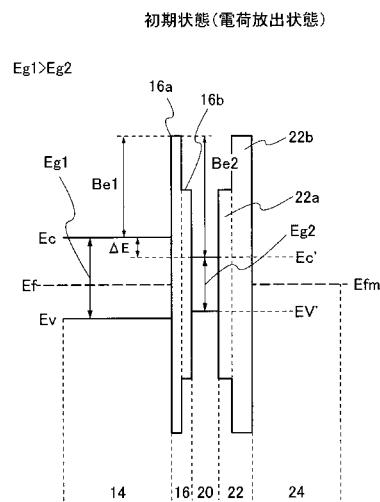
【図7】



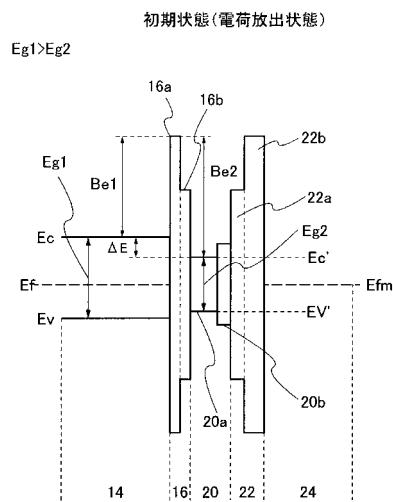
【図8】



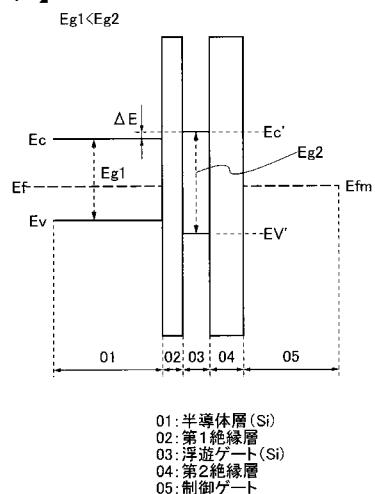
【図9】



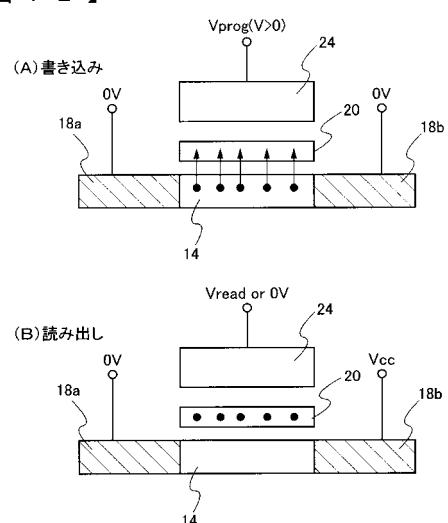
【図10】



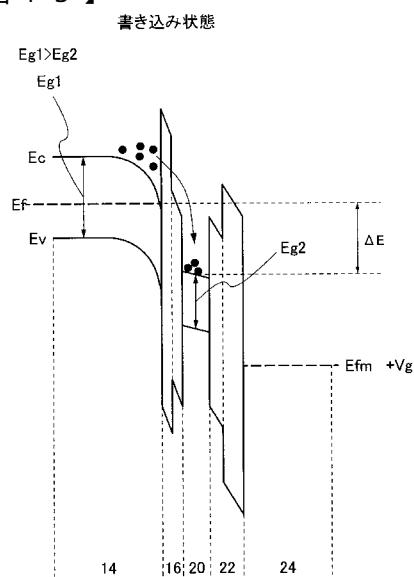
【図11】



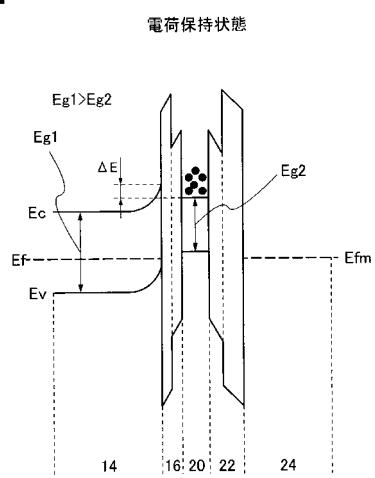
【図12】



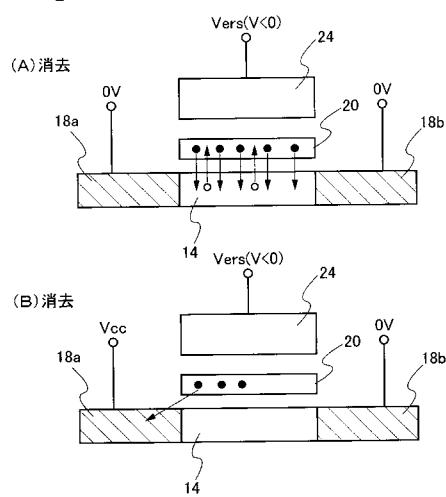
【図13】



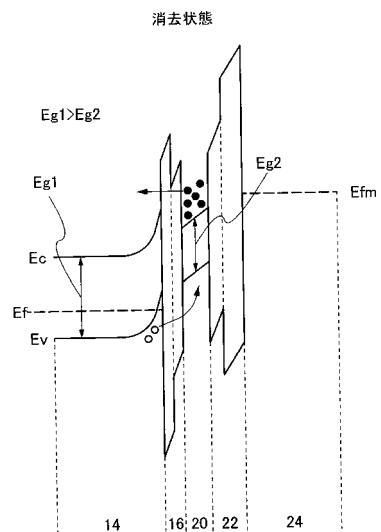
【図14】



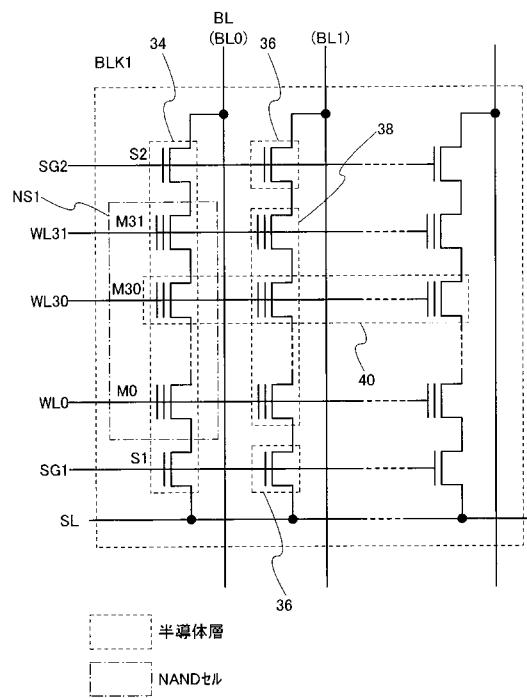
【図15】



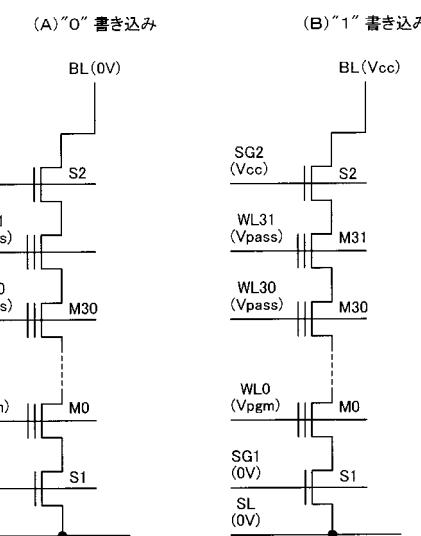
【図16】



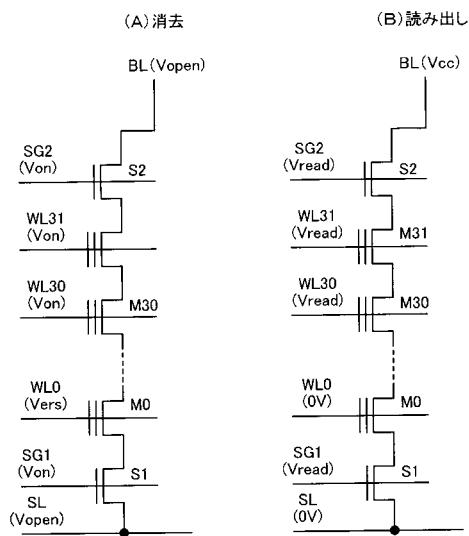
【図17】



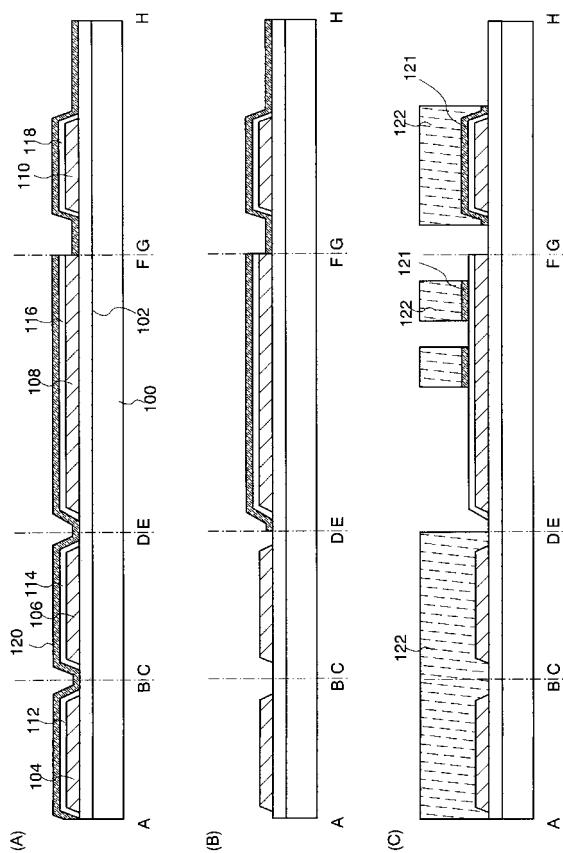
【図18】



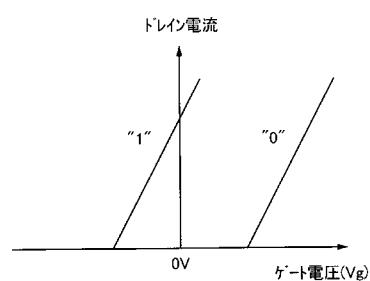
【図19】



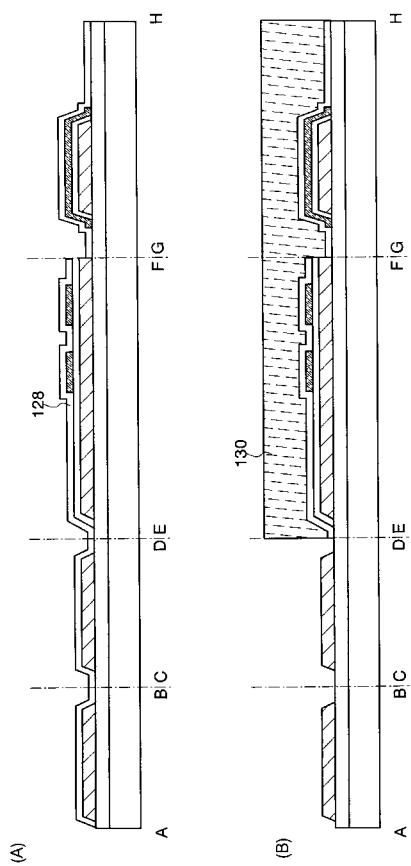
【図21】



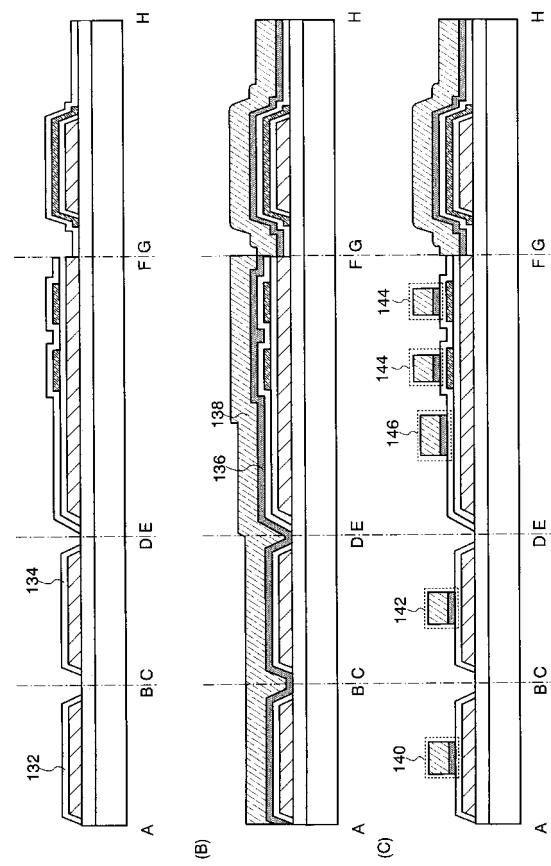
【図20】



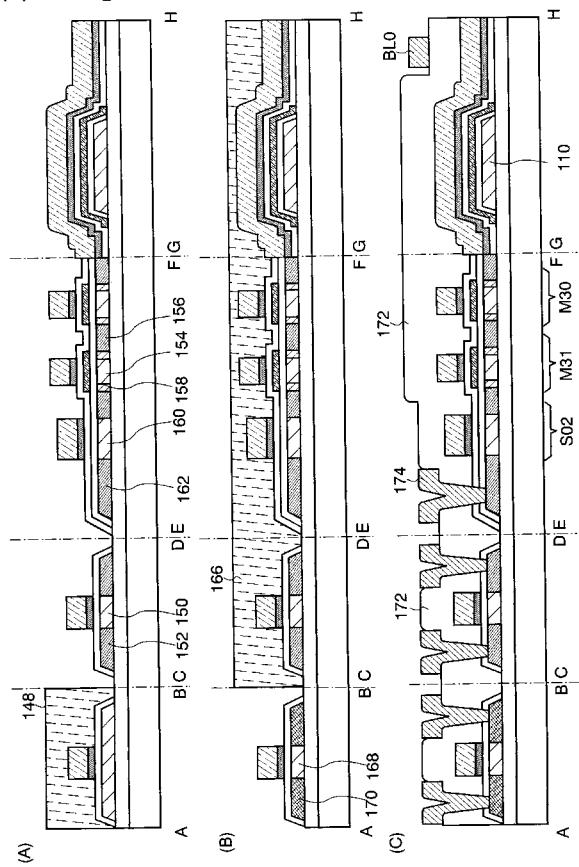
【図22】



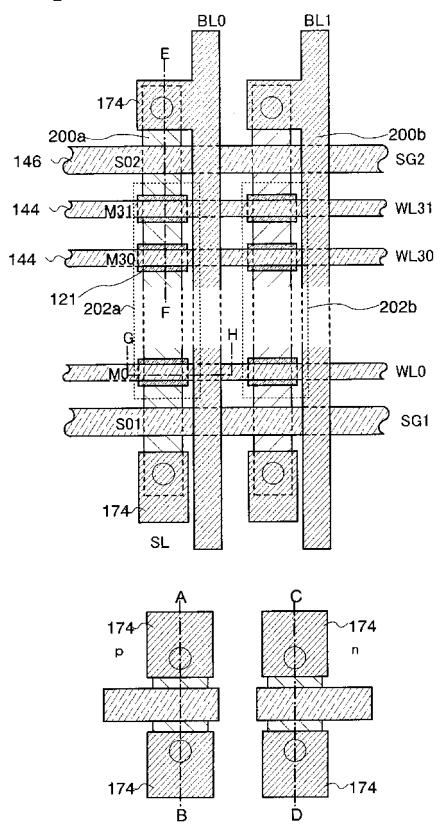
【図23】



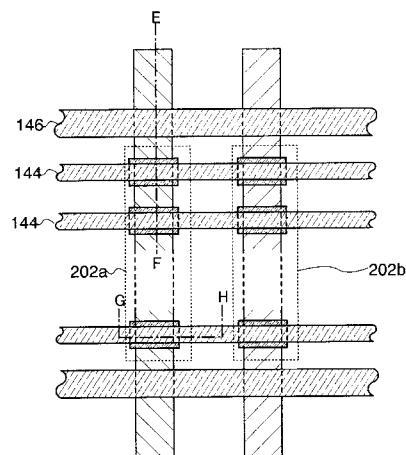
【図24】



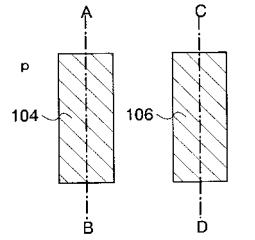
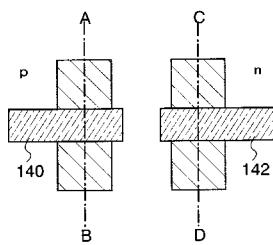
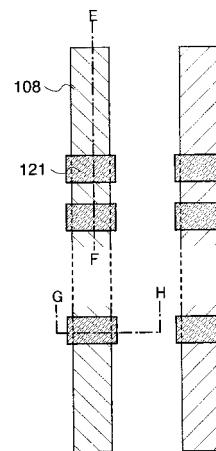
【図25】



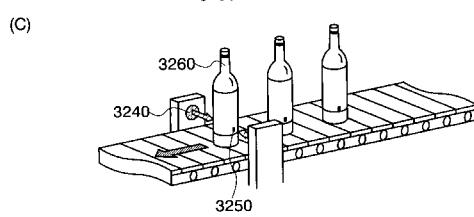
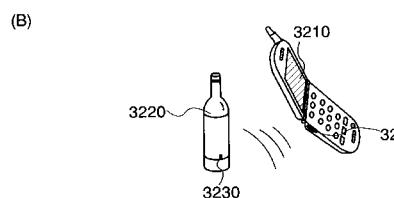
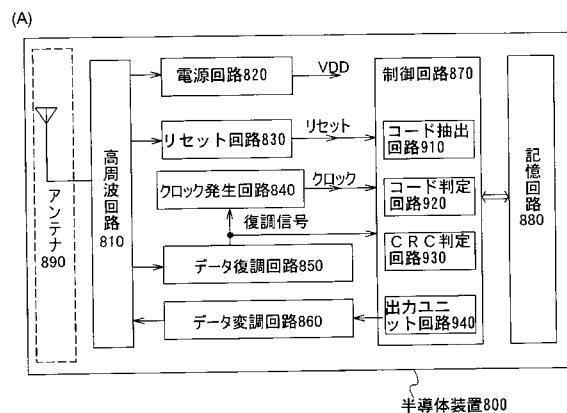
【図26】



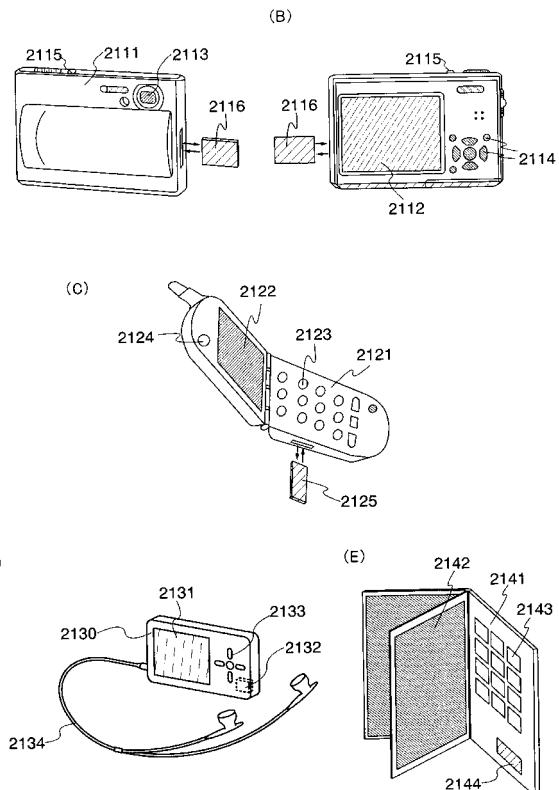
【図27】



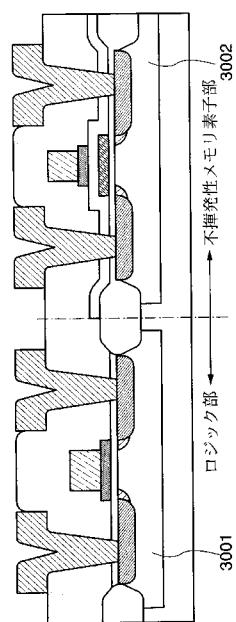
【図28】



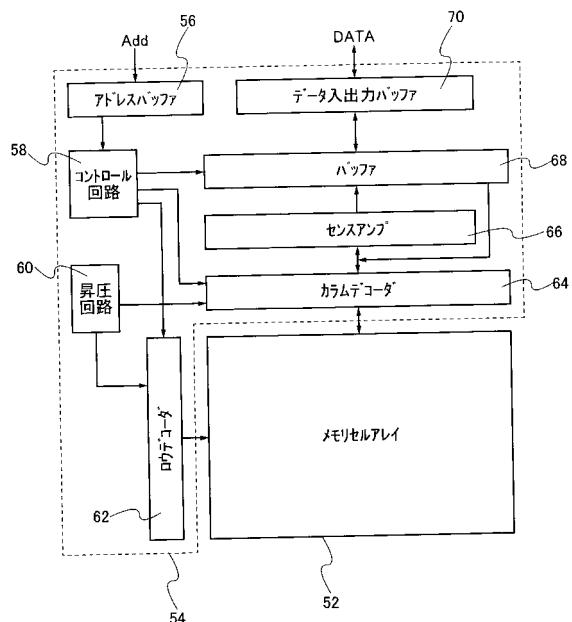
【図29】



【図30】



【図31】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>H 01 L 27/115 (2006.01)</b>	G 11 C 17/00	622E
<b>H 01 L 29/786 (2006.01)</b>	G 11 C 17/00	612Z
<b>G 11 C 16/04 (2006.01)</b>	G 11 C 17/00	612E

F ターム(参考)	5B125	BA04	CA08	CA11	DC03	DC15	EA05	EB04	EB05	FA02	FA05
	FA07	FA10									
5F083	EP04	EP06	EP14	EP15	EP23	EP27	EP33	EP34	EP43	EP53	
	EP55	EP63	EP68	EP72	EP76	ER03	ER09	ER11	ER14	ER16	
ER19	ER22	GA11	GA25	GA28	HA02	HA06	JA02	JA03	JA04		
JA05	JA19	JA36	JA37	JA38	JA39	JA40	JA42	JA51	LA02		
LA05	LA21	MA05	MA06	MA19	NA01	PR40	PR43	PR44	PR45		
PR53	PR54	PR55	ZA05	ZA06	ZA07	ZA12					
5F101	BA03	BA19	BA26	BA29	BA36	BB05	BB08	BC02	BD07	BD22	
	BD30	BD34	BD40	BD45	BE01	BE02	BE05	BE07	BF02	BH08	
	BH21										
5F110	AA08	BB04	BB08	CC02	DD01	DD02	DD03	DD04	DD05	DD13	
	DD14	DD15	DD17	EE01	EE02	EE03	EE04	EE08	EE09	EE14	
EE27	FF01	FF02	FF03	FF04	FF09	FF25	FF26	FF30	FF32		
GG01	GG02	GG12	GG13	GG31	GG34	GG43	GG45	GG47	HJ01		
HJ04	HL01	HL02	HL03	HL04	HL06	HL08	HL11	NN03	NN22		
NN23	NN24	NN27	NN62	NN66	PP01	PP02	PP03	PP34	QQ17		