[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/762 (2006.01)

[12] 发明专利说明书

专利号 ZL 200610094395.1

[45] 授权公告日 2009 年 4 月 1 日

[11] 授权公告号 CN 100474558C

[22] 申请日 1998.2.18

[21] 申请号 200610094395.1

分案原申请号 02157188.0

[30] 优先权

[32] 1997. 2.18 [33] JP [31] 33597/1997

[32] 1997. 4.30 [33] JP [31] 112467/1997

[73] 专利权人 株式会社日立制作所

地址 日本东京

共同专利权人 日立超大规模集成电路系统株式会社

[72] 发明人 石冢典男 三浦英生 池田修二 铃木范夫 松田安司 吉田安子 山本裕彦 小林正道 高松朗 清水博文 福田和司 堀部晋一 野添俊夫

[56] 参考文献

US5434447A 1995.7.18

US5321289A 1994.6.14

JP8-97277A 1996.4.12

CN1013160B 1991.7.10

US5578518A 1996.11.26

审查员 颜庙青

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 王永刚

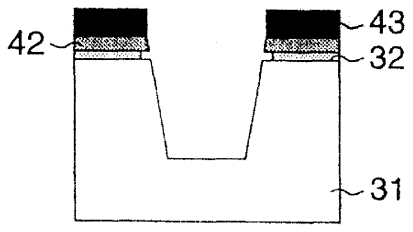
权利要求书 2 页 说明书 37 页 附图 40 页

[54] 发明名称

半导体器件的制造工艺

[57] 摘要

借助于降低半导体衬底上元件隔离沟槽的沟槽上边沿周围应力的产生，制造了一种具有高度可靠沟槽隔离结构的半导体器件，此沟槽隔离结构在沟槽上边沿处具有所需的曲率半径而不形成任何台阶，从而优化了元件隔离沟槽的形状，并使器件更精细，且改善了器件的电学特性。



1. 一种半导体器件的制造工艺，它包含下列步骤：

通过对半导体衬底执行第一氧化工艺在所述半导体衬底上形成第一氧化膜，

在所述第一氧化膜上形成氮化硅膜，

在所述氮化硅膜上形成光刻胶膜，

清除部分所述光刻胶膜，

清除所述光刻胶膜的所述被清除部分处的所述氮化硅膜和所述第一氧化膜，

在清除了所述第一氧化膜的部分所述半导体衬底中，在元件隔离区中的所述半导体衬底上开挖沟槽，

清除所述氮化硅膜上的另一部分所述光刻胶膜，

通过从形成了沟槽的区域腐蚀所述第一氧化膜，在所述氮化硅膜下面形成 5-40nm 的凹陷空间，

通过将所述半导体衬底热氧化到不大于使所述氮化硅膜向上弯曲变形的氧化量的程度，在所述凹陷空间中形成第二氧化膜，以及

在所述沟槽中埋置第三氧化膜，清除所述半导体衬底上的所述氮化硅膜和所述第一氧化膜，并且在所述半导体衬底上形成栅介质膜和栅电极。

2. 根据权利要求 1 的工艺，其中所述凹陷空间被形成为离开所述元件隔离区 5-40nm。

3. 根据权利要求 1 的工艺，其中所述第二氧化膜被形成为使得所述半导体衬底在所述沟槽的上边沿处的曲率半径大于等于 3nm。

4. 根据权利要求 2 的工艺，其中所述第二氧化膜被形成为使得所述半导体衬底在所述沟槽的上边沿处的曲率半径大于等于 3nm。

5. 一种半导体器件的制造工艺，它包含下列步骤：

在半导体衬底的电路制作侧上形成衬垫氧化膜，

在所述衬垫氧化膜上形成抗氧化膜，

在所述抗氧化膜上形成光刻胶膜，

清除部分所述抗氧化膜和所述衬垫氧化膜，

在掩蔽元件区的同时，在清除了所述衬垫氧化膜的部分所述半导体衬底中的所述半导体衬底上开挖沟槽，

清除部分所述光刻胶膜，

清除所述抗氧化膜上的另一部分所述光刻胶膜，

通过从所述沟槽的侧壁腐蚀所述衬垫氧化膜，在所述沟槽周围的所述半导体表面上形成 **5-40nm** 的凹陷空间，

通过氧化工艺在所述凹陷空间中形成第二氧化硅膜，所述氧化工艺被执行充分的时间，直到所述凹陷空间的下表面和所述沟槽中的表面完全被所述第二氧化硅膜所覆盖，并且所述氧化工艺在所述凹陷空间被所述第二氧化硅膜完全填充时停止或者在完全填充之前停止，

在具有所述第二氧化膜的所述沟槽中埋置元件隔离膜，

清除所述半导体衬底上的所述抗氧化膜和所述衬垫氧化膜，

在元件隔离区中的所述半导体衬底的表面上形成栅介质膜，以及

在所述栅介质膜上形成栅电极。

6. 根据权利要求 **5** 的工艺，其中所述第二氧化膜被形成为使得所述半导体衬底在所述沟槽的上边沿处的曲率半径大于等于 **3nm**。

半导体器件的制造工艺

本申请是申请日为 1998 年 2 月 18 日、申请号为 02157188.0、发明名称为“半导体器件及其制造工艺”的发明专利申请的分案申请。

技术领域

本发明涉及到具有高可靠沟槽隔离结构的半导体器件的制造工艺。

背景技术

浅沟槽隔离（SGI）结构目前可用来形成电隔离即诸如半导体衬底上的晶体管之类的相邻元件之间的隔离。如图 1A-1D 所示，SGI 结构通常包含制作在硅半导体衬底 31 上的浅沟槽和埋置在沟槽中的氧化膜 35 之类，且由于其工艺尺度精度高于现行硅的局部氧化（LOCOS）结构而适合于要求工艺尺度精度为 0.25 微米或以下的器件。然而，如图 1C 所示，SGI 结构在氧化步骤中有时会在沟槽的上边沿处氧化形成的氧化膜 35 中形成硅半导体衬底 31 的尖锐突出物 34。这种硅半导体衬底 31 的尖锐突出物 34 的存在，引起电场在电路工作过程中集中在突出物周围，如 A.Bryant 等人（Technical Digest of IEDM '94, pp.671-674）所公开的那样，有时会使栅击穿电压或电容退化。从实验已知，当沟槽上边沿周围的衬底曲率半径不大于 3nm 时，即使衬底在沟槽上边沿周围的角度不小于 90 度，也出现这种栅击穿电压的退化。为了克服退化，如图 1B'所示，图 1B 的衬垫氧化膜 32 被凹陷大约 0.1 微米，并如 JP-A-2-260660 所公开的那样，用氧化剂最好是蒸汽，在大约 1000℃的温度下进行氧化，以便在沟槽上边沿处形成所需的曲率半径。

虽然用现有技术方法能够得到所需的曲率半径，但如图 1C'所示，

在沟槽上边沿周围的硅半导体衬底31的上表面上形成了台阶(即不平整)44。这种台阶44可能由于下列机制而形成。亦即，硅半导体衬底31在衬垫氧化膜32边沿处的凹陷区中具有硅暴露区和硅不暴露区；硅暴露区比硅不暴露区经历较快的氧化剂扩散，亦即较快的氧化，导致在作为边界的衬垫氧化膜32的边沿处形成台阶44。在这种台阶区中制作的栅氧化膜37具有不均匀的厚度，导致电学性质的变化。而且，应力易于集中于此处，导致有可能降低制作在台阶上的晶体管的电学可靠性。

再用化学汽相淀积(CVD)方法在半导体衬底31上淀积氧化硅膜36，以便将氧化硅膜36埋置在沟槽中，然后对半导体衬底31进行热处理，以便对埋置在沟槽中的氧化硅膜36进行烧结。进行烧结是为了改善埋置在沟槽中的氧化硅膜36的质量。若烧结不充分，则在后续步骤中常常会在沟槽中产生空洞。

而且，通常认为湿法即蒸汽氧化能有效地烧结埋置在沟槽中的氧化硅膜36，但湿法即蒸汽氧化易于氧化沟槽的内部特别是侧壁。氧化从沟槽表面开始，沟槽底部因而氧化得较少。沟槽侧壁一旦被氧化，有源区就变窄。这是另一个问题。较厚的氧化膜将在氧化膜与衬底之间的边界上引起更大的应力，且曾经变圆的肩部边沿会回到原来的尖锐形状，还会产生晶体缺陷。这是又一个问题。为了克服这些问题，提出了沿沟槽内壁制作氮化硅膜。

根据JP-A-8-97277公开的制作沟槽的工艺，首先在硅衬底上开挖沟槽，然后用热氧化方法在沟槽内表面(侧壁和底部表面)上制作氧化膜，随之以在其上进一步制作氮化硅膜以及在氮化硅膜上进一步制作诸如非晶硅、多晶硅和单晶硅膜之类的硅膜。于是，沟槽被氧化硅膜完全掩埋，随之以对沟槽顶部进行整平。在衬底的整个表面上淀积氧化硅膜之后，但在整平之前，在包括蒸汽的氧化气氛中，于大约950℃下，对硅膜进行氧化，以便将其转变成氧化硅膜。由于硅衬底被氮化硅膜保护着，故氧化过程中硅衬底不被氧化。根据此工艺，具有与氧化硅膜良好兼容性的膜，亦即硅膜，被制作成沟槽内表面上的薄

膜，从而可以用氧化硅膜掩埋沟槽而不在沟槽中留下任何空洞。沟槽中的硅膜则必须用氧化方法转变成氧化硅膜，但在硅膜与硅衬底之间提供氮化硅膜，在硅膜的氧化过程中，硅衬底决不被氧化。亦即，器件特性完全不退化。

在制作沟槽的上述现有技术工艺中，为了使元件隔离沟槽的肩部边沿圆滑，在诸如1000℃或更高的高温下进行热处理。但大尺度的晶片在诸如1000℃或更高的高温的热处理下易于出现位错，形成缺陷核心，因此，根据未来采用尺寸大得多的晶片的趋势，可能难以使用诸如1000℃或更高的高温下的热处理工艺。在诸如低于1000℃的低温下的热处理中，难以使元件隔离沟槽的肩部边沿圆滑。

发明内容

本发明的目的是提供一种在沟槽上端形成有所需曲率半径而不形成任何台阶的半导体器件及其制造工艺。

借助于降低半导体衬底上元件隔离沟槽的沟槽上端周围的应力产生，可以达到本发明的目的。

本发明的另一目的是提供一种优化元件隔离沟槽的形状、从而使器件更精细并改善器件电学特性的新颖方法。

本发明的又一目的是提供一种降低由烧结埋置在元件隔离沟槽中的氧化硅膜所造成的有源区应力对器件特性的不利影响的新颖方法。

本发明提供了一种半导体器件，它包含半导体衬底和具有制作在半导体衬底的电路制作侧上的沟槽隔离结构的元件隔离氧化膜，其中的衬底具有围绕沟槽隔离结构的沟槽上边沿的单调凸面形状；氧化膜在沟槽隔离结构中部的沟槽内壁处被氧化成厚度为5-70nm；且半导体衬底在其上边沿处的曲率半径在3-35nm范围内。

本发明还提供了一种制造半导体器件的工艺，它包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底表面上制作第一氧化硅膜，然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜和第一

氧化硅膜的步骤，

（b）对元件隔离区中的半导体衬底进行各向同性浅腐蚀，从而在元件隔离区边沿处的半导体衬底上形成凹陷的步骤，

（c）对元件隔离区中的半导体衬底进行选择性腐蚀，从而在半导体衬底表面上开挖沟槽的步骤，

（d）对半导体衬底进行热氧化，从而在沟槽的内壁上形成第二氧化硅膜，并同时使沟槽的肩部边沿圆滑的步骤，

（e）在半导体衬底表面上淀积第三氧化硅膜，从而在沟槽中埋置第三氧化硅膜的步骤，

（f）对半导体衬底进行热处理（即退火），从而对埋置在沟槽中的第三氧化硅膜进行烧结的步骤，

（g）清除氮化硅膜上的第三氧化硅膜，同时只在沟槽中留下第三氧化硅膜，从而形成埋置有第三氧化硅膜的元件隔离沟槽的步骤，以及

（h）清除其周界由元件隔离沟槽限制的有源区的表面上的氮化硅膜，然后在有源区中制作半导体元件的步骤。

本发明还提供了上述工艺的大量变种。

根据本发明，利用不高于1000℃的低温热处理，能够优化半导体器件的元件隔离沟槽的形状，而且能够将器件做得更精细并具有改进了的电学特性。

而且，根据本发明，能够减弱由于对埋置在元件隔离沟槽中的氧化硅膜进行烧结而造成的有源区中的应力对器件特性的不利影响。从而能够制造具有高可靠性的半导体器件。

附图说明

图1A-1D示意地示出了用常规选择性氧化工艺制造沟槽隔离结构的步骤。

图2A-2I示意地示出了根据本发明第一实施例的制造沟槽隔离结构的步骤。

图 3 流程图示出了根据本发明第一实施例的制造沟槽隔离结构的步骤。

图 4 示出了本发明第一实施例的工作与效果。

图 5A 和 5B 示出了本发明第一实施例的工作与效果。

图 6 流程图示出了根据本发明第二实施例的制造沟槽隔离结构的步骤。

图 7 示出了本发明第二实施例的工作与效果。

图 8 流程图示出了根据本发明第三实施例的制造沟槽隔离结构的步骤。

图 9 流程图示出了根据本发明第四实施例的制造沟槽隔离结构的步骤。

图 10 示出了本发明第四实施例的工作与效果。

图 11-32 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 5 的制造半导体器件的工艺。

图 33-36 是根据本发明例 6 的半导体衬底主要部分的立面剖面图。

图 37-44 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 7 的制造半导体器件的工艺。

图 45-48 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 8 的制造半导体器件的工艺。

图 49-50 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 9 的制造半导体器件的工艺。

图 51-54 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 10 的制造半导体器件的工艺。

图 55-58 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 11 的制造半导体器件的工艺。

图 59-64 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 12 的制造半导体器件的工艺。

图 65-66 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 13 的制造半导体器件的工艺。

图 67-68 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 14 的制造半导体器件的工艺。

图 69-70 是半导体衬底主要部分的立面剖面图，示出了根据本发明例 15 的制造半导体器件的工艺。

具体实施方式

用来制造半导体器件的本工艺包含下列步骤：

（1）在半导体衬底的电路制作侧上，制作诸如厚度至少为 5nm，最好至少为 10nm 的氧化硅膜的衬垫氧化膜的步骤，

（2）在衬垫氧化膜上制作诸如氮化硅膜的抗氧化膜的步骤，

（3）从半导体衬底的电路制作侧上的所需位置处，局部清除抗氧化膜和衬垫氧化膜，并进一步在半导体衬底表面上的这一位置处开挖所需深度的沟槽的步骤，

（4）用腐蚀方法，使衬垫氧化膜从半导体衬底表面上留下的抗氧化膜的边沿侧凹陷（即局部清除）5-40nm 的步骤，

（5）最好在 H_2/O_2 气体比率小于 0.5 的氧化气氛中，在制作的凹陷空间（衬底表面与抗氧化膜之间的间隙）中将得到的氧化物填充到凹陷的衬垫氧化膜的边沿的范围内，对半导体衬底上开挖的沟槽的内壁进行热氧化的步骤，

（6）在被氧化的沟槽中埋置掩埋隔离膜的步骤，

（7）清除制作在抗氧化膜上的埋置隔离膜的步骤，

（8）清除制作在半导体衬底的电路制作侧上的抗氧化膜的步骤，以及

（9）清除制作在半导体衬底的电路制作侧上的衬垫氧化膜的步骤。

在上述工艺中，如图 34 所示，借助于在开挖沟槽之前，在衬垫氧化膜 2 下方提供局部凹陷的方法，能够更有效地改善沟槽的肩部边沿。

在这种包含半导体衬底和用上述工艺制造的具有制作在半导体衬底电路制作侧上的沟槽隔离结构的元件隔离氧化膜的半导体器件中，

衬底在上表面上没有台阶，而是在沟槽隔离结构的沟槽上边沿周围具有单调的凸面形状；如图 10 所示，在沟槽隔离结构中部的沟槽内壁处，氧化膜被氧化成厚度为 5-70nm，最好是 30-70nm；且半导体衬底在其沟槽上边沿处的曲率半径在 3-35nm 范围内。

下面简述此处要公开的典型工艺：

根据本发明的第一典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜作为衬垫氧化膜，然后在第一氧化硅膜上淀积氮化硅膜作为抗氧化膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内侧的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 5-40nm 的步骤，

（c）对半导体衬底进行热氧化，从而在直到凹陷的第一氧化硅膜的边沿制作的凹陷空间中将第二氧化硅膜填充的范围内，在沟槽的内壁上形成第二氧化硅膜，并同时使沟槽的肩部边沿圆滑的步骤，

（d）在半导体衬底的主侧（即表面）上淀积第三氧化硅膜，从而在沟槽中埋置第三氧化硅膜的步骤，

（e）对半导体衬底进行热处理（即退火），从而对埋置在沟槽中的第三氧化硅膜进行烧结的步骤，

（f）清除氮化硅膜上的第三氧化硅膜，同时只在沟槽中留下第三氧化硅膜，从而形成埋置有第三氧化硅膜的元件隔离沟槽的步骤，以及

（g）清除其周界由元件隔离沟槽限制的有源区的表面上的氮化硅膜，然后在有源区中制作半导体元件的步骤。

在本工艺的第一典型情况下，用来制作第一氧化硅膜的热氧化温度、用来制作第二氧化硅膜的热氧化温度、以及用来烧结第三氧化硅膜的热处理（即退火）温度，均不高于 1000℃。

在本工艺的第一典型情况下，用来制作第二氧化硅膜的热氧化温度为 800-1000℃。

在制作半导体器件的本工艺的第一典型情况下，沟槽具有不大于 85 度的斜角 θ。

在本工艺的第一典型情况下，在步骤（c）之后但步骤（d）之前，对沟槽内壁进行软氮化处理，从而在靠近制作在沟槽内壁上的第二氧化硅膜与半导体衬底的有源区之间的边界的区域中形成氮化硅层。

在本工艺的第一典型情况下，在步骤（c）之后但步骤（d）之前，对靠近制作在沟槽内壁上的第二氧化硅膜与半导体衬底的元件隔离区之间的边界的区域，进行氮离子注入，从而在靠近制作在沟槽内壁上的第二氧化硅膜与半导体衬底的元件隔离区的区域中形成氮化硅层。

在本工艺的第一典型情况下，在步骤（d）之后，清除氮化硅膜上的第三氧化硅膜，同时只在沟槽中留下第三氧化硅膜，从而形成埋置有第三氧化硅膜的元件隔离沟槽，然后对半导体衬底进行热处理（即退火），从而对埋置在沟槽中的第三氧化硅膜进行烧结。

在本工艺的第一典型情况下，在含氮的气氛中执行步骤（c），从而在刚要完全填充由于衬垫氧化膜凹陷而形成的空间之前，在沟槽的内壁上形成第二氮化硅膜，同时使沟槽的肩部边沿圆滑。

在本工艺的第一典型情况下，在步骤（c）之后但步骤（d）之前，至少在第二氧化硅膜的表面上形成第二氮化硅膜。

根据本发明的第二典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作衬垫氧化膜（第一氧化硅膜），然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜和第一氧化硅膜的步骤，

（b）对元件隔离区中的半导体衬底进行各向同性浅腐蚀，从而在元件隔离区边沿处的半导体衬底上形成凹陷的步骤，

（c）对元件隔离区中的半导体衬底进行选择性腐蚀，从而在半导

体衬底的主侧（即表面）上开挖沟槽的步骤，

（d）对半导体衬底进行热氧化，从而在沟槽的内壁上形成第二氧化硅膜，并同时使沟槽的肩部边沿圆滑的步骤，

（e）在半导体衬底的主侧（即表面）上淀积第三氧化硅膜，从而在沟槽中埋置第三氧化硅膜的步骤，

（f）对半导体衬底进行热处理（即退火），从而对埋置在沟槽中的第三氧化硅膜进行烧结的步骤，

（g）清除氮化硅膜上的第三氧化硅膜，同时只在沟槽中留下第三氧化硅膜，从而形成埋置有第三氧化硅膜的元件隔离沟槽的步骤，以及

（h）清除其周界由元件隔离沟槽限制的有源区的表面上的氮化硅膜，然后在有源区中制作半导体元件的步骤。

根据本发明的第三典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜，然后在第一氧化硅膜上淀积第一氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的第一氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内侧的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 **5-40nm** 的步骤，

（c）对半导体衬底进行热氧化，从而在直到凹陷的第一氧化硅膜制作的凹陷空间中将第二氧化硅膜填充的范围内，在沟槽的内壁上形成第二氧化硅膜，并同时使沟槽的肩部边沿圆滑的步骤，

（d）用化学汽相淀积方法，在包括沟槽内部的半导体衬底上，淀积第二氮化硅膜的步骤，

（e）在半导体衬底的主侧（即表面）上淀积第三氧化硅膜，从而在沟槽中埋置第三氧化硅膜的步骤，

（f）对半导体衬底进行热处理（即退火），从而对埋置在沟槽中

的第三氧化硅膜进行烧结的步骤，

（g）清除第一氮化硅膜上的第三氧化硅膜和第二氮化硅膜，同时只在沟槽中留下第三氧化硅膜和第二氮化硅膜，从而形成埋置有第三氧化硅膜和第二氮化硅膜的元件隔离沟槽的步骤，

（h）用腐蚀方法清除其周界由元件隔离沟槽限制的有源区的表面上的第一氮化硅膜的步骤，

（i）对元件隔离沟槽中的第三氧化硅膜进行热氧化，从而增大膜的厚度并填充由于在用腐蚀方法清除第一氮化硅膜的过程中同时清除元件隔离沟槽的肩部边沿处的第二氮化硅膜所形成的凹陷的步骤，以及

（j）在有源区中制作半导体元件的步骤。

根据本发明的第四典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜，然后在第一氧化硅膜上淀积第一氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的第一氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内壁的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 **5-40nm** 的步骤，

（c）对半导体衬底进行热氧化，从而在直到凹陷的第一氧化硅膜制作的凹陷空间中将第二氧化硅膜填充的范围内，在沟槽的内壁上形成第二氧化硅膜，并同时使沟槽的肩部边沿圆滑的步骤，

（d）用化学汽相淀积方法，在包括沟槽内部的半导体衬底上，淀积第二氮化硅膜的步骤，

（e）在半导体衬底的主侧（即表面）上淀积第三氧化硅膜，从而在沟槽中埋置第三氧化硅膜的步骤，

（f）清除第一氮化硅膜上的第三氧化硅膜和第二氮化硅膜，同时只在沟槽中留下第三氧化硅膜和第二氮化硅膜，从而形成埋置有第三

氧化硅膜和第二氮化硅膜的元件隔离沟槽的步骤，

（g）对半导体衬底进行热处理（即退火），从而对埋置在沟槽中的第三氧化硅膜进行烧结，并对元件隔离沟槽肩部边沿上的第一氮化硅膜的表面和第二氮化硅膜的表面进行氧化的步骤，

（h）用腐蚀方法清除其周界由元件隔离沟槽限制的有源区的表面上的第一氮化硅膜和第一氮化硅膜表面上的氧化膜的步骤，以及

（i）在有源区中制作半导体元件的步骤。

根据本发明的第五典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜（衬垫氧化膜），然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内壁的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 **5-40nm** 的步骤，

（c）在半导体衬底的主侧（即表面）上淀积第二氧化硅膜（埋置氧化膜），从而在沟槽中埋置第二氧化膜的步骤，

（d）对半导体衬底进行热氧化，从而在对埋置在沟槽中的第二氧化硅膜进行烧结，在沟槽的内壁上形成第三氧化硅膜（热氧化膜），并同时使沟槽的肩部边沿圆滑的步骤，

（e）清除氮化硅膜上的第二氧化硅膜，同时只在沟槽中留下第二氧化硅膜，从而形成埋置有第二氧化硅膜的元件隔离沟槽的步骤，以及

（f）清除其周界由元件隔离沟槽限制的有源区的表面上的氮化硅膜，然后在有源区中制作半导体元件的步骤。

根据本发明的第六典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表

面）上制作第一氧化硅膜（衬垫氧化膜），然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内壁的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 **5-40nm** 的步骤，

（c）在半导体衬底的主侧（即表面）上淀积第二氧化硅膜（埋置氧化膜），从而在沟槽中埋置第二氧化膜的步骤，

（d）清除氮化硅膜上的第二氧化硅膜，同时只在沟槽中留下第二氧化硅膜，从而形成埋置有第二氧化硅膜的元件隔离沟槽的步骤，

（e）对半导体衬底进行热氧化，从而在对埋置在沟槽中的第二氧化硅膜进行烧结，在沟槽的内壁上形成第三氧化硅膜（热氧化膜），并同时使沟槽的肩部边沿圆滑的步骤，以及

（f）清除其周界由元件隔离沟槽限制的有源区的表面上的氮化硅膜，然后在有源区中制作半导体元件的步骤。

根据本发明的第七典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜，然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内壁的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 **5-40nm** 的步骤，

（c）对半导体衬底进行热氧化，从而在直到凹陷的第一氧化硅膜的边沿制作的凹陷空间中将第二氧化硅膜填充的范围内，在沟槽的内壁上形成第二氧化硅膜，并同时使沟槽的肩部边沿圆滑的步骤，

（d）在半导体衬底的主侧（即表面）上淀积多晶硅膜的步骤，

（e）在半导体衬底的主侧（即表面）上淀积第三氧化硅膜，从而

在沟槽中埋置第三氧化膜的步骤，

（f）对半导体衬底进行热氧化，从而在对埋置在沟槽中的第三氧化硅膜进行烧结，并对多晶硅膜进行氧化，以便至少将其一部分转变成氧化硅膜的步骤，

（g）清除氮化硅膜上的第三氧化硅膜和该氧化硅膜，同时只在沟槽中留下第三氧化硅膜和该氧化硅膜，从而形成埋置有第三氧化硅膜和该氧化硅膜的元件隔离沟槽的步骤，以及

（h）清除其周界由元件隔离沟槽限制的有源区的表面上的氮化硅膜，然后在有源区中制作半导体元件的步骤。

根据本发明的第八典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜，然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内壁的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 **5-40nm** 的步骤，

（c）对半导体衬底进行热氧化，从而在直到凹陷的第一氧化硅膜的边沿制作的凹陷空间中将第二氧化硅膜填充的范围内，在沟槽的内壁上形成第二氧化硅膜，并同时使沟槽的肩部边沿圆滑的步骤，

（d）在半导体衬底的主侧（即表面）上淀积多晶硅膜的步骤，

（e）在半导体衬底的主侧（即表面）上淀积第三氧化硅膜，从而在沟槽中埋置第三氧化膜的步骤，

（f）清除氮化硅膜上的第三氧化硅膜和多晶硅膜，同时在沟槽中留下第三氧化硅膜和多晶硅膜，从而形成埋置有第三氧化硅膜和多晶硅膜的元件隔离沟槽的步骤，

（g）对半导体衬底进行热氧化（即退火），从而在对埋置在沟槽中的第三氧化硅膜进行烧结，并对多晶硅膜进行氧化，以便至少将其

一部分转变成氧化硅膜的步骤，以及

（h）清除其周界由元件隔离沟槽限制的有源区的表面上的氮化硅膜，然后在有源区中制作半导体元件的步骤。

根据本发明的第九典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜（衬垫氧化膜），然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内壁的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 **5-40nm** 的步骤，

（c）对半导体衬底进行热氮化，从而在沟槽内壁上形成第二氮化硅的步骤，

（d）在半导体衬底的主侧（即表面）上淀积第二氧化硅膜（埋置氧化膜），从而在沟槽中埋置第二氧化膜的步骤，

（e）对半导体衬底进行热氧化（即退火），从而对埋置在沟槽中的第二氧化硅膜进行烧结的步骤，

（f）清除第一氮化硅膜上的第二氧化硅膜，同时只在沟槽中留下第二氧化硅膜，从而形成埋置有第二氧化硅膜的元件隔离沟槽的步骤，以及

（g）清除其周界由元件隔离沟槽限制的有源区的表面上的氮化硅膜，然后在有源区中制作半导体元件的步骤。

根据本发明的第十典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜（衬垫氧化膜），然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬

底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内壁的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 5-40nm 的步骤，

（c）对半导体衬底进行热氧化，从而在沟槽的内壁上形成第二氧化硅膜，然后对第二氧化硅膜进行氮化，从而至少将其一部分转变成氮化硅膜的步骤，

（d）在半导体衬底的主侧（即表面）上淀积第三氧化硅膜，从而在沟槽中埋置第三氧化膜的步骤，

（e）清除第一氮化硅膜上的第三氧化硅膜，同时只在沟槽中留下第三氧化硅膜，从而形成埋置有第三氧化硅膜的元件隔离沟槽的步骤，以及

（f）清除其周界由元件隔离沟槽限制的有源区的表面上的第一氮化硅膜，然后在有源区中制作半导体元件的步骤。

根据本发明的第十一典型情况，制造半导体器件的工艺包含下列步骤：

（a）对半导体衬底进行热氧化，从而在半导体衬底的主侧（即表面）上制作第一氧化硅膜（衬垫氧化膜），然后在第一氧化硅膜上淀积氮化硅膜，并在对元件区进行掩蔽的情况下，选择性地腐蚀位于元件隔离区中的氮化硅膜、第一氧化硅膜和半导体衬底，从而在半导体衬底的主侧（即表面）上开挖沟槽的步骤，

（b）对暴露于沟槽内壁的第一氧化硅膜进行腐蚀，从而使第一氧化硅膜从沟槽的内壁向有源区凹陷 5-40nm 的步骤，

（c）在半导体衬底上淀积多晶硅膜，然后对多晶硅膜进行氮化，从而至少将其一部分转变成氮化硅膜的步骤，

（d）在半导体衬底的主侧（即表面）上淀积第二氧化硅膜（埋置的氧化膜），从而在沟槽中埋置第二氧化膜的步骤，

（e）对半导体衬底进行热处理（即退火），从而对埋置在沟槽中的第二氧化硅膜进行烧结的步骤，

（f）清除第一氮化硅膜上的第二氧化硅膜，同时只在沟槽中留下

第二氧化硅膜，从而形成埋置有第二氧化硅膜的元件隔离沟槽的步骤，以及

（g）清除其周界由元件隔离沟槽限制的有源区的表面上的第一氮化硅膜，然后在有源区中制作半导体元件的步骤。

下面参照附图来详细描述本发明的实施例，在说明本发明各个实施例的所有附图中，用相同的参考号来表示具有相同功能的元件以免重复解释。

例 1

下面参照图 2A-2I 和图 3 来解释根据本发明第一实施例的制造半导体器件的沟槽隔离结构的步骤。

图 2A-2I 是根据本发明的半导体器件的立面剖面图，而图 3 是流程图，示出了工艺步骤的概况。根据流程图 3，参照图 2A-2I 来解释各个步骤。

（1）对硅衬底 31 的表面进行热氧化，以形成厚度约为 10nm 的衬垫氧化膜 32（图 3 中的 101 和 102）。

（2）在衬垫氧化膜 32 上淀积厚度约为 200nm 的氮化硅膜 42，并用作元件隔离热氧化膜 35 制作时的抗氧化膜（图 3 中的 103）。

（3）在氮化硅膜 42 上形成光刻胶 43（图 3 中的 104）。

（4）用普通的曝光方法清除所需位置处的光刻胶，然后用腐蚀方法清除部分氮化硅膜 42、衬垫氧化膜 32 和硅衬底 31，从而以沟槽内壁对硅衬底 31 的表面成预定角度（例如，如图 2D 中 A 所示，以 95-110 度的角度）开挖浅沟槽（图 3 中的 105-107）。

（5）清除光刻胶 43，然后用腐蚀方法使衬垫氧化膜 32 凹陷（即局部清除）5-40nm（图 3 中的 108 和 109）。

（6）然后，例如在干氧化气氛中，于 900-1000℃下，对硅衬底 31 的表面进行热氧化，以便在沟槽的内壁上形成热氧化膜 35（图 3 中的 110）。

（7）用化学汽相淀积（CVD）、溅射等方法，在其上淀积诸如氧化硅膜之类的隔离膜，以便将隔离膜埋置在沟槽中（以下称此隔离膜

为埋置隔离膜 36）。用化学汽相淀积、溅射等方法淀积的氧化硅膜等通常是多孔膜，因而在淀积埋置隔离膜 36 之后，可以在大约 1000℃下，对硅衬底 31 进行退火，或在氧化气氛中，于大约 1000℃下，对硅衬底 31 进行氧化，以便使薄膜更紧密（图 3 中的 111）。

（8）用化学机械抛光（CMP）或干法腐蚀方法，对埋置隔离膜 36 进行回腐蚀，其中用作抗氧化膜的氮化硅膜 42 被用作腐蚀停止层，以防止氮化硅膜 42 下方的硅衬底 31 被腐蚀（图 3 中的 112）。

（9）清除氮化硅膜 42 和衬垫氧化膜 32，从而完成埋置沟槽结构（图 3 中的 113）。然后，通过制造晶体管结构所需的安装手续，例如借助于制作栅氧化膜和栅电极、用杂质进行掺杂、制作布线、层间隔离膜等、制作表面保护膜等，来制造半导体器件。

下面参照图 4 和图 5A 和 5B 来解释本发明第一实施例的工作和效果。

本发明第一实施例与现有技术的区别在于前述步骤（5）中的衬垫氧化膜 32 的凹陷程度有限。图 4 示出了对由于衬垫氧化膜 32 凹陷程度的改变而造成的沟槽上边沿处硅衬底 31 的曲率半径的改变的分析结果，其中横轴表示衬垫氧化膜 32 的凹陷程度，而纵轴表示沟槽上边沿处硅衬底的曲率半径。如从图 4 可见，沟槽上边沿处衬底的曲率半径随衬垫氧化膜 32 的凹陷程度增大而从零增大，凹陷程度为 5nm 时，达到大约 25nm，凹陷程度为 20nm 时，进一步增大到大约 35nm。但当凹陷程度增大到超过 40nm 时，在沟槽上边沿处的衬底上侧形成台阶，凹陷程度为 60nm 时，曲率半径降低到例如 25nm。

可以假设曲率半径对衬垫氧化膜凹陷程度的依赖是下列原因造成的：

在沟槽氧化过程中，氧化膜开始生长，同时在氮化硅膜 42 与硅衬底 31 之间经历大约二倍的体积膨胀（图 5A 和 5B）。当衬垫氧化膜 32 的凹陷程度为零时，氮化硅膜 42 的边沿被体积膨胀向上推动，使氮化硅膜形变成向上弯曲的凹陷形状。由于氮化硅膜 42 的弯曲形变而出现反力，导致在氮化硅膜 42 下方的氧化膜（包括部分衬垫氧化膜 32）

以及在硅衬底二者中出现压应力（图 5A）。一旦出现压应力，氧化点的扩散亦即氧化反应的进展就被抑制，使沟槽上边沿处的氧化速率明显降低。另一方面，在沟槽内壁上，氧化膜的生长方向（垂直于内壁表面的方向）不受任何限制，亦即，不存在阻碍生长着的氧化膜进行体积膨胀的因素，因而，与沟槽上边沿的氧化相反，可以在内壁表面上进行氧化而不受任何限制。于是，如图 5A 中的虚线所示，随着氧化的进展，硅衬底 31 在沟槽上边沿处的衬底形状变尖。

当衬垫氧化膜 32 被凹陷时，就形成硅衬底 31 在沟槽上边沿处的暴露区及其未暴露区（图 5B）。在暴露区中，在氧化开始阶段生长的氧化膜不与上层氮化硅膜 42 接触，因而，如上面参照图 5A 解释的那样，不明显地出现由氮化硅膜 42 的弯曲形变造成的压应力，从而能够不受任何限制地进行氧化。而且，硅衬底 31 在沟槽上边沿处于二侧接触（亦即二个方向供应氧），因此氧化能够迅速进行，导致沟槽上边沿圆滑，亦即增大了曲率半径。

另一方面，在硅衬底 31 的未暴露区中，氧化点的扩散由于衬垫氧化膜 32 的存在而受到阻碍，亦即氧化被阻碍。于是，如图 4 所示，由于氧化速率的差异，在衬垫氧化膜 32 的边沿周围的硅衬底上形成台阶。当衬垫氧化膜 32 的凹陷程度不大于 40nm 时，由于接近容易氧化的沟槽上边沿部分（沿二个氧供应方向）而不形成台阶。于是，曲率半径高达 35nm。另一方面，当凹陷程度大于 40nm 时，由于离沟槽上边沿部分远而形成台阶，导致曲率半径下降。应该指出的是，当氧化在步骤（6）中进一步继续时，在暴露部分上生长的氧化膜将与氮化硅膜接触，如上所述，随之迅速出现压应力。亦即，至此得到的曲率半径再次减小。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以清除边沿），随之进行沟槽中的氧化。

在本发明的第一实施例中，在沟槽隔离结构的上边沿周围的衬底

上不再形成台阶，且借助于将衬垫氧化膜的凹陷程度限制在 5-40nm 范围内，能够得到比 3nm 大得多的曲率半径，因而能够有效地防止由栅电极薄膜边沿周围电场集中所造成的晶体管漏电流的增大和栅击穿电压的降低，并能有效地改善晶体管的电学可靠性。如图 34 所示，借助于在开挖沟槽之前提供凹陷，能够更好地使构成的肩部边沿圆滑。

例 2

下面参照图 2A-2I 和图 6 来解释根据本发明第二实施例的制造半导体器件的沟槽隔离结构的步骤。

图 6 所示的根据本发明第二实施例的制造半导体器件的埋置沟槽结构的工艺（流程图），是根据本发明第一实施例的工艺的步骤（6）的变例。第二实施例的埋置沟槽结构在结构等方面与第一实施例的差别不大，因此，下面将用图 2A-2I 所示的半导体器件的立面剖面结构图，参照图 6 的流程图，来解释第二实施例的各个步骤。

（1）对硅衬底 31 的表面进行热氧化，以形成厚度约为 10nm 的衬垫氧化膜 32（图 6 中的 201 和 202）。

（2）在衬垫氧化膜 32 上淀积厚度约为 200nm 的氮化硅膜 42，并用作元件隔离热氧化膜 35 制作时的抗氧化膜（图 6 中的 203）。

（3）在氮化硅膜 42 上形成光刻胶 43（图 6 中的 204）。

（4）用普通的曝光方法清除所需位置处的光刻胶 43，然后用腐蚀方法清除部分氮化硅膜 42、衬垫氧化膜 32 和硅衬底 31，从而以沟槽内壁对硅衬底 31 的表面成预定角度（例如，如图 2D 中 A 所示，以 95-110 度的角度）开挖浅沟槽（图 6 中的 205-207）。

（5）清除光刻胶 43，然后用腐蚀方法使衬垫氧化膜 32 凹陷 5-40nm（图 6 中的 208 和 209）。

（6）在 H_2/O_2 气体混合物的氧化气氛中，于 H_2/O_2 气体流速比 r（$0 < r \leq 0.5$）下，对硅衬底 31 上开挖的沟槽进行热氧化，以便形成元件隔离热氧化膜 35（图 6 中的 210）。

（7）用化学汽相淀积（CVD）、溅射等方法，在其上淀积诸如氧化硅膜之类的隔离膜，以便将隔离膜埋置在沟槽中（以下称此隔离膜

为埋置隔离膜 36)。用化学汽相淀积、溅射等方法淀积的氧化硅膜等，通常是多孔膜，因而，在淀积埋置隔离膜 36 之后，可以在大约 1000℃下，对硅衬底 31 进行退火，或在氧化气氛中，于大约 1000℃下，对硅衬底进行氧化，以便使薄膜更紧密（图 6 中的 211）。

（8）用化学机械抛光（CMP）或干法腐蚀方法，对埋置隔离膜 36 进行回腐蚀，其中用作抗氧化膜的氮化硅膜 42 被用作腐蚀停止层，以防止氮化硅膜 42 下方的硅衬底 31 被腐蚀（图 6 中的 212）。

（9）清除氮化硅膜 42 和衬垫氧化膜 32，从而完成埋置沟槽结构（图 6 中的 213）。然后，通过制造晶体管结构所需的安装手续，例如借助于制作栅氧化膜和栅电极、用杂质进行掺杂、制作布线、层间隔离膜等、制作表面保护膜等，来制造半导体器件。

下面参照图 7 来解释本发明第二实施例的工作和效果。

氧化气氛 H_2/O_2 的气体流速比可以在 $0 \leq r < 2$ 的范围内改变，但当 r 达到 2 时，反应猛烈地进行。从安全的观点看，r 的上限大致约为 1.8。当在上述气体流速比范围内假设氧化温度恒定时，氧化速率随气体流速比的增加而增加，而氧化速率随气体流速比的减小而减小。这样来分析氧化速率对半导体衬底的沟槽上边沿形状的影响。结果示于图 7，其中横轴表示 H_2/O_2 的气体流速比，而纵轴表示半导体衬底的沟槽上边沿处的曲率半径。从图 7 可见，得到的曲率半径随氧化气氛中的氢（H_2）的气体流速比的增加而急剧地减小。当气体流速比 r 达到 0.5 时，曲率半径减小到大约 3nm。当气体流速比更高时，曲率半径进一步减小，尽管很缓慢。

这种现象的原因可以解释如下：

如上面已经指出的那样，氧化过程在硅衬底与氧化硅膜之间的边界周围引起应变（应力）。另一方面，氧化硅膜在高温（900℃或更高）下呈现明显的粘滞行为，因此，出现的应力在高温下随时间被减弱。当假设氧化膜的厚度恒定时，虽然出现的应变（应力）恒定，但减弱所出现的应力所需的时间，随氧化速率的增大（更大的 H_2/O_2 的气体流速比）而缩短。因此，残余应力增大。在氧化速率较低（较小的 H_2/O_2

的气体流速比）的情况下，可以造成氧化硅膜的粘滞效应，致使应力减弱相比于恒定氧化膜厚度的条件下进行。氧化引进的应力越大，在出现的应力周围的区域中就越难氧化。这样，沟槽上边沿周围的硅衬底区就是衬底上侧和沟槽内部生长氧化膜所造成的应力集中处，且当残余应力变大时，应力集中处周围的氧化将被阻碍，致使硅衬底中的沟槽上边沿变尖。亦即，借助于降低 H_2/O_2 的气体流速比，可以在低应力状态下进行沟槽上边沿周围的半导体衬底的氧化，以致能够在沟槽上边沿周围使硅衬底 31 圆滑。

根据本发明第二实施例，从上述原因，能够使沟槽隔离结构中的沟槽上边沿周围的衬底的曲率半径比 3nm 大得多。而且，如本发明第一实施例那样，衬垫氧化膜的凹陷程度被设定在 5-40nm 的范围内，可以防止沟槽上边沿处的衬底上表面出现台阶。亦即，能够有效地防止由栅电极薄膜边沿周围电场集中所造成的晶体管漏电流的增大和栅击穿电压的降低，并能有效地改善晶体管的电学可靠性。如图 34 所示，借助于在开挖沟槽之前提供凹陷，能够更好地使构成的肩部边沿圆滑。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前，清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在构成肩部边沿处进行各向同性腐蚀（以易于清除边沿），随之进行沟槽中的氧化。

例 3

下面参照图 2A-2I 和图 8 来解释根据本发明第三实施例的制造半导体器件的埋置沟槽结构的步骤。

图 8 所示的根据本发明第三实施例的制造半导体器件的埋置沟槽结构的工艺（流程图），是根据本发明第一实施例的工艺的步骤（6）的变例。第三实施例的埋置沟槽结构在结构等方面与第一实施例的差别不大，因此，下面将用图 2A-2I 所示的半导体器件的立面剖面结构图，参照图 8 的流程图，来解释第三实施例的各个步骤。

（1）对硅衬底 31 的表面进行热氧化，以形成厚度约为 10nm 的衬垫氧化膜 32（图 8 中的 301 和 302）。

（2）在衬垫氧化膜 32 上淀积厚度约为 200nm 的氮化硅膜 42，并用作元件隔离热氧化膜 35 制作时的抗氧化膜（图 8 中的 303）。

（3）在氮化硅膜 42 上形成光刻胶 43（图 5 中的 304）。

（4）用普通的曝光方法清除所需位置处的光刻胶膜 43，然后用腐蚀方法清除部分氮化硅膜 42、衬垫氧化膜 32 和硅衬底 31，从而以沟槽内壁对硅衬底 31 的表面成预定角度（例如，如图 2D 中 A 所示，以 95-110 度的角度）开挖浅沟槽（图 8 中的 305-307）。

（5）清除光刻胶 43，然后用腐蚀方法使衬垫氧化膜 32 凹陷 5-40nm（图 8 中的 308 和 309）。

（6）在 H_2/O_2 气体混合物的氧化气氛中，于 H_2/O_2 流速比 r（$0 \leq r \leq 0.5$）下，在形成的凹陷空间被填充到凹陷衬垫氧化膜的边沿的范围内，对硅衬底 31 上开挖的沟槽进行热氧化（图 8 中的 310）。

（7）用化学汽相淀积（CVD）、溅射等方法，在其上淀积诸如氧化硅膜之类的隔离膜，以便将隔离膜埋置在沟槽中（以下称此隔离膜为埋置隔离膜 36）。用化学汽相淀积、溅射等方法淀积的氧化硅膜等，通常是多孔膜，因而在淀积埋置隔离膜 36 之后，可以在大约 1000℃下，对硅衬底 31 进行退火，或在氧化气氛中，于大约 1000℃下，对衬底进行氧化，以便使薄膜更紧密（图 8 中的 311）。

（8）用化学机械抛光（CMP）或干法腐蚀方法，对埋置隔离膜 36 进行回腐蚀，其中用作抗氧化膜的氮化硅膜 42 被用作腐蚀停止层，以防止氮化硅膜 42 下方的硅衬底 31 被腐蚀（图 8 中的 312）。

（9）清除氮化硅膜 42 和衬垫氧化膜 32，从而完成埋置沟槽结构（图 8 中的 313）。然后，通过制造晶体管结构所需的安装手续，例如借助于制作栅氧化膜和栅电极、用杂质进行掺杂、制作布线、层间隔离膜等、制作表面保护膜等，来制造半导体器件。

下面参照图 2A-2I 来解释本发明第三实施例的工作和效果。

如在本发明第一实施例中解释的那样（图 4），当形成的凹陷空间被氧化完全填充到衬垫氧化膜的边沿时，氮化硅膜 42 经历向上的弯曲形变，并由于膜 43 的弯曲造成的压力而在氮化硅膜 43 下方的衬垫氧

化膜 32 和硅衬底 31 上出现压应力，致使氧化受到应力的阻碍，沟槽上边沿周围的硅衬底变尖。但当形成的凹陷空间刚刚被完全填充到衬垫氧化膜 32 的边沿之前进行氧化时，则不再出现弯曲形变造成的压应力，致使氧化在硅衬底 31 的上角端平滑地进行，使沟槽上端周围的硅衬底 31 圆滑。而且，如本发明第一实施例给定的那样，衬垫氧化膜的凹陷程度被限制在 5-40nm 范围内，故可防止在沟槽上边沿处的硅衬底的上表面上出现台阶。

根据本发明第三实施例，从上述原因，能够使沟槽隔离结构中的沟槽上边沿周围的衬底曲率半径比 3nm 大得多。而且，可以防止沟槽上边沿处的衬底上表面出现台阶，以致能够有效地防止由栅电极薄膜边沿周围电场集中所造成的晶体管漏电流的增大和栅击穿电压的降低，并能有效地改善晶体管的电学可靠性。如图 34 所示，借助于在开挖沟槽之前提供凹陷，能够更好地使沟槽的肩部边沿圆滑。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前，清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在构成肩部边沿处进行各向同性腐蚀（以易于清除边沿），随之以沟槽中的氧化。

例 4

下面参照图 2A-2I 和图 9 来解释根据本发明第四实施例的半导体器件的埋置沟槽结构以及制造埋置沟槽结构的步骤。

图 2A-2I 是根据本发明第四实施例的半导体器件的立面剖面图，而图 9 是流程图，示出了制造此半导体器件的步骤的概况。下面跟随图 9 的流程图，参照图 2A-2I 来解释此半导体器件的制造步骤。

（1）对硅衬底 31 的表面进行热氧化，以形成厚度约为 5-50nm 的衬垫氧化膜 32（图 9 中的 401 和 402）。

（2）在衬垫氧化膜 32 上淀积厚度为 10-300nm 的氮化硅膜 42，并用作元件隔离热氧化膜 35 制作时的抗氧化膜（图 9 中的 403）。

（3）在氮化硅膜上形成光刻胶 43（图 9 中的 404）。

（4）用普通的曝光方法清除所需位置处的光刻胶膜 43，然后用

腐蚀方法清除部分氮化硅膜 42、衬垫氧化膜 32 和硅衬底 31，从而以沟槽内壁对硅衬底 31 的表面成预定角度（例如，如图 2D 中 A 所示，以 95-110 度的角度）开挖浅沟槽（图 9 中的 405-407）。

（5）清除光刻胶 43，然后用腐蚀方法使衬垫氧化膜 32 凹陷 5-40nm（图 9 中的 408 和 409）。

（6）然后，在 900-1000℃的氧化温度下，在不高于 1ppm 的 H_2/O_2 的氧化气氛中，在形成的凹陷空间被热氧化膜填充到凹陷衬垫氧化膜的边沿的范围内，对硅衬底 31 进行热氧化，以形成热氧化膜 35（图 9 中的 410）。

（7）用化学汽相淀积（CVD）、溅射等方法，在其上淀积诸如氧化硅膜之类的隔离膜，以便将隔离膜埋置在沟槽中（以下称此隔离膜为埋置隔离膜 36）。用化学汽相淀积、溅射等方法淀积的氧化硅膜等，通常是多孔膜，因而在淀积埋置隔离膜 36 之后，可以在大约 1000℃下，对硅衬底 31 进行退火，或在氧化气氛中，于大约 1000℃下，对衬底进行氧化，以便使薄膜更紧密（图 9 中的 411）。

（8）用化学机械抛光（CMP）或干法腐蚀方法，对埋置隔离膜 36 进行回腐蚀，其中用作抗氧化膜的氮化硅膜 42 被用作腐蚀停止层，以防止氮化硅膜 42 下方的硅衬底 31 被腐蚀（图 9 中的 412）。

（9）清除氮化硅膜 42 和衬垫氧化膜 32，从而完成埋置沟槽结构（图 9 中的 413）。然后，通过制造晶体管结构所需的安装手续，例如借助于制作栅氧化膜和栅电极、用杂质进行掺杂、制作布线、层间隔离膜等、制作表面保护膜等，来制造半导体器件。在根据本发明第四实施例的半导体器件的沟槽隔离结构中，衬底在上表面上没有台阶，而是在沟槽上边沿周围具有单调的凸面形状，沟槽隔离结构中部的沟槽内壁处的氧化膜厚度在 5-70nm 范围内，而半导体器件的上角边处的曲率半径在 3-35nm 范围内。

下面参照图 10 来解释本发明第四实施例的工作和效果。

图 10 示出了根据本发明第四实施例的中部沟槽内壁处元件隔离热氧化膜的氧化量（厚度）与衬底上角边处的曲率半径之间的关系的

模拟结果，其中“a”表示衬垫氧化膜的厚度。从图 10 可见，硅衬底上角边处的曲率半径 R 随沟槽内壁的氧化量增加而增加，并达到最大值。此最大值依赖于衬垫氧化膜的厚度，并随厚度 a 的增加而增加，但在厚度 a 为 10nm 或更大时，达到恒定值（大约 35nm）。曲率半径之所以有最大值的原因是，曲率半径随沟槽氧化的进展而增大，且形成的凹陷空间被氧化逐渐填充到凹陷衬垫氧化膜的边沿，如图 5A 所示，导致其中具有氧化侵入的氮化硅膜出现向上弯曲形变（在硅衬底和氧化膜上出现压应力），并由于压应力而阻碍氧化，使曲率半径变小。而且，随着氧化量的增加，沟槽上边沿部分处的热氧化膜中的应力可能由于氧化受阻而增大。

实验已经发现，曲率半径 R 在大约 3nm 或更大的范围内对晶体管的特性没有不利的影响。如图 10 所示，沟槽内壁上的氧化量为 5nm 或更大，可以确保必须的曲率半径。即使用氧化量超过 30nm 的氧化，也不再增大曲率半径。于是，为了使曲率半径尽可能大，最好是使衬垫氧化膜的厚度为 10nm 或更大，并使沟槽内壁的氧化量为 30nm 或更大。

而且，根据本发明第四实施例，由于衬垫氧化膜的凹陷程度被设定在 5-40nm 的范围内，故在沟槽上边沿处的衬底上表面上不出现台阶。于是，沟槽上边沿处的衬底就能够具有单调的凸面表面。如图 34 所示，借助于在开挖沟槽之前提供凹陷，可以使沟槽的肩部边沿更好地圆滑。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

在本发明的第四实施例中，沟槽上边沿周围的衬底的曲率半径可被做成高达 35nm，且衬底在沟槽上边沿处的上表面上没有台阶，因而能够有效地防止由栅电极薄膜边沿周围电场集中所造成的晶体管漏电流的增大和栅击穿电压的降低，并能有效地改善晶体管的电学可靠

性。

如上所述，本发明能够提供具有沟槽隔离结构且晶体管的栅击穿电压不退化的半导体器件及其制造工艺。

例 5

下面参照图 11-32 来解释根据本发明进一步实施例的互补 MISFET（CMOSFET）的制造工艺。

如图 11 所示，例如在 800-850℃的温度下，对电阻率约为 1-10Ωcm 的 p 型单晶硅半导体衬底 1 进行热氧化，以形成肯定会减弱应力并保护其主侧（即表面）上的有源区的氧化硅膜（衬垫氧化膜）2，然后用 CVD 方法在氧化硅膜 2 上淀积氮化硅膜 3。

然后，如图 12 所示，用腐蚀方法，以光刻胶作为掩模，清除元件隔离区中的氮化硅膜 3 和氧化硅膜 2，再如图 13 所示，用氮化硅膜 3 作为掩模，用腐蚀方法在元件隔离区中的半导体衬底 1 上开挖深度为 350-400nm 的沟槽 4a。此时，如图 34 所示，借助于在开挖沟槽 4a 之前提供凹陷，可以使沟槽的肩部边沿更圆滑。借助于调整用来腐蚀半导体衬底 1 的气体的组分，使沟槽 4a 的内壁变尖，例如在衬底的下角边和上角边分别以 85 度或更小的角度 θ_1 和 θ_2 变尖。借助于使沟槽 4a 的内壁变尖，可以容易地将隔离膜埋置在沟槽 4a 中。

借助于用光刻胶作为掩模，连续地腐蚀位于元件隔离区中的氮化硅膜 3、氧化硅膜 2 和半导体衬底 1，也可以开挖沟槽 4a。当半导体衬底 1 用光刻胶作为掩模被腐蚀时，可防止用作热氧化掩模的氮化硅膜 3 的厚度减小。亦即，可以将氮化硅膜 3 的起始厚度做得更小。

然后，湿法清洗沟槽 4a 的内部，以清除腐蚀残留物，再如图 14 和作为图 14 主要部分的放大图的 15 所示，用氢氟酸基腐蚀溶液清除暴露于沟槽 4a 内壁的氧化硅膜，以便使氧化硅膜向有源区凹陷。腐蚀造成的氧化硅膜 2 的凹陷程度在 5-40nm 范围内。

借助于在上述范围内使暴露于沟槽 4a 内壁的氧化硅膜 2 凹陷，当在连续热氧化步骤中要在沟槽 4a 内壁上形成氧化硅膜 5 时，可更容易地使沟槽 4a 的肩部边沿圆滑。当氧化硅膜 2 的凹陷程度太大时，在肩

部边沿处会不希望有地形成台阶。因此，将氧化硅膜 2 从沟槽 4a 内壁的凹陷程度控制在 5-40nm 范围内是至关重要的。

然后，如图 16 和作为图 16 主要部分的放大图的 17 所示，例如在 950℃下，对半导体衬底 1 进行热氧化，以便在沟槽 4a 内壁上形成氧化硅膜 5。制作氧化硅膜 5 是为了补救沟槽 4a 内壁上的腐蚀损伤，并使后续步骤中待要埋置在沟槽 4a 中的氧化硅膜 6 上的应力减弱。借助于控制氧化时间，氧化硅膜 5 的厚度 Tr 被做成三倍于氧化硅膜（衬垫氧化膜）2 的厚度 Tp，亦即在 $Tp < Tr \leq 3Tp$ 的范围内，从而使沟槽 4a 的肩部边沿圆滑。当半导体衬底 1 的氧化温度低于 800℃时，氧化硅膜 5 难以生长，而高于 1000℃时，特别是大直径的晶片容易产生位错。已经发现，氧化应在 800-1000℃的温度范围内进行。

然后，如图 19 所示，用 CVD 方法在半导体衬底 1 的主侧（即表面）上淀积氧化硅膜 7，以便在沟槽 4a 中埋置氧化硅膜 7。氧化硅膜 7 由具有如同由例如臭氧（O_3）和四乙氧基硅烷（$(C_2H_5)_4Si$）制得的氧化硅膜那样的良好流动性的氧化硅材料制成。如图 18 所示，在淀积氧化硅膜 7 的步骤之前，可用 CVD 方法在沟槽内壁上薄薄地淀积氮化硅膜 6，其中的氮化硅膜 6 在后续步骤中对埋置在沟槽 4a 中的氧化硅膜 7 进行烧结时，用来抑制沟槽 4a 内壁上氧化硅膜 5 向有源区的生长，从而抑制像氧化硅膜 5 在有源区中的半导体衬底 1 上出现应力造成的形成漏电路径这样的麻烦。

然后，在不高于 1000℃的温度下，例如在 850℃的温度下，对半导体衬底 1 进行湿法氧化，以便对埋置在沟槽 4a 中的氧化硅膜 7 进行烧结，从而改善氧化硅膜 7 的质量。

然后，如图 20 所示，例如用化学机械抛光（CMP）方法对氧化硅膜 7 进行抛光，以整平表面。抛光进行时，以覆盖有源区的氮化硅膜 3 作为停止层，以便只在沟槽 4a 中留下氧化硅膜 7，从而完成埋置有氧化硅膜 7 的元件隔离沟槽 4。然后，如图 21 所示，用诸如热磷酸之类的腐蚀溶液清除覆盖有源区的氮化硅膜 3。

在用 CMP 方法对氧化硅膜 7 进行抛光，使氧化硅膜 7 只留在沟

槽 4a 中之后，可对埋置在沟槽 4a 中的氧化硅膜 7 进行烧结。此时，待要烧结的氧化硅膜 7 的厚度小于抛光氧化硅膜 7 之前进行烧结时的厚度，因而可以缩短烧结时间。

当沟槽 4a 的尺寸非常小时，在半导体衬底 1 上淀积氧化硅膜 7 的步骤中将氧化硅膜 7 埋置在沟槽 4a 中时，有时可能在氧化硅膜 7 中形成空洞。为了避免形成这种空洞，如图 22 所示，淀积了其厚度大得足以防止在薄膜中形成空洞的氧化硅膜 7，然后如图 23 所示，用 CVD 方法在其上淀积多晶硅膜 8，从而将由氧化硅膜 7 和多晶硅膜 8 组成的双层完全埋置在沟槽 4a 中。在淀积氧化硅膜 7 的步骤之前，可以用 CVD 方法在沟槽 4a 的内壁和氮化硅膜 3 上薄薄地淀积氮化硅膜 6，以便抑制烧结过程中氧化硅膜 5 向有源区生长。

然后，如图 23 所示，在上述条件下对半导体衬底 1 进行热处理(即退火)，以便对氧化硅膜 7 进行烧结。此时，如图 24 所示，氧化硅膜 7 上的多晶硅膜 8 被热氧化，并转变成氧化硅膜 8a。

然后，如图 25 所示，对氧化硅膜 8a 和氧化硅膜 7 进行抛光，以得到没有空洞的元件隔离沟槽 4。

用下列方式在其周界被元件隔离沟槽 4 限制的半导体衬底 1 的有源区中制作互补 MISFET:

首先，用氢氟酸溶液之类清除保留在有源区表面上的氧化硅膜(衬垫氧化膜)2，然后，如图 26 所示，在 800-850℃的温度下，对半导体衬底 1 进行热氧化，以便在半导体衬底 1 的表面上形成清洁的栅氧化膜 9。此时，元件隔离沟槽 4 的肩部边沿被圆滑，从而防止诸如肩部边沿处栅氧化膜 9 减薄的麻烦。

然后，如图 27 所示，在部分半导体衬底 1 上，离子注入诸如磷(P)之类的 n 型杂质，并在衬底的其它部分上，离子注入硼(B)之类的 p 型杂质，并在不高于 1000℃的温度下，例如在 950℃的温度下，对半导体衬底 1 进行热处理，以进行二种杂质的增强扩散，从而在 n 沟道型 MISFET 制作区中形成 p 型阱 10，并在 p 沟道型 MISFET 制作区上形成 n 型阱 11。在分别形成的 p 型阱 10 和 n 型阱 11 的表面上，可

制作栅氧化膜 9。

然后，如图 28 所示，在 p 型阱 10 上制作 n 沟道型 MISFET 的栅电极 12，并在 n 型阱 11 上制作 p 沟道型 MISFET 的栅电极 12。为了制作栅电极 12，用 CVD 方法在半导体衬底 1 上，相继淀积例如 p 型掺杂的多晶硅膜、钨（W）硅化物膜和帽隔离膜 13，再用腐蚀方法，以光刻胶作为掩模，对这些膜进行图形化，从而得到栅电极 12。帽隔离膜 13 由氧化硅膜或氮化硅膜制成。

然后，如图 29 所示，用 P 之类的 n 型杂质对 p 型阱 10 进行离子注入，以形成 n 沟道型 MISFET 的 n 型半导体区（源，漏），并用 B（硼）之类的 p 型杂质对 n 型阱 11 进行离子注入，以形成 p 沟道型 MISFET 的 p 型半导体区（源，漏），从而得到 n 沟道型 MISFET Q_n 和 p 沟道型 MISFET Q_p。

然后，如图 30 所示，在栅电极 12 的侧壁上形成侧壁间隔 16。借助于用 CVD 方法在半导体衬底 1 上淀积氧化硅膜或氮化硅膜，并用各向异性腐蚀方法对膜进行图形化，来制作侧壁间隔 16。

然后，如图 31 所示，用 CVD 方法在半导体衬底 1 上淀积氧化硅膜 17，并如图 32 所示，制作分别通过 n 沟道型 MISFET Q_n 的 n 型半导体区（源，漏）14 上和 p 沟道型 MISFET Q_p 的 p 型半导体区（源，漏）上的氧化硅膜 17 的接触孔 18，并对用溅射方法淀积在氧化硅膜 17 上的铝（Al）合金膜进行图形化，以形成布线 19。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 6

下面参照图 33-36 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 33 所示，在 800-850℃的温度下，对半导体衬底 1 进行热氧化，以便在半导体衬底 1 的主侧（即表面）上形成氧化硅膜（衬

垫氧化膜）2，再用 CVD 方法在氧化硅膜 2 上淀积氮化硅膜 3。然后用腐蚀方法，以光刻胶作为掩模，清除元件隔离区中的氮化硅膜 3 和氧化硅膜 2。

然后，如图 34 所示，对元件隔离区中的半导体衬底 1 的表面进行各向同性浅腐蚀，以便在元件隔离区中的边沿处的半导体衬底 1 上形成凹陷 a。

然后，如图 35 所示，用改变腐蚀气体组分之类的方法，对元件隔离区中的半导体衬底 1 进行各向异性腐蚀，以便在元件隔离区中的半导体衬底 1 上形成沟槽 4a。再如图 36 所示，例如在 950℃下，对半导体衬底 1 进行热氧化，以便在沟槽 4a 的内壁上形成氧化硅膜 5，同时使沟槽 4a 的肩部边沿圆滑。用与例 5 相同的方法来执行这些相继步骤。

根据此实施例，在制作沟槽 4a 内壁上的氧化硅膜 5 的步骤之前，在沟槽 4a 的肩部边沿处形成了凹陷，从而能够使沟槽 4a 的肩部边沿圆滑。根据本实施例在沟槽 4a 的肩部边沿处形成凹陷，也可以与根据例 5 使暴露于沟槽 4a 内壁的氧化硅膜 2 向有源区的凹陷一起进行。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 7

下面参照图 37-44 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 37 所示，在沟槽 4a 的内壁上形成氧化硅膜 5，同时，用与例 1-3 相同的方法，使沟槽 4a 的肩部边沿圆滑。再如图 38 所示，用 CVD 方法在半导体衬底 1 上薄薄地淀积氮化硅膜 6。制作氮化硅膜 6 是为了在后续步骤中对埋置在沟槽 4a 中的氧化硅膜 7 进行烧结时抑制氧化硅膜 5 在沟槽 4a 内壁上向有源区生长。

然后，如图 39 所示，用 CVD 方法在半导体衬底 1 上淀积氧化硅膜 7，以便将氧化硅膜 7 埋置在沟槽 4a 中，再在与前述对埋置在沟槽

中的氧化硅膜 7 进行烧结相同的温度条件下，对半导体衬底 1 进行湿法氧化即退火，从而改善氧化硅膜 7 的质量。

然后，如图 40 所示，用化学机械抛光方法，对氧化硅膜 7 进行抛光，以便只在沟槽 4a 中留下氧化硅膜 7，从而形成元件隔离沟槽 4。当覆盖有源区的氮化硅膜 3 待要被诸如热磷酸之类的腐蚀溶液腐蚀时，如图 41 所示，元件隔离沟槽 4 内壁上的氮化硅膜 6 同时被腐蚀掉，从而使氮化硅膜 6 向元件隔离区 4 凹陷，并在元件隔离沟槽 4 的肩部边沿处形成凹陷。当后续步骤中要腐蚀淀积在其上的诸如多晶硅之类的栅电极材料时，一旦在元件隔离沟槽 4 的肩部边沿处形成了这种凹陷，埋置在元件隔离沟槽 4 中的氧化硅膜 7 的表面有时就破裂，使外来碎片腐蚀残留物留在凹陷中。

为了克服上述这种麻烦，例如，如图 42 所示，在清除氮化硅膜 3 之后，在 850-900℃的温度下，对元件隔离沟槽 4 肩部边沿处的氧化硅膜 7 重新进行氧化，以便增大薄膜厚度，从而用氧化硅膜 7 封住凹陷。为了用氧化硅膜 7 封住凹陷，必须使薄膜厚度的增量至少为氮化硅膜 6 厚度的二倍。当薄膜厚度的增量太大时，生长的氧化硅膜 5 使有源区变窄。因此，借助于控制氧化时间，使薄膜厚度的增量为氮化硅膜 6 的厚度的二倍或稍大于氮化硅膜 6 的厚度的二倍。

如图 43 所示，根据防止在元件隔离沟槽 4 的肩部边沿处形成凹陷的另一种方法，用化学机械抛光方法对氧化硅膜 7 进行抛光，以便只在沟槽 4a 中留下氧化硅膜 7，随之以烧结。借助于设定较长的烧结时间或较高的烧结温度，覆盖有源区的氮化硅膜 3 和元件隔离沟槽 4 的肩部边沿处的氮化硅膜 6 能够被氧化。然后，用腐蚀方法清除氮化硅膜 3 上的氧化膜，并用腐蚀方法相继清除氮化硅膜 3，从而能够防止在元件隔离沟槽 4 的肩部边沿处形成凹陷，如图 44 所示。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 8

下面参照图 45 和 46 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 45 所示，在沟槽 4a 的内壁上形成氧化硅膜 5，同时，用与例 1-3 相同的方法，使沟槽 4a 的肩部边沿圆滑。再如图 46 所示，对沟槽 4a 的内壁进行软氮化，以便在靠近制作在沟槽 4a 内壁上的氧化硅膜 5 与半导体衬底 1 的有源区的内壁之间的边界的区域中分凝氮，从而形成氮化硅层 20。为了对沟槽 4a 的内壁进行软氮化，在 NO（一氧化氮）或 N_2O（一氧化二氮）气氛中，对半导体衬底 1 进行热处理，其中，NO 或 N_2O 热分解所释放的氮被分凝在靠近氧化硅膜 5 与半导体衬底 1 的有源区之间的边界的区域中，然后用热处理方法形成氮化硅层 20。

根据本发明的这一实施例，氮化硅层 20 被制作在靠近氧化硅膜 5 与半导体衬底 1 的有源区之间的边界的区域中，从而在对稍后埋置在沟槽 4a 中的氧化硅膜 7 进行烧结的过程中，难以氧化靠近此边界的区域，因而能够抑制氧化硅膜 5 向有源区的生长。

根据在靠近氧化硅膜 5 与半导体衬底 1 的有源区之间的边界的区域中制作氮化硅层 20 的另一种方法，如图 47 所示，在沟槽 4a 的内壁上形成氧化硅膜 5，并用与例 1-3 相同的方法，使沟槽 4a 的肩部边沿圆滑，再如图 48 所示，在靠近氧化硅膜 5 与半导体衬底 1 的有源区之间的边界的区域中离子注入氮，如有必要，随之以热处理。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 9

下面参照图 49 和 50 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 49 示，用腐蚀方法，以氮化硅膜 3 作为掩模，在元件

隔离区中的半导体衬底 1 上开挖沟槽 4a。再用氢氟酸基的腐蚀溶液清除暴露于沟槽 4a 内壁的氧化硅膜 2，以便使氧化硅膜 2 向有源区凹陷。此步骤之前的各个步骤与例 1-3 中的相同。

然后，如图 50 所示，对半导体衬底 1 进行软氮化，以便在沟槽 4a 的内壁上形成氮化硅膜 21，并同时使沟槽 4a 的肩部边沿圆滑。为了对半导体衬底 1 进行软氮化，在 NO 和 N_2O 的混合气氛中，于大约 900℃的温度下，或在 N_2O 和 N_2 的混合气氛中，于 1050℃的温度下，对半导体衬底 1 进行热处理。

根据本实施例，氮化硅膜 21 被制作在沟槽 4a 的内壁上，从而在对稍后埋置在沟槽 4a 中的氧化硅膜 7 进行烧结的过程中，难以氧化靠近上述边界的区域，因而能够抑制氧化硅膜 5 向有源区的生长。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 10

下面参照图 51-54 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 51 示，用腐蚀方法，以氮化硅膜 3 作为掩模，在元件隔离区中的半导体衬底 1 上开挖沟槽 4a。再如图 52 所示，用氢氟酸基的腐蚀溶液清除暴露于沟槽 4a 内壁的氧化硅膜 2，以便使氧化硅膜 2 向有源区凹陷。此步骤之前的各个步骤与例 1-3 中的相同。

然后，如图 53 所示，用 CVD 方法在半导体衬底 1 上淀积氧化硅膜 7，以便将氧化硅膜 7 埋置在沟槽 4a 中。再如图 54 所示，对半导体衬底 1 进行湿法氧化即退火，以便烧结氧化硅膜 7。同时，在沟槽 4a 内壁上制作氧化硅膜 5，并使沟槽 4a 的肩部边沿圆滑。

根据此实施例，氧化硅膜 7 的烧结、氧化硅膜 5 在沟槽 4a 内壁上的制作、以及使沟槽 4a 肩部边沿的圆滑，被同时进行，从而能够简化元件隔离沟槽 4 的制作工艺。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 11

下面参照图 55-58 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 55 示，用腐蚀方法，以氮化硅膜 3 作为掩模，在元件隔离区中的半导体衬底 1 上开挖沟槽 4a。再用氢氟酸基的腐蚀溶液清除暴露于沟槽 4a 内壁的氧化硅膜 2，以便使氧化硅膜 2 向有源区凹陷。此步骤之前的各个步骤与例 1-3 中的相同。

然后，如图 56 所示，用 CVD 方法在半导体衬底 1 上淀积氧化硅膜 7，以便将氧化硅膜 7 埋置在沟槽 4a 中，再如图 57 所示，清除氮化硅膜 3 上的氧化硅膜 7，以便只在沟槽 4a 中留下氧化硅膜 7，从而形成埋置有氧化硅膜 7 的元件隔离沟槽 4。然后，如图 58 所示，对半导体衬底 1 进行湿法氧化，以便烧结氧化硅膜 7。同时，在沟槽 4a 内壁上制作氧化硅膜，并使沟槽 4a 的肩部边沿圆滑。

根据此实施例，氧化硅膜 7 的烧结、氧化硅膜 5 在沟槽 4a 内壁上的制作、以及使沟槽 4a 肩部边沿圆滑，可以同时进行，从而能够简化元件隔离沟槽的制作工艺。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 12

下面参照图 59-64 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 59 示，用腐蚀方法，以氮化硅膜 3 作为掩模，在元件隔离区中的半导体衬底 1 上开挖沟槽 4a。再用氢氟酸基的腐蚀溶液清

除暴露于沟槽 4a 内壁的氧化硅膜 2，以便使氧化硅膜 2 向有源区凹陷。

然后，如图 60 所示，对半导体衬底 1 进行热氧化，以便在沟槽 4a 内壁上形成氧化硅膜 5，并同时使沟槽 4a 的肩部边沿圆滑。此步骤之前的各个步骤与例 1-3 中的相同。

然后，如图 61 所示，用 CVD 方法在半导体衬底 1 上浅浅地淀积多晶硅膜 22，再如图 62 所示，用 CVD 方法在多晶硅膜 22 上淀积氧化硅膜 7，以便将氧化硅膜 7 埋置在沟槽 4a 中。

然后，如图 63 所示，对半导体衬底 1 进行湿法氧化，以便对埋置在沟槽 4a 中的氧化硅膜 7 进行烧结。同时，对至少部分多晶硅膜 22 进行氧化并将其转变成氧化硅膜 23。这样就抑制了靠近氧化硅膜 5 与半导体衬底 1 的有源区之间的边界的区域的氧化，致使氧化硅膜 5 向有源区的生长受到阻碍。当多晶硅膜 22 被氧化成氧化硅膜 23 时，其体积增大到原来体积的大约二倍。亦即，即使在埋置于沟槽 4a 中的氧化硅膜 7 中形成了空洞，此空洞也能够被氧化硅膜 23 的体积增大有效地限制。

然后，如图 64 所示，清除氮化硅膜 3 上的氧化硅膜 7 和氧化硅膜 23，使氧化硅膜 7 和 23 只留在沟槽 4a 中，从而形成元件隔离沟槽 4。也可以在制作元件隔离沟槽 4 之后来执行氧化硅膜 7 的烧结和多晶硅膜 22 的氧化。而且，可以用非晶硅膜来代替多晶硅膜 22。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 13

下面参照图 65 和 66 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 65 所示，用腐蚀方法，以氮化硅膜 3 作为掩模，在元件隔离区中的半导体衬底 1 上开挖沟槽 4a。再用氢氟酸基的腐蚀溶液清除暴露于沟槽 4a 内壁的氧化硅膜 2，以便使氧化硅膜 2 向有源区凹

陷。此步骤之前的各个步骤与例 1-3 中的相同。

然后，如图 66 所示，在氮气氛中对半导体衬底 1 进行热处理，以便在沟槽 4a 内壁上形成氮化硅膜 24，并同时使沟槽 4a 的肩部边沿圆滑。

根据此实施例，氮化硅膜 24 被制作在沟槽 4a 的内壁上，从而可在对稍后埋置在沟槽 4a 中的氧化硅膜 7 进行烧结的过程中阻碍半导体衬底 1 的有源区的氧化。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 14

下面参照图 67 和 68 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 67 示，用腐蚀方法，以氮化硅膜 3 作为掩模，在元件隔离区中的半导体衬底 1 上开挖沟槽 4a。再用氢氟酸基的腐蚀溶液清除暴露于沟槽 4a 内壁的氧化硅膜 2，以便使氧化硅膜 2 向有源区凹陷。此步骤之前的各个步骤与例 1-3 中的相同。然后，对半导体衬底 1 进行热氧化，以便在沟槽 4a 内壁上形成氧化硅膜 25。

然后，如图 68 所示，在氮气氛中对半导体衬底 1 进行热处理，以便将沟槽 4a 内壁上的氧化硅膜 25 转变成氮化硅膜 26。

根据此实施例，氮化硅膜 26 被制作在沟槽 4a 的内壁上，从而可在对稍后埋置在沟槽 4a 中的氧化硅膜 7 进行烧结的过程中阻碍半导体衬底 1 的有源区的氧化。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

例 15

下面参照图 69 和 70 来解释根据本发明进一步实施例的元件隔离沟槽 4 的制造工艺。

首先，如图 69 所示，用腐蚀方法，以氮化硅膜 3 作为掩模，在元件隔离区中的半导体衬底 1 上开挖沟槽 4a。再用氢氟酸基的腐蚀溶液清除暴露于沟槽 4a 内壁的氧化硅膜 2，以便使氧化硅膜 2 向有源区凹陷。此步骤之前的各个步骤与例 1-3 中的相同。然后，用 CVD 方法在半导体衬底 1 上淀积薄的多晶硅膜 27。

然后，如图 70 所示，在氮气氛中对半导体衬底 1 进行热处理，以便将多晶硅膜 27 转变成氮化硅膜 28。

根据此实施例，氮化硅膜 28 被制作在沟槽 4a 的内壁上，从而可在对稍后埋置在沟槽 4a 中的氧化硅膜 7 进行烧结的过程中阻碍半导体衬底 1 的有源区的氧化。

在上述例 6-15 中，如图 34 所示，借助于在开挖沟槽 4a 之前提供凹陷，能够更好地使沟槽 4a 的肩部边沿圆滑。

借助于在衬垫氧化膜凹陷之后和沟槽中氧化之前清除沟槽上边沿部分的边沿部分，也有可能使沟槽的肩部边沿进一步圆滑。于是，在衬垫氧化膜凹陷之后，可在沟槽肩部边沿处进行各向同性腐蚀（以容易清除边沿），随之以沟槽中的氧化。

上面根据本发明的具体实施例，已经解释了本发明人提出的本发明，但本发明不局限于此，而是能够在本发明的范围内进行不同程度的修正。

图1A

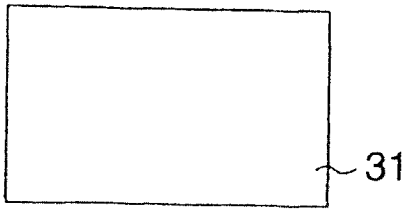


图1B

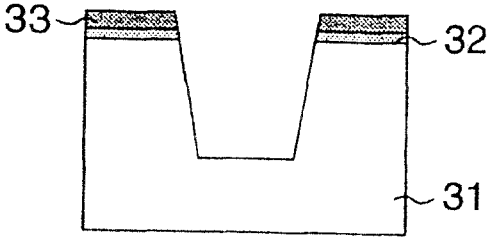


图1B'

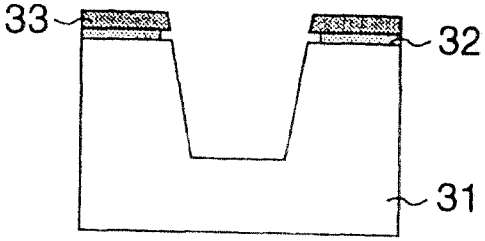


图1C

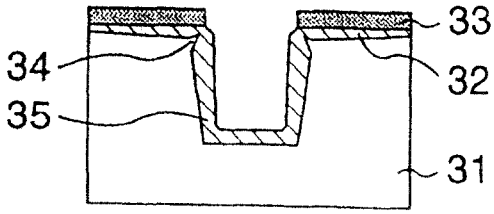


图1C'

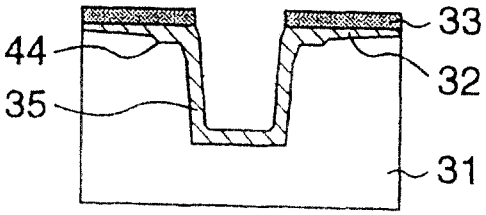


图1D

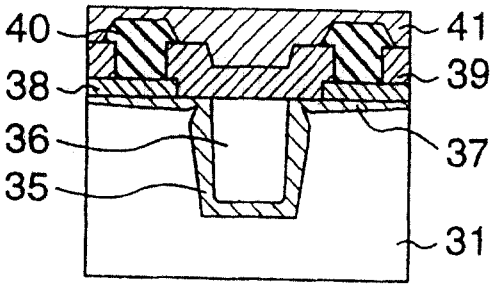


图2A

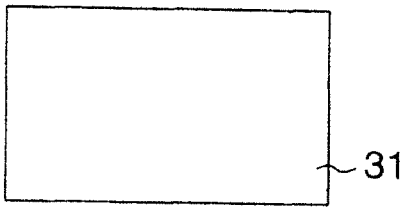


图2B

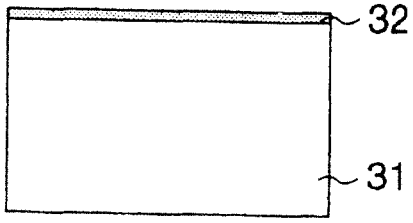


图2C

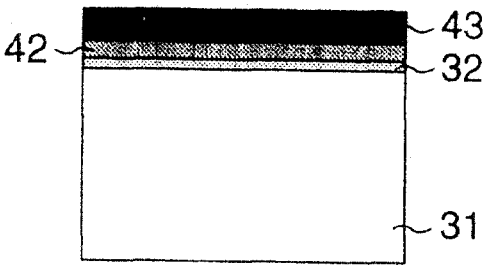


图2D

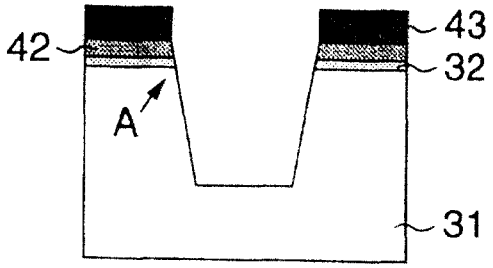


图2E

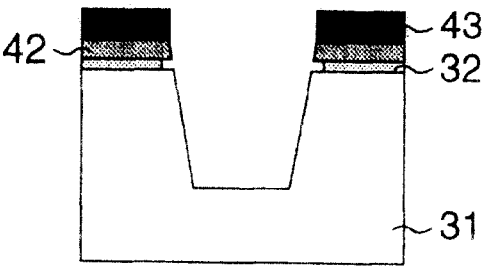


图 2F

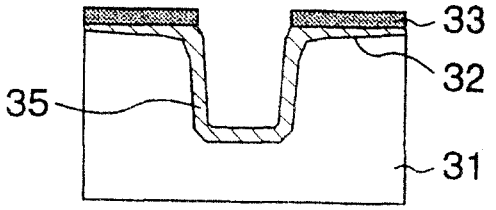


图 2G

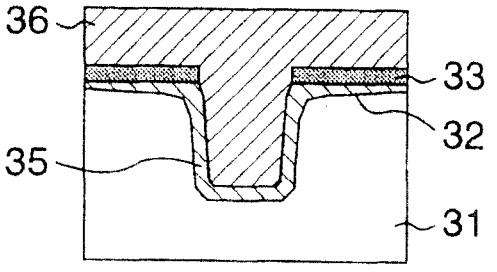


图 2H

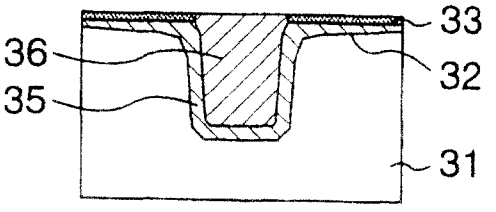


图 2I

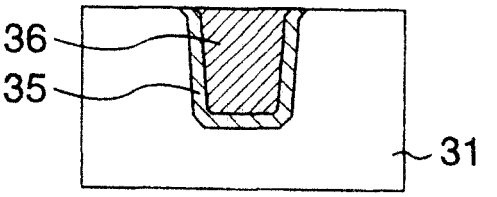


图3

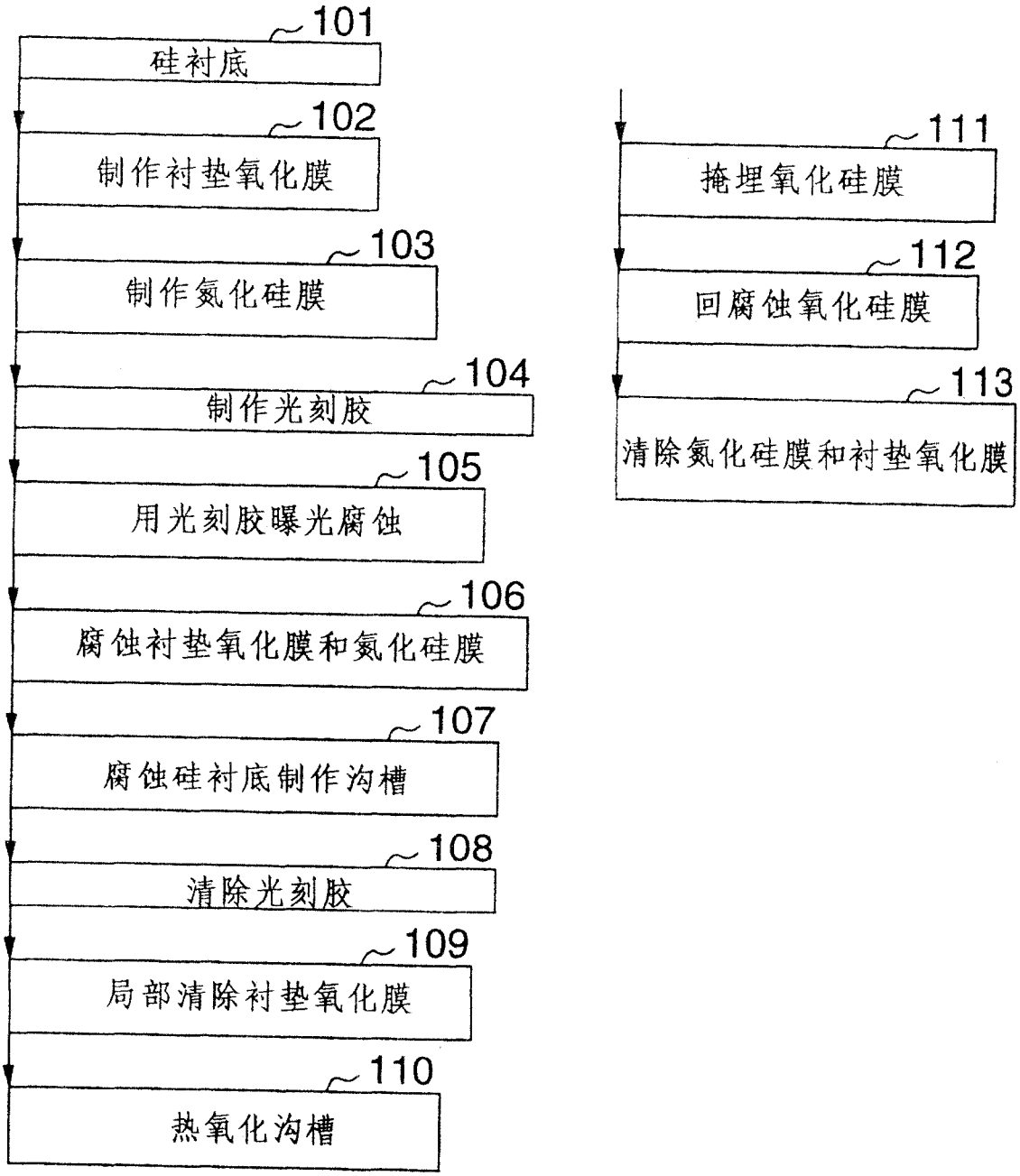

101
硅衬底
102
制作衬垫氧化膜
103
制作氮化硅膜
104
制作光刻胶
105
用光刻胶曝光腐蚀
106
腐蚀衬垫氧化膜和氮化硅膜
107
腐蚀硅衬底制作沟槽
108
清除光刻胶
109
局部清除衬垫氧化膜
110
热氧化沟槽
111
掩埋氧化硅膜
112
回腐蚀氧化硅膜
113
清除氮化硅膜和衬垫氧化膜

图4

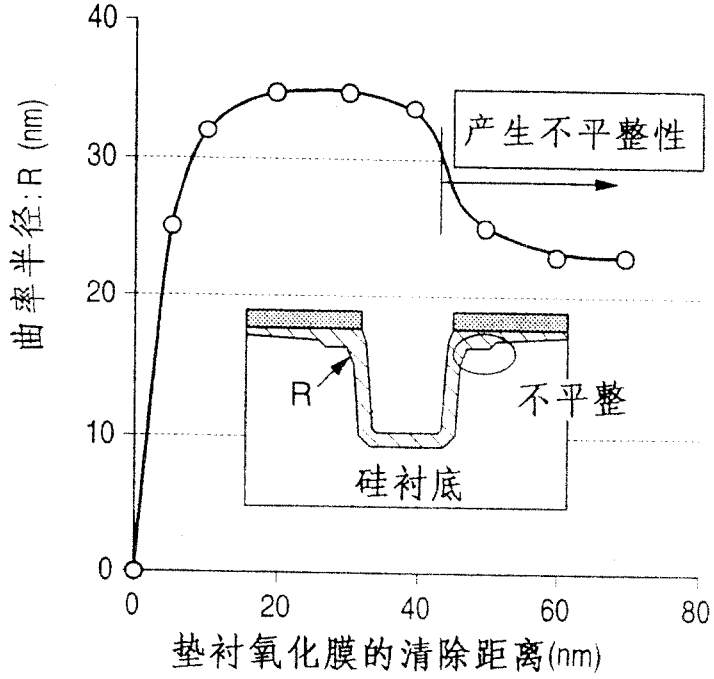

曲率半径:R (nm)
40
30
20
10
0
产生不平整性
R
不平整
硅衬底
0
20
40
60
80
垫衬氧化膜的清除距离(nm)

图7

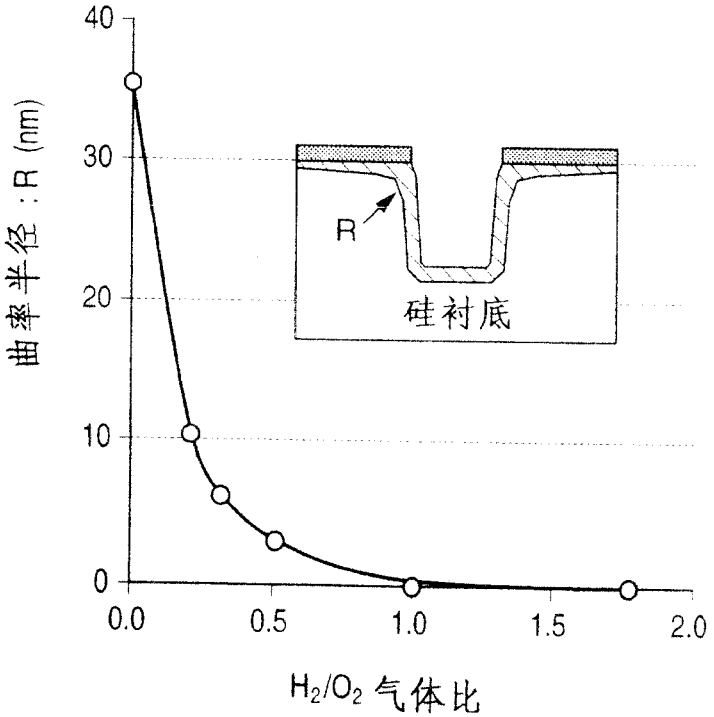

曲率半径 :R (nm)
40
30
20
10
0
R
硅衬底
0.0
0.5
1.0
1.5
2.0
H_2/O_2 气体比

图5A

不清除衬垫氧化膜→R：小
（因压应力未进行氧化）

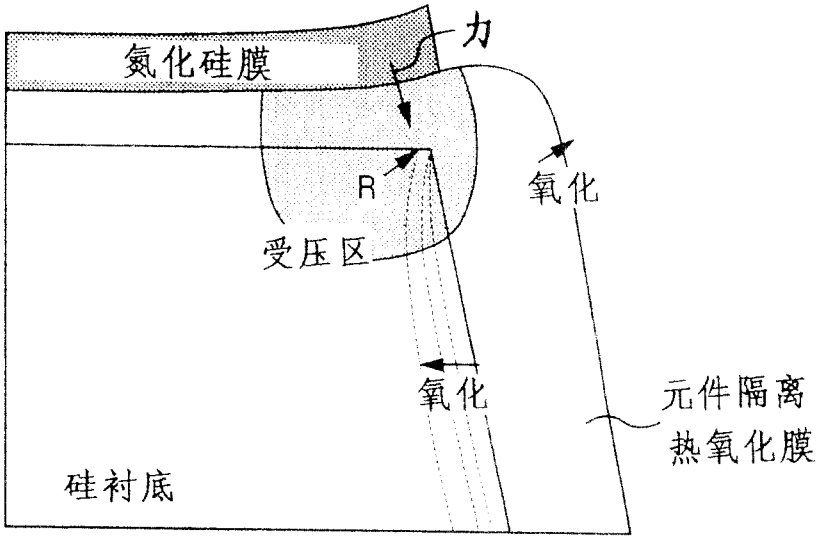


图5B

清除衬垫氧化膜→R：大
（无压应力）

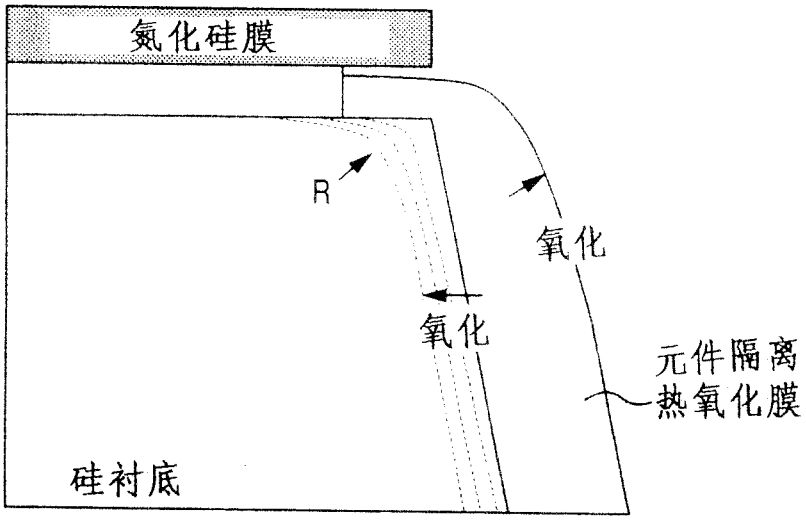


图 6

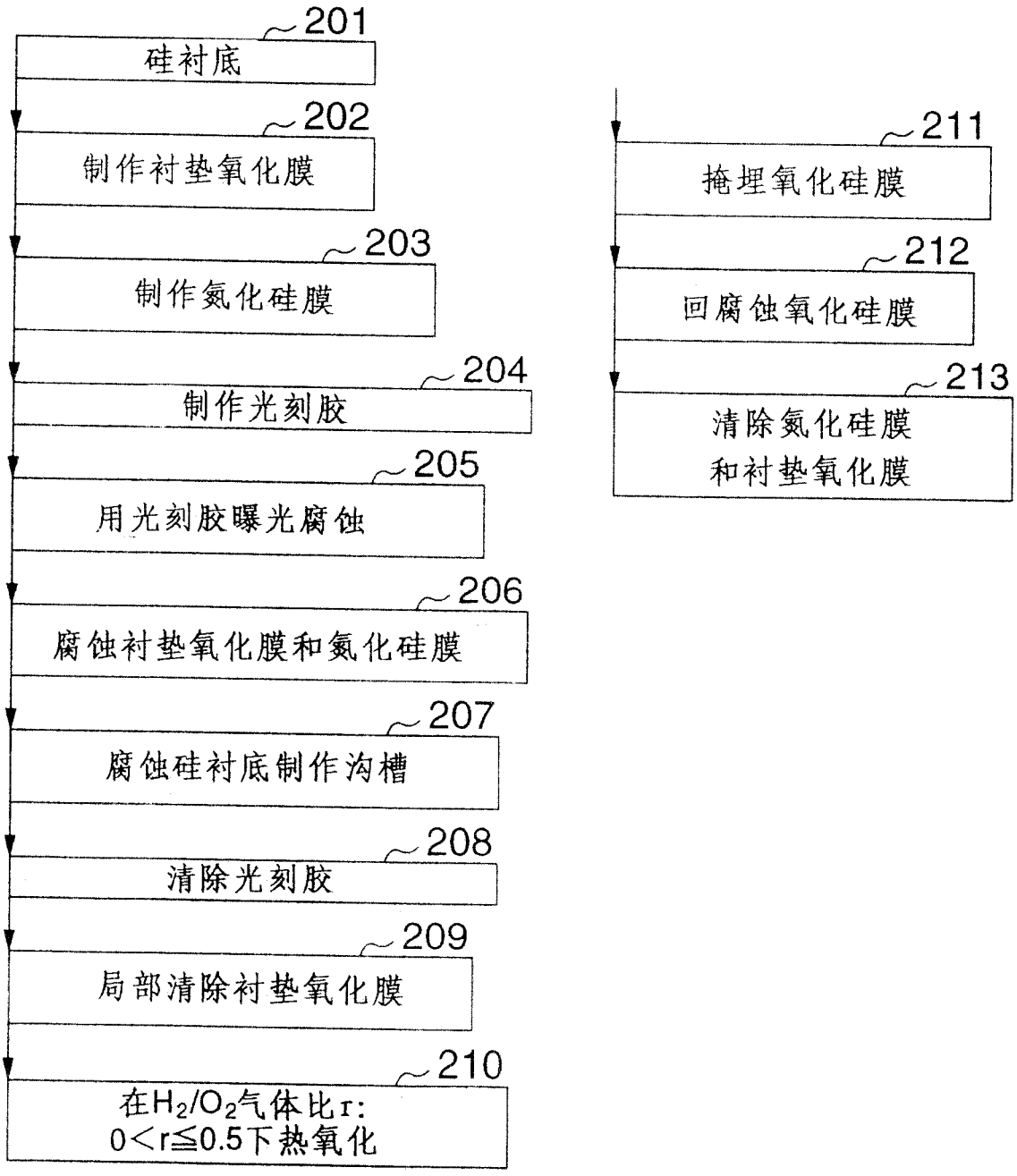

201
硅衬底
202
制作衬垫氧化膜
203
制作氮化硅膜
204
制作光刻胶
205
用光刻胶曝光腐蚀
206
腐蚀衬垫氧化膜和氮化硅膜
207
腐蚀硅衬底制作沟槽
208
清除光刻胶
209
局部清除衬垫氧化膜
210
在H2/O2气体比r:
0<r≤0.5下热氧化
211
掩埋氧化硅膜
212
回腐蚀氧化硅膜
213
清除氮化硅膜
和衬垫氧化膜

图8

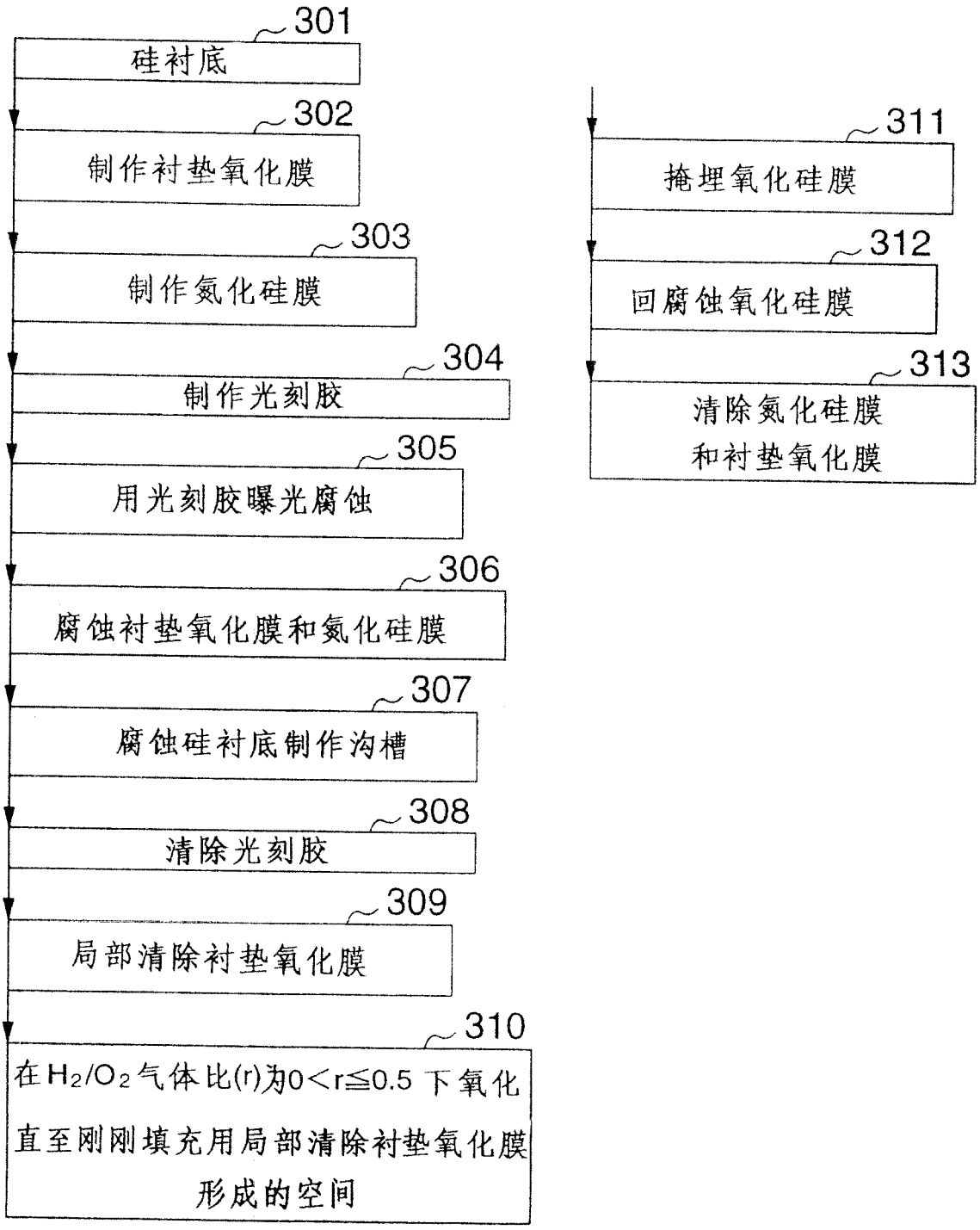

301
硅衬底
302
制作衬垫氧化膜
303
制作氮化硅膜
304
制作光刻胶
305
用光刻胶曝光腐蚀
306
腐蚀衬垫氧化膜和氮化硅膜
307
腐蚀硅衬底制作沟槽
308
清除光刻胶
309
局部清除衬垫氧化膜
310
在H2/O2气体比(r)为0<r≦0.5下氧化
直至刚刚填充用局部清除衬垫氧化膜
形成的空间
311
掩埋氧化硅膜
312
回腐蚀氧化硅膜
313
清除氮化硅膜
和衬垫氧化膜

图9

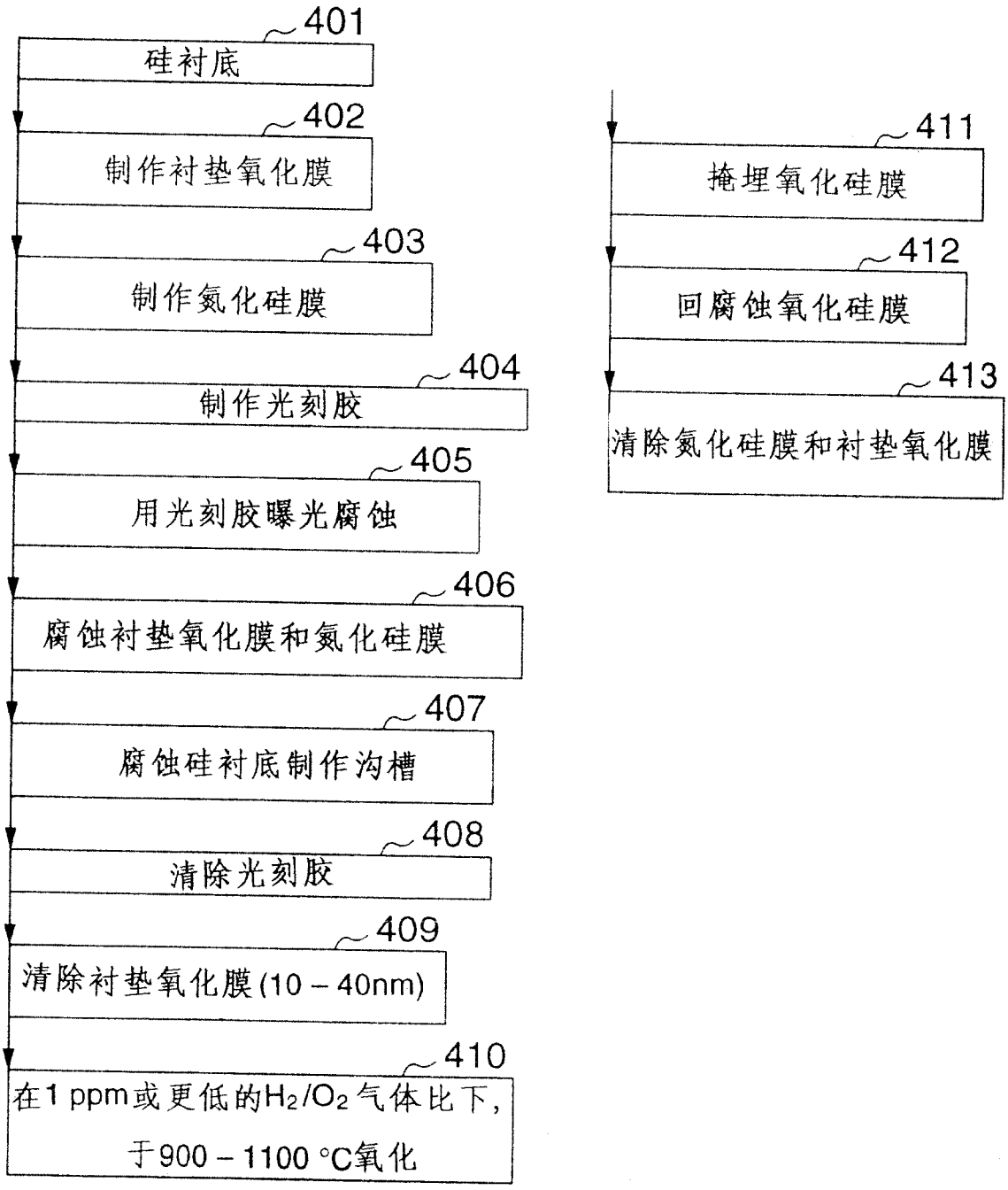
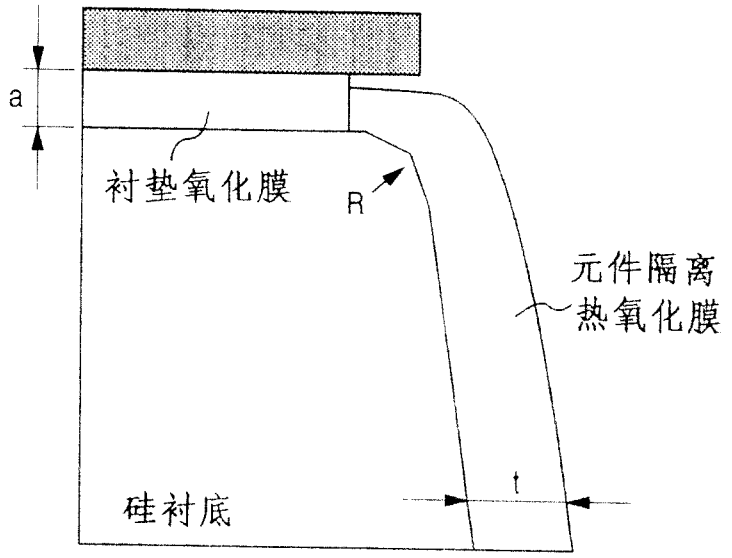

401
硅衬底
402
制作衬垫氧化膜
403
制作氮化硅膜
404
制作光刻胶
405
用光刻胶曝光腐蚀
406
腐蚀衬垫氧化膜和氮化硅膜
407
腐蚀硅衬底制作沟槽
408
清除光刻胶
409
清除衬垫氧化膜(10－40nm)
410
在1 ppm或更低的H_2/O_2气体比下，于900－1100 °C氧化
411
掩埋氧化硅膜
412
回腐蚀氧化硅膜
413
清除氮化硅膜和衬垫氧化膜

图10


a
衬垫氧化膜
R
元件隔离
热氧化膜
硅衬底
t

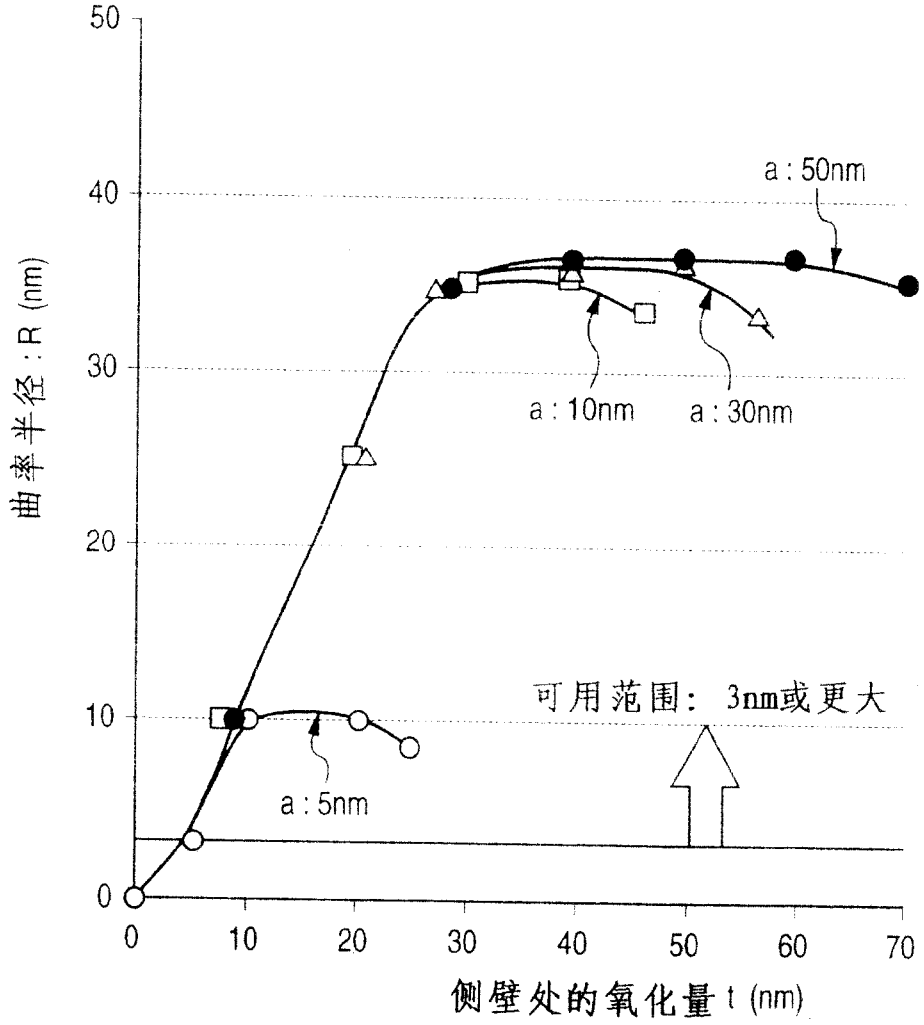

50
40
30
20
10
0
曲率半径：R (nm)
a : 50nm
a : 10nm
a : 30nm
a : 5nm
可用范围： 3nm或更大
0
10
20
30
40
50
60
70
侧壁处的氧化量 t (nm)

图11

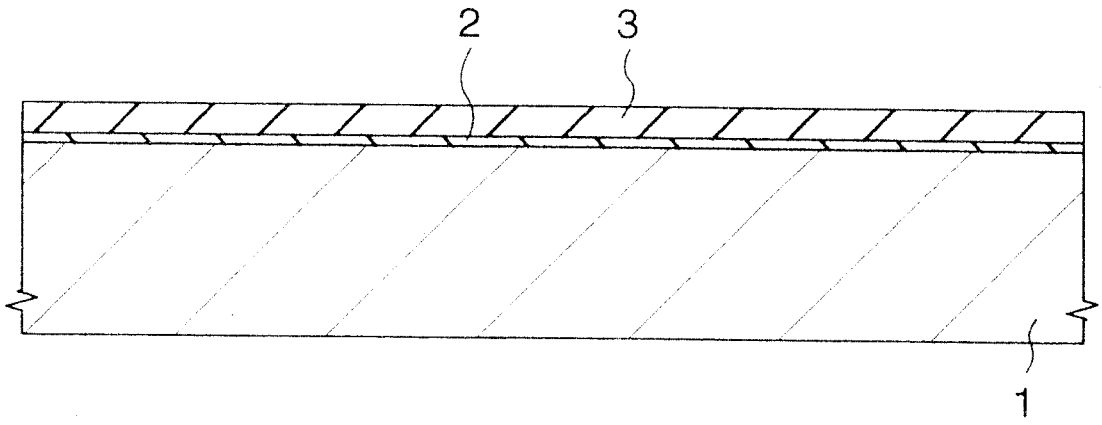


图12

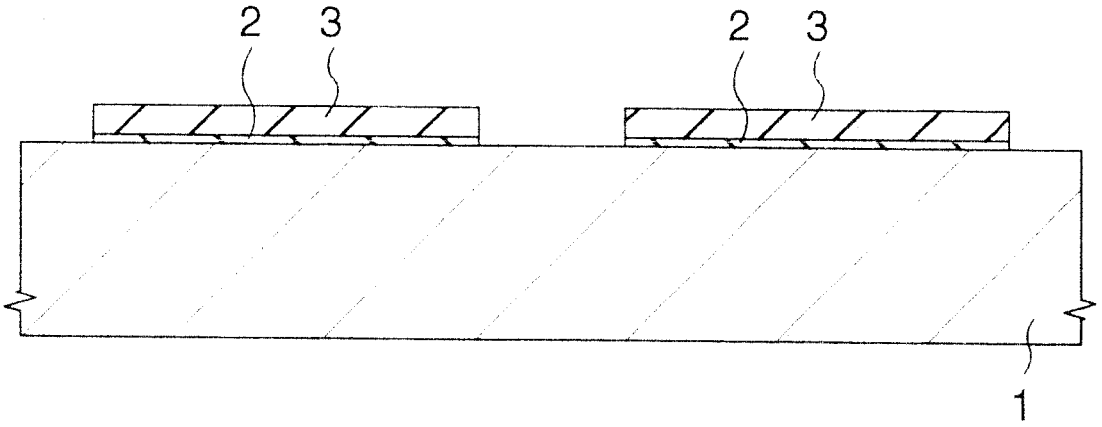


图13

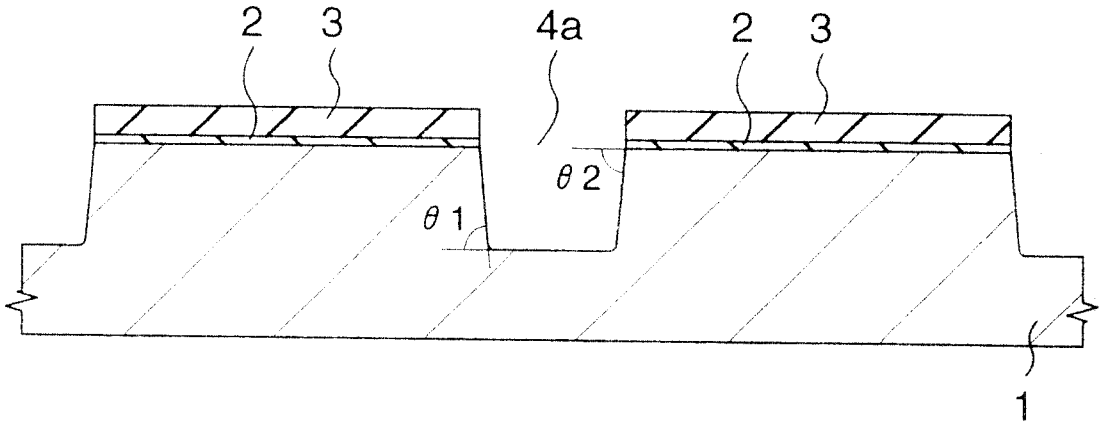


图14

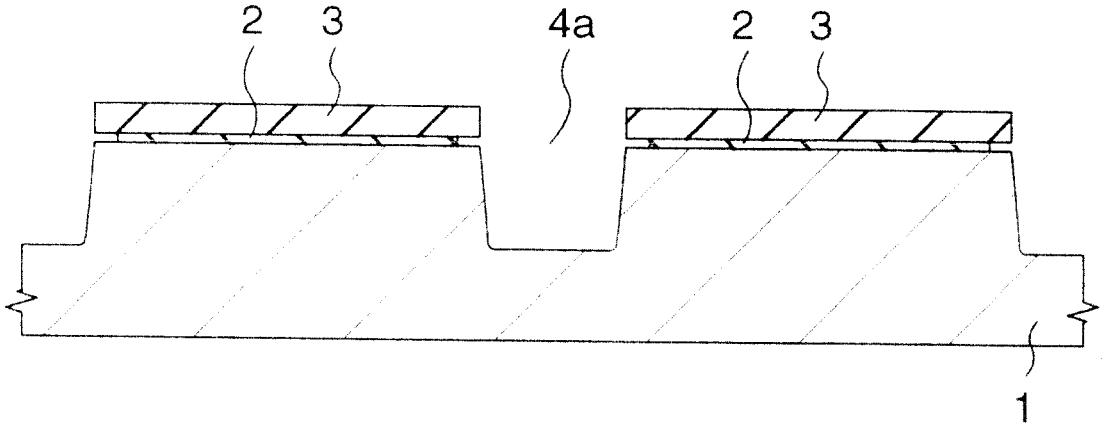


图15

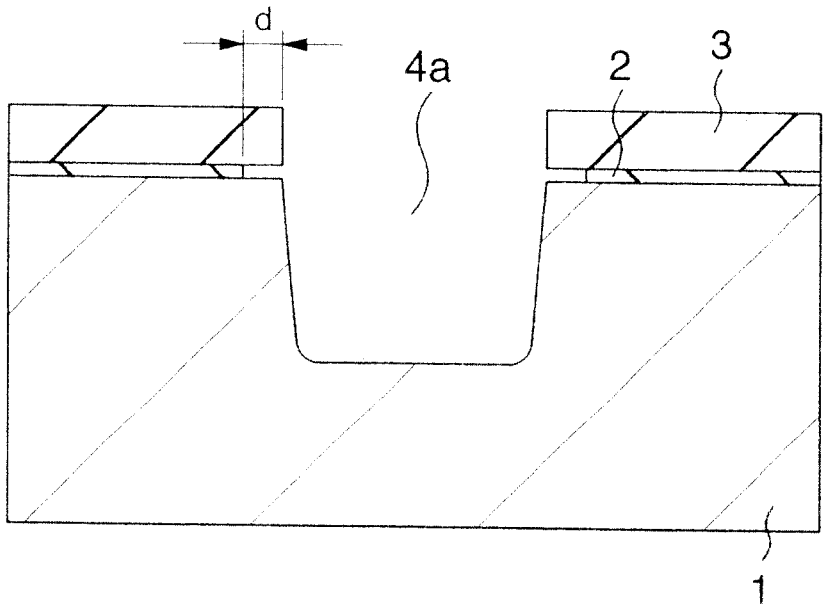


图16

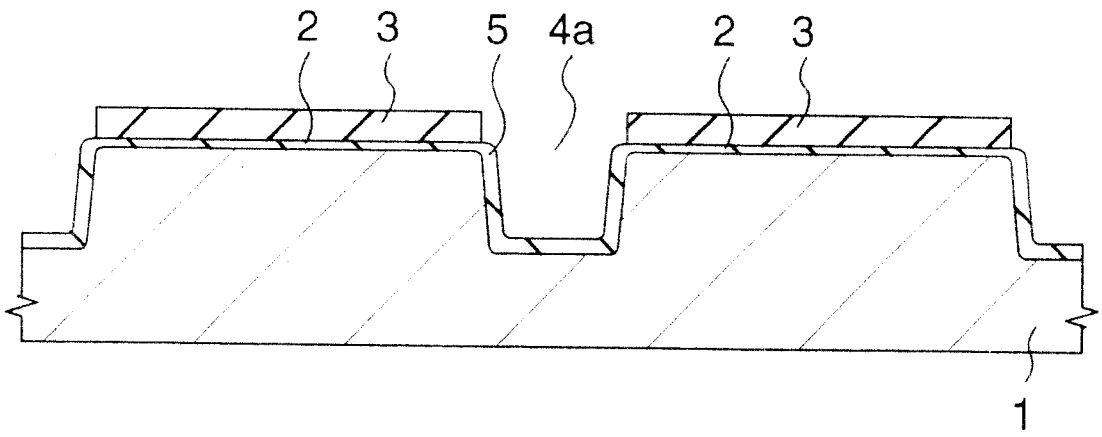


图17

Tp＜Tr≦3Tp

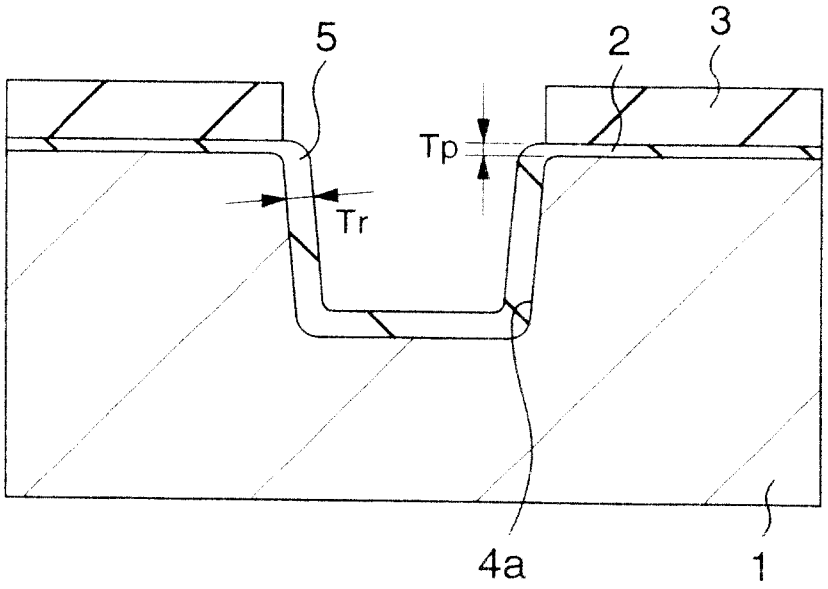


图18

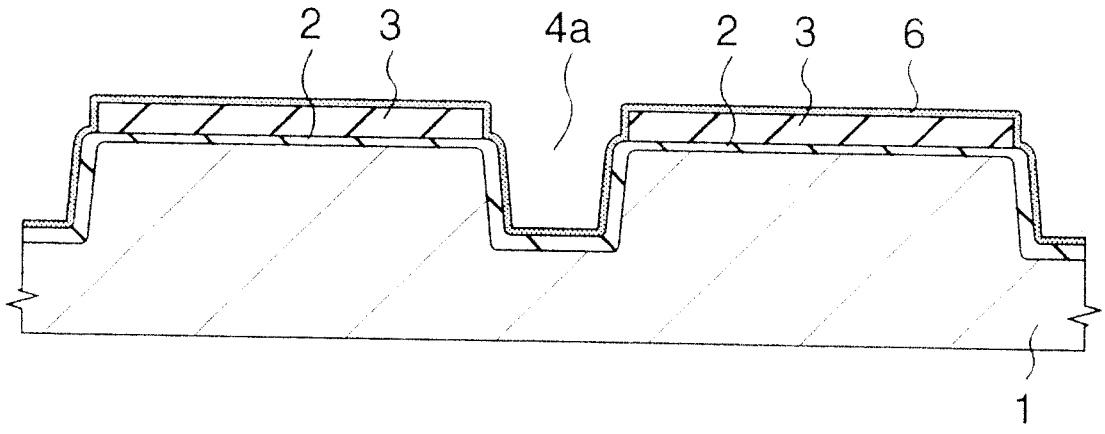


图19

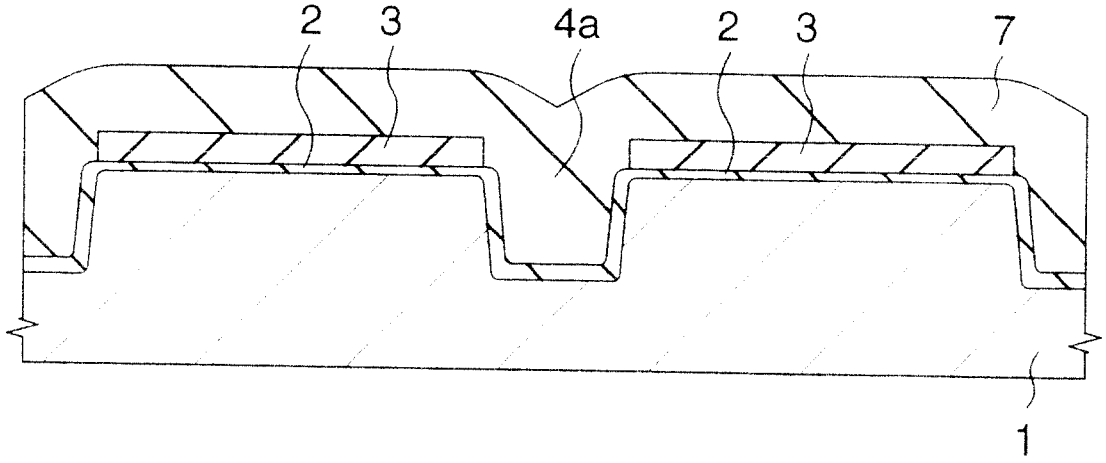


图20

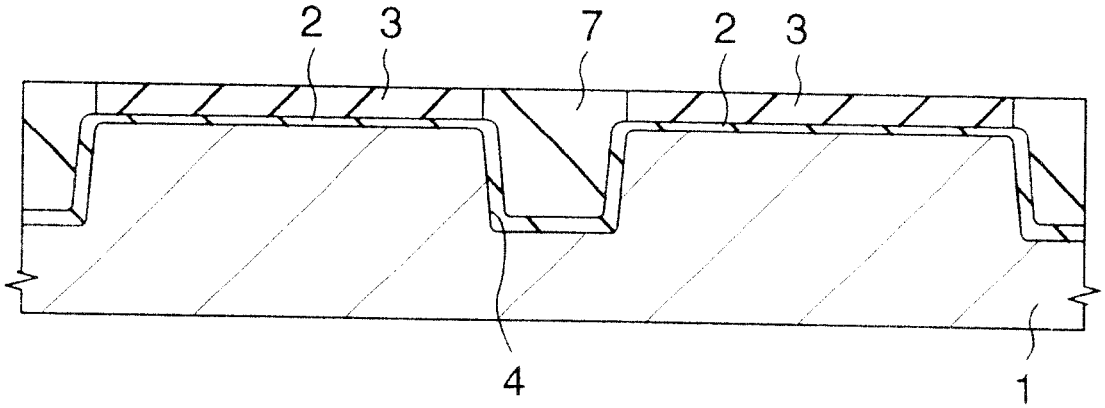


图21

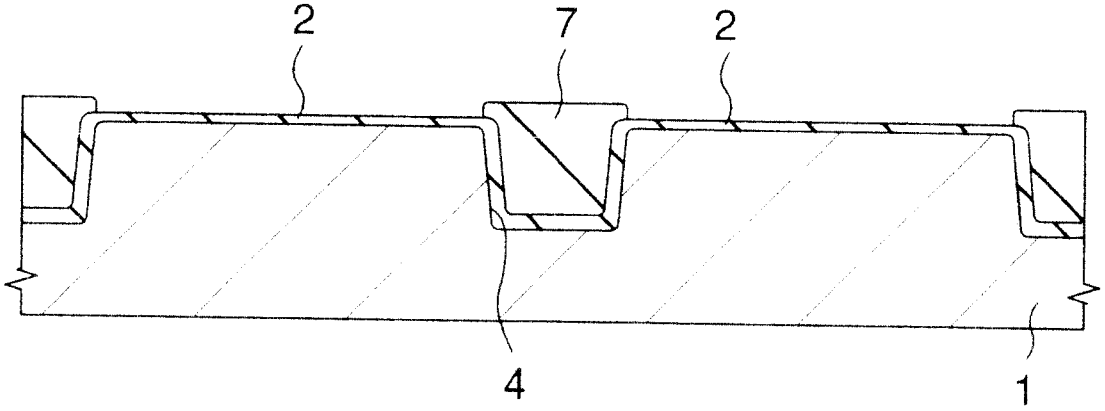


图22

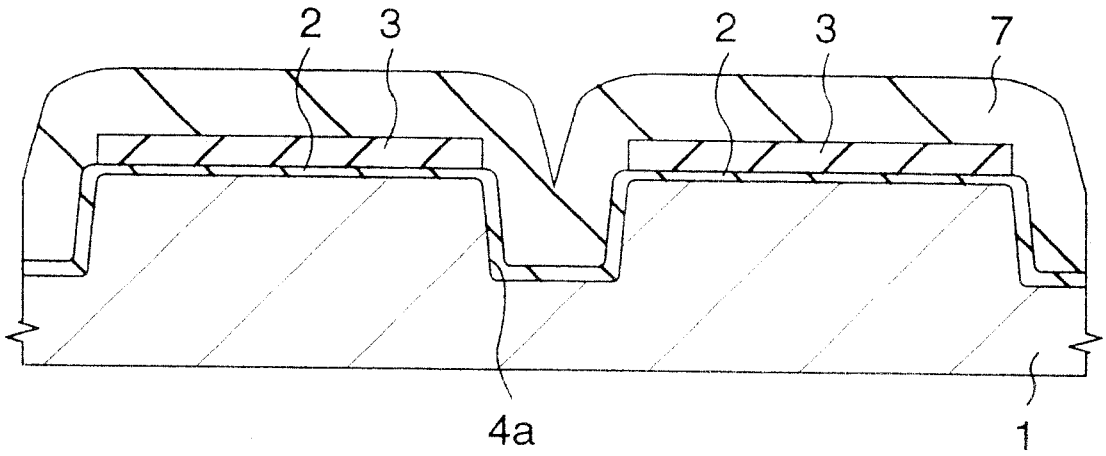


图23

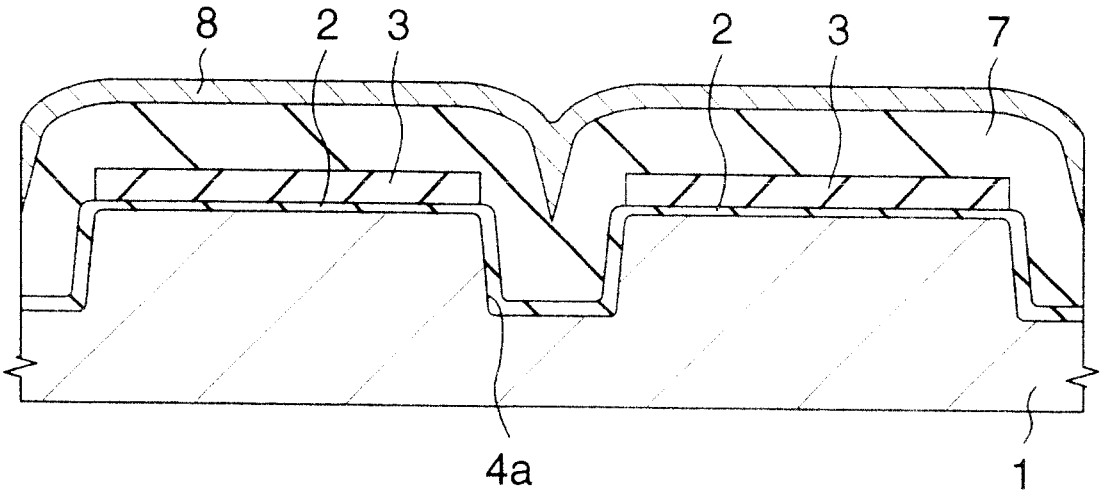


图24

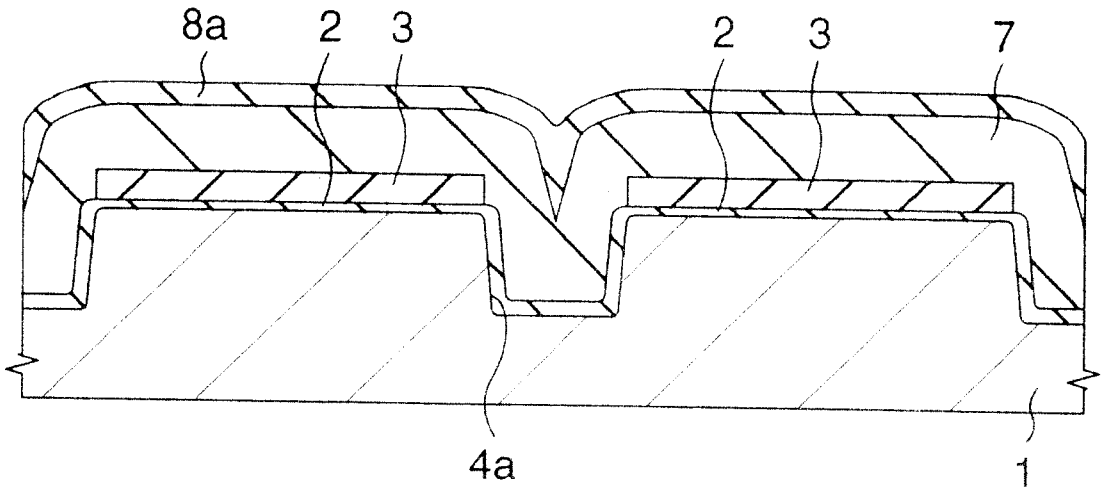


图25

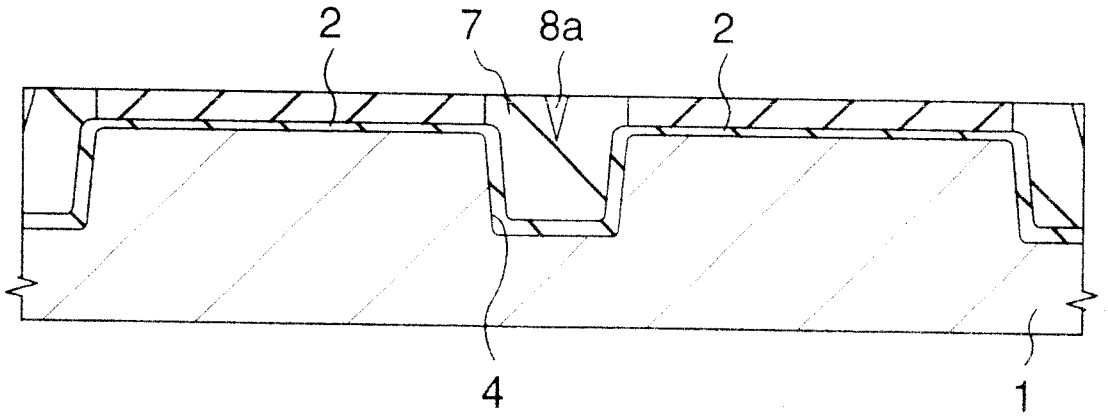


图26

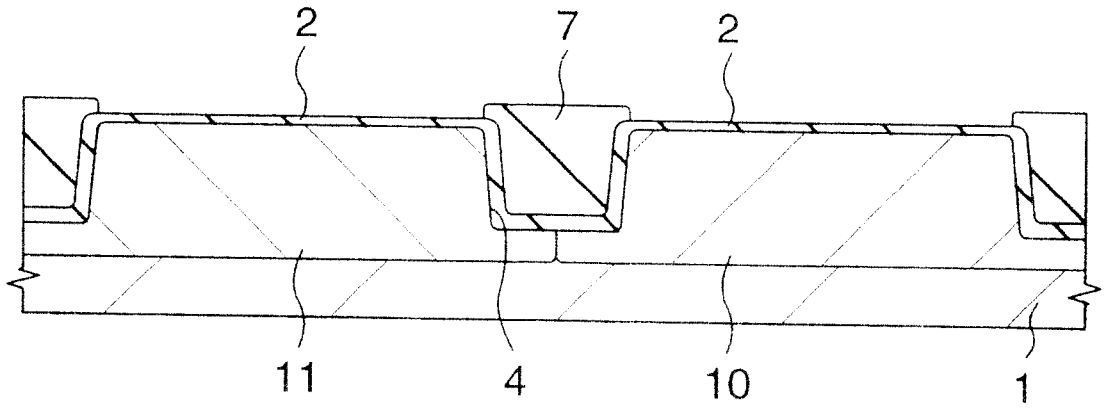


图27

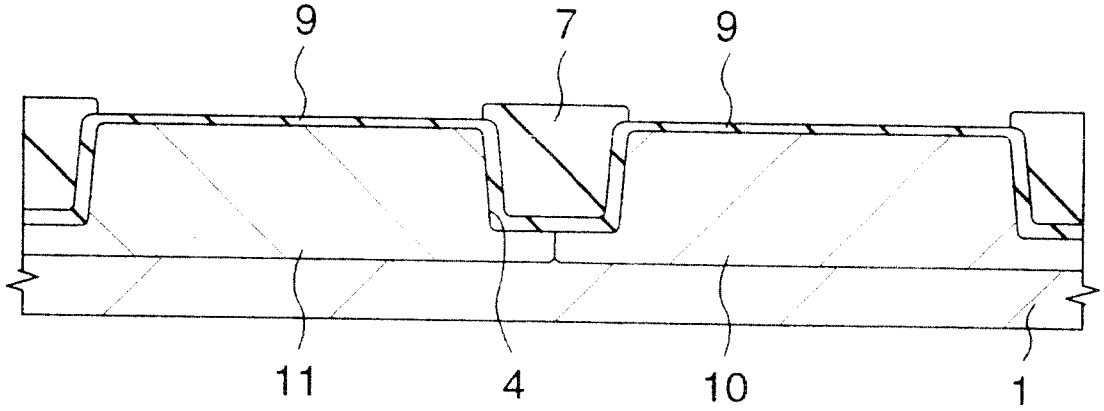


图 28

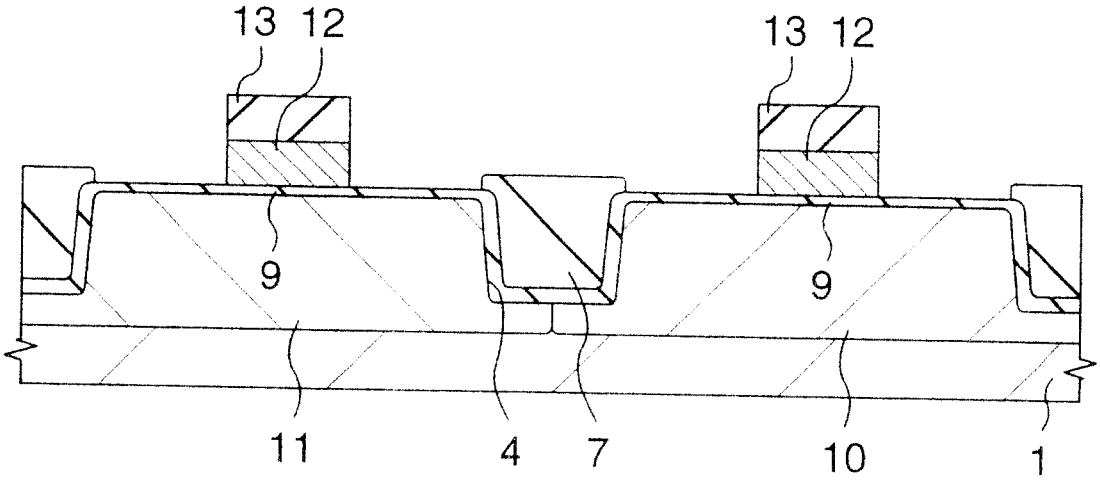


图 29

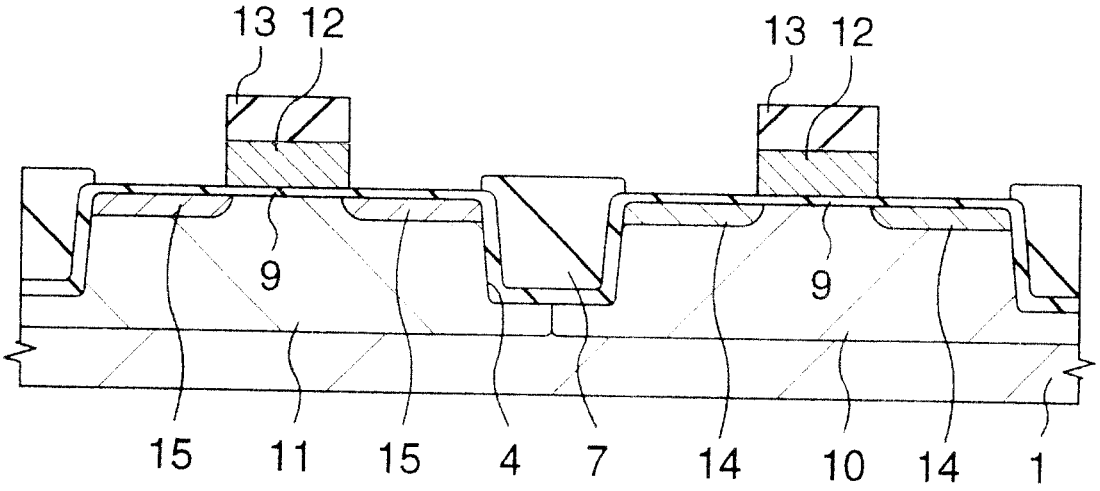


图30

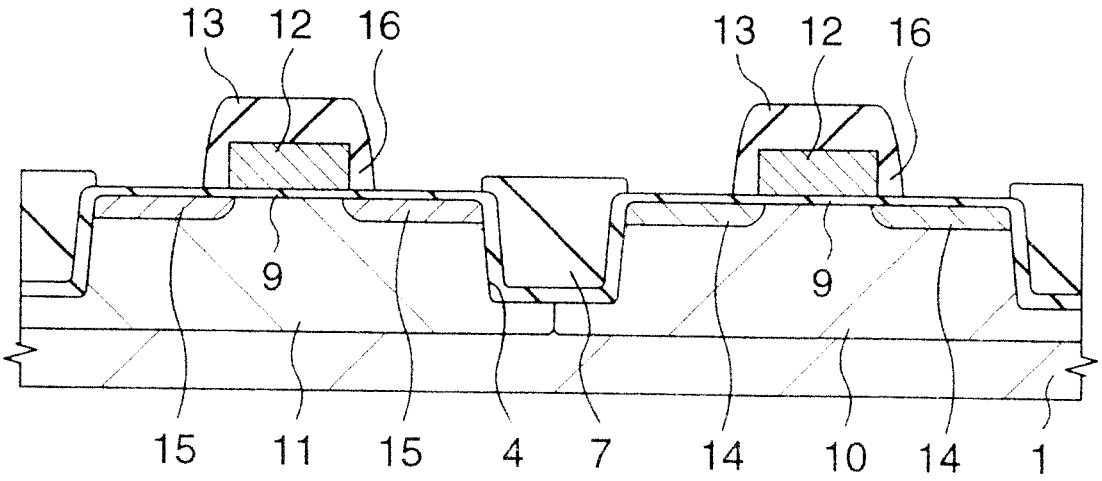

13
12
16
13
12
16
9
9
15
11
15
4
7
14
10
14
1

图31

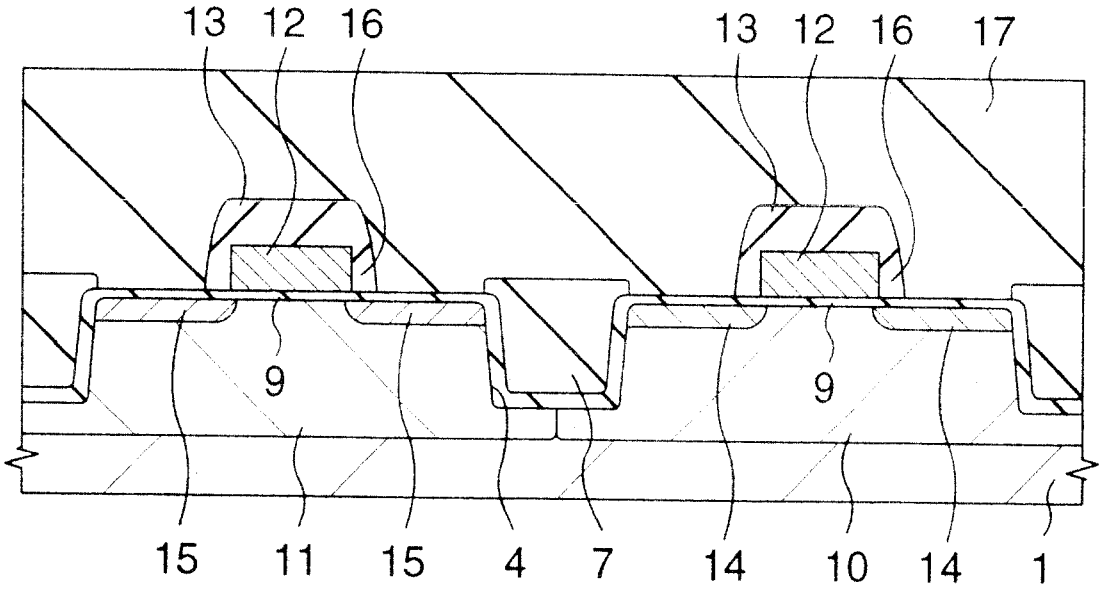

13
12
16
13
12
16
17
9
9
15
11
15
4
7
14
10
14
1

图32

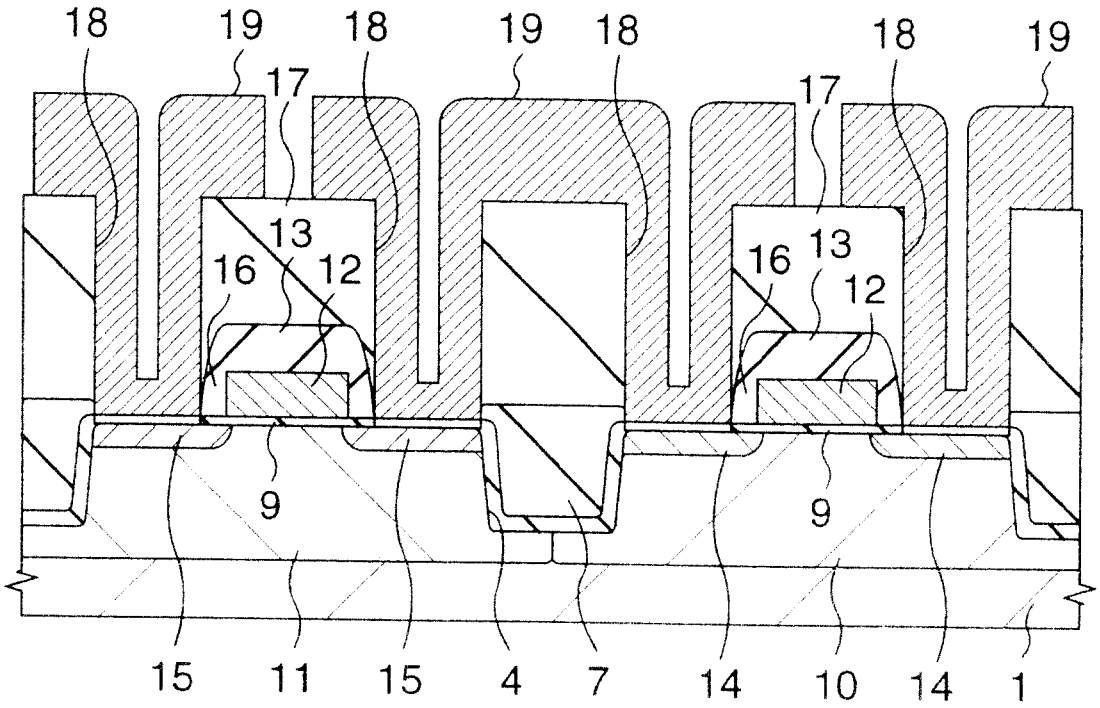


图33

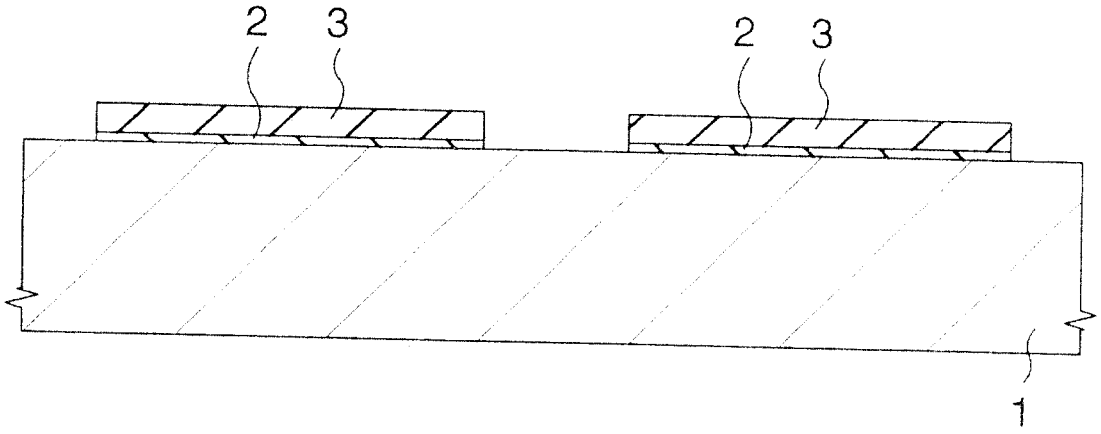


图34

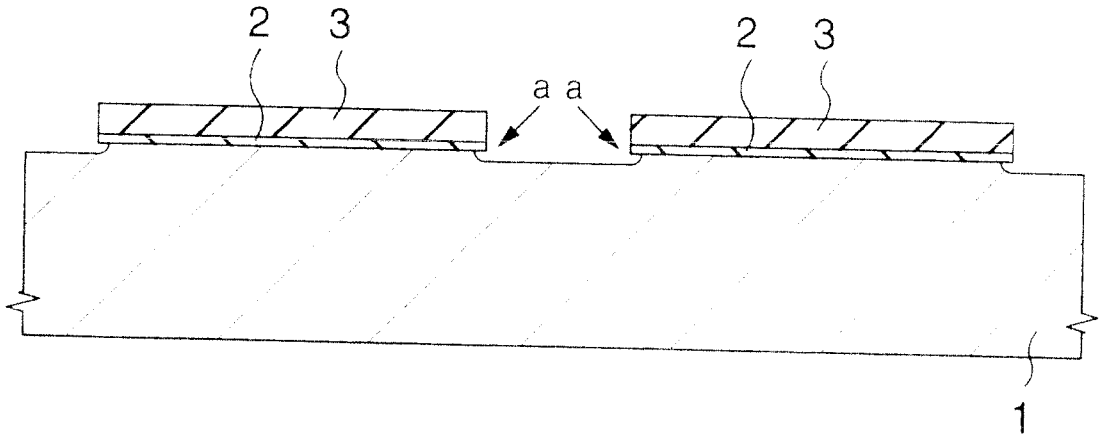


图35

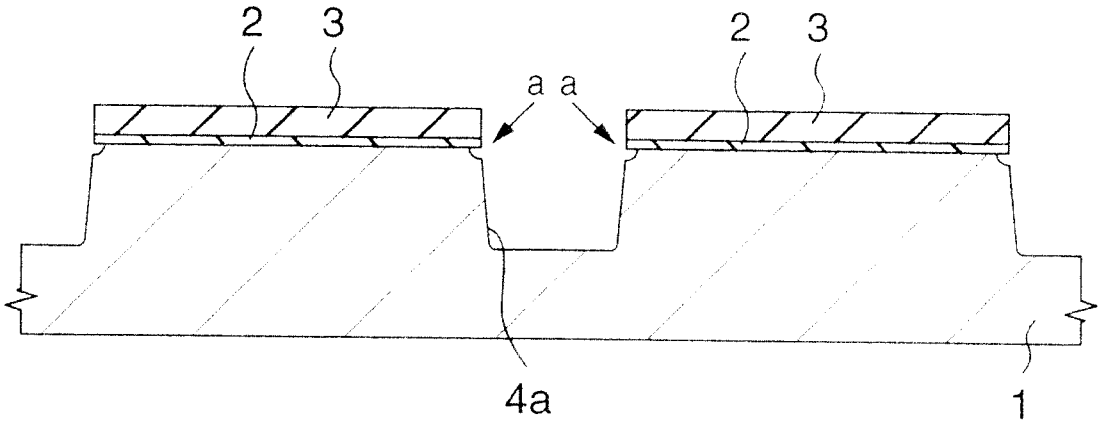


图36

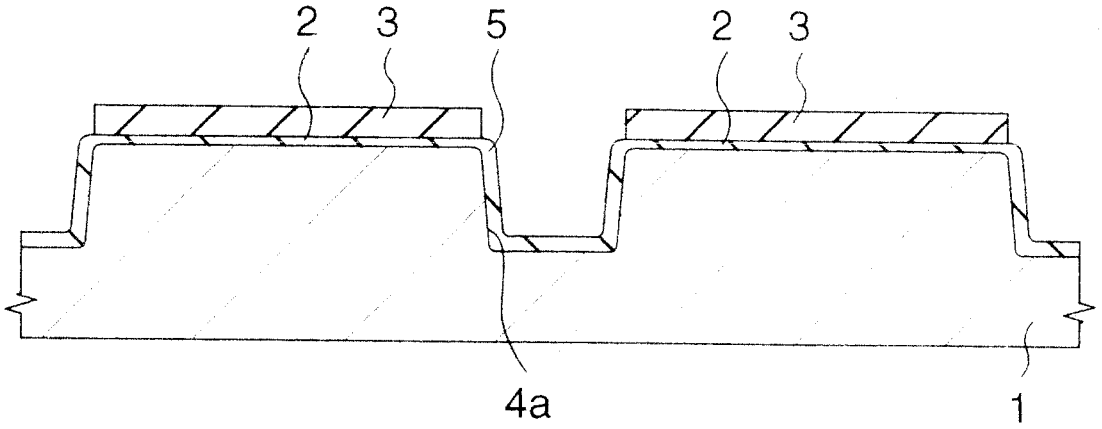


图37

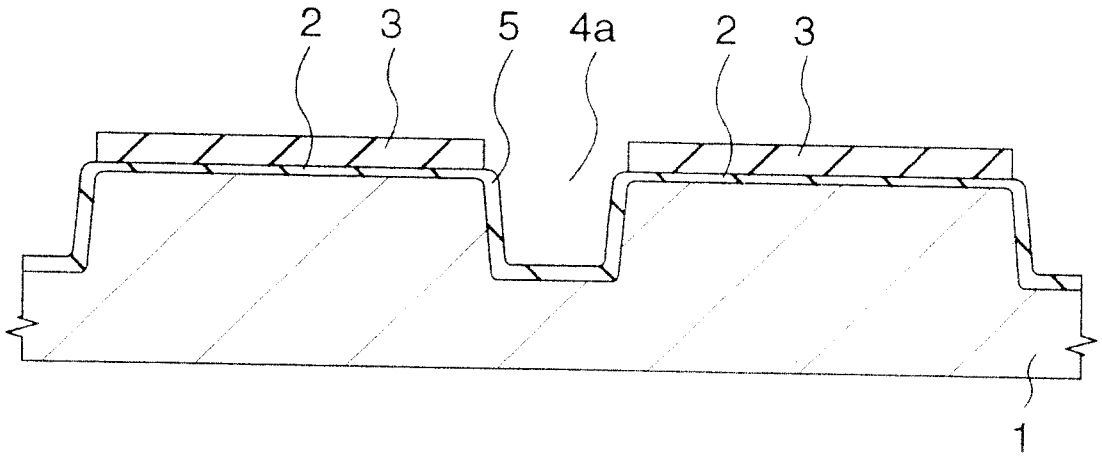


图38

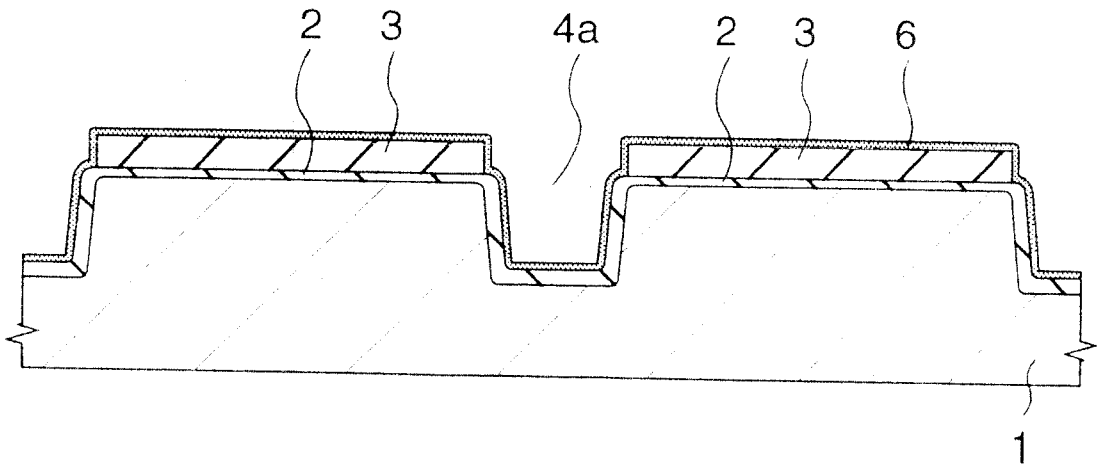


图39

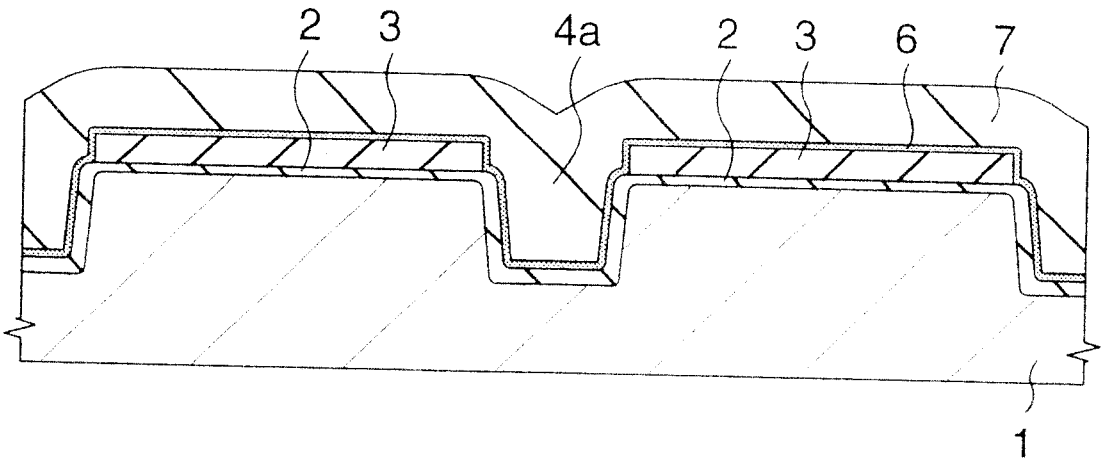


图40

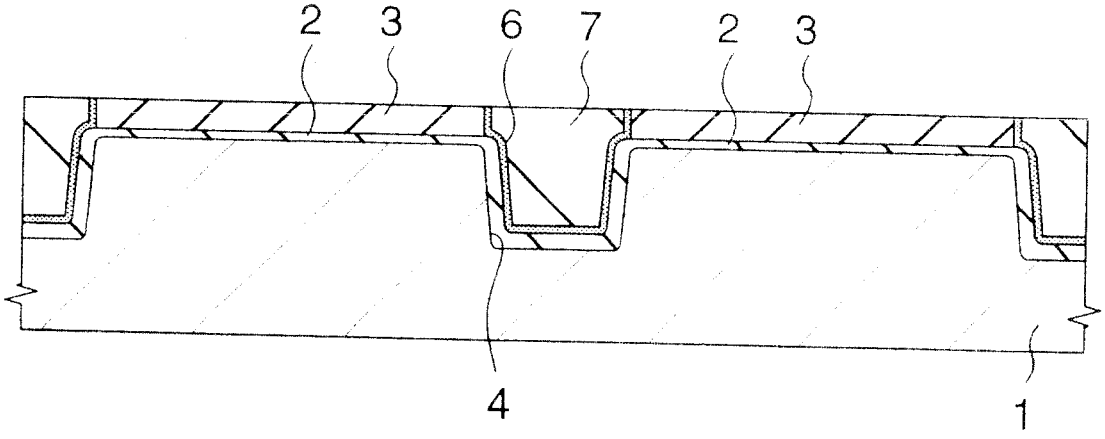


图41

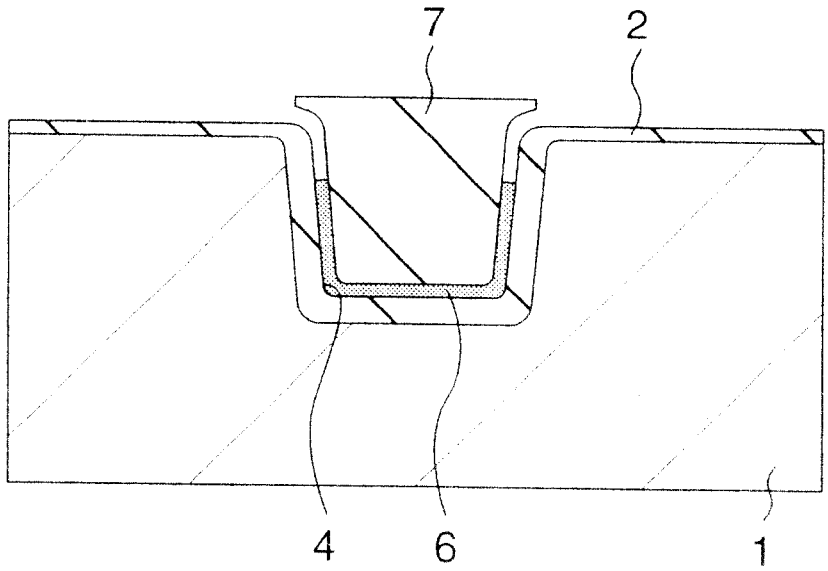


图42

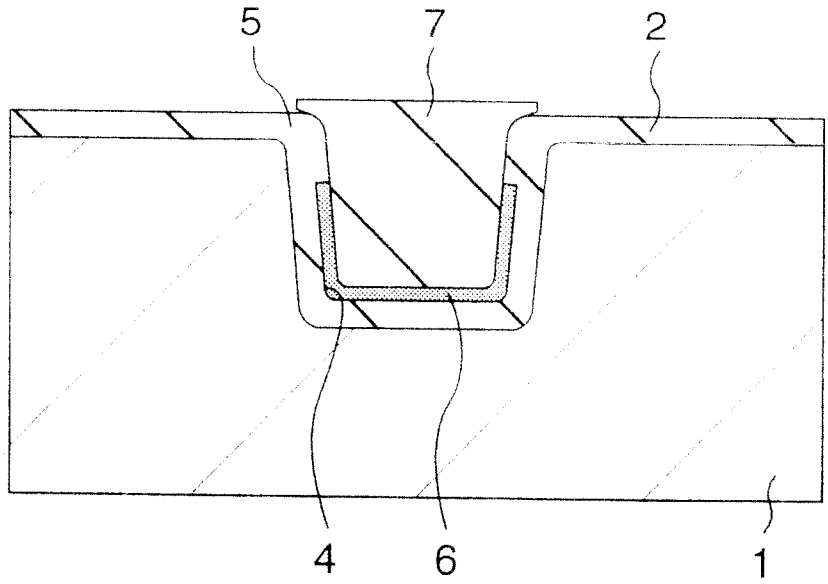


图43

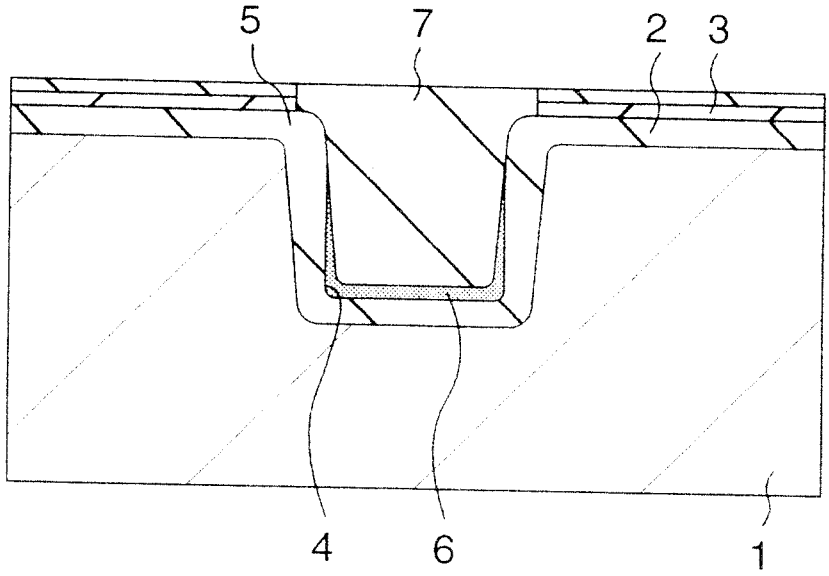


图44

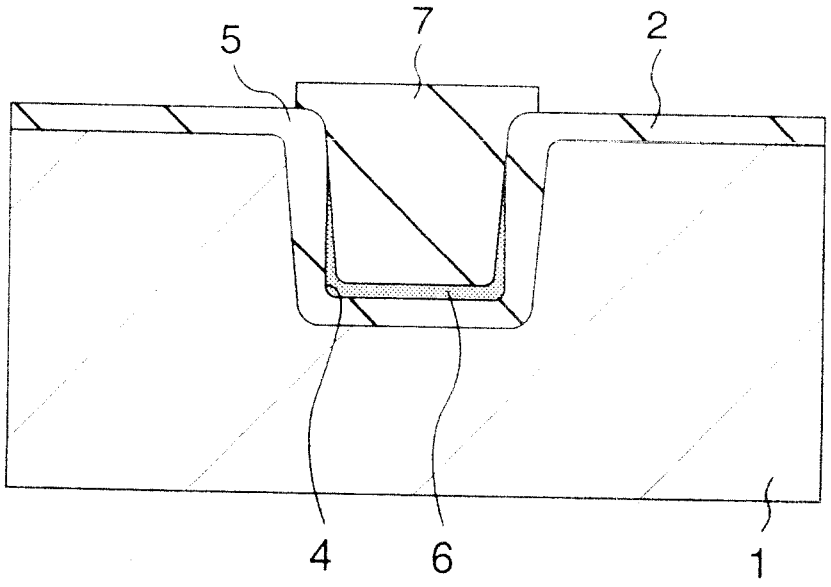


图45

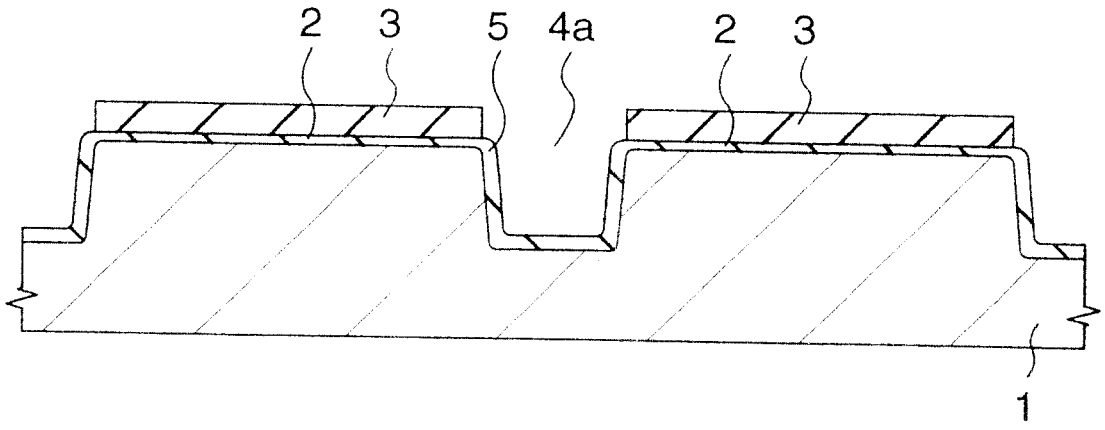


图 46

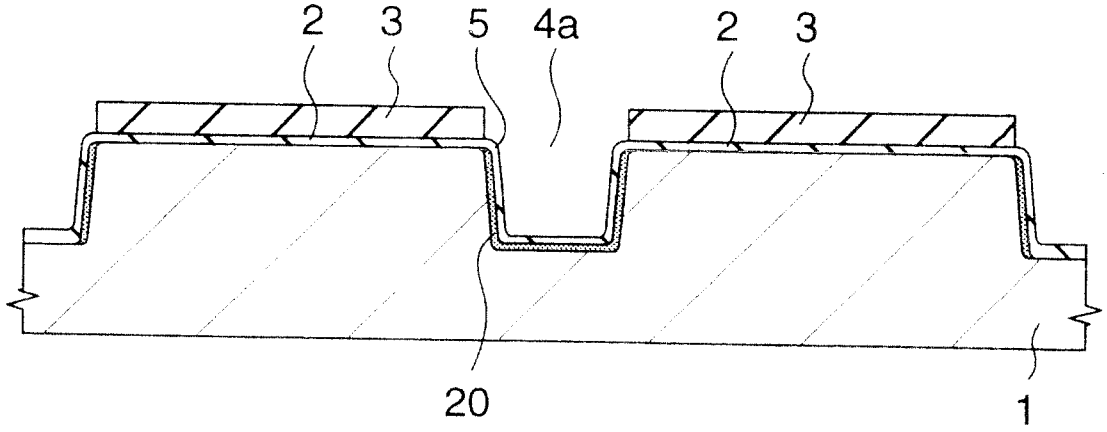


图47

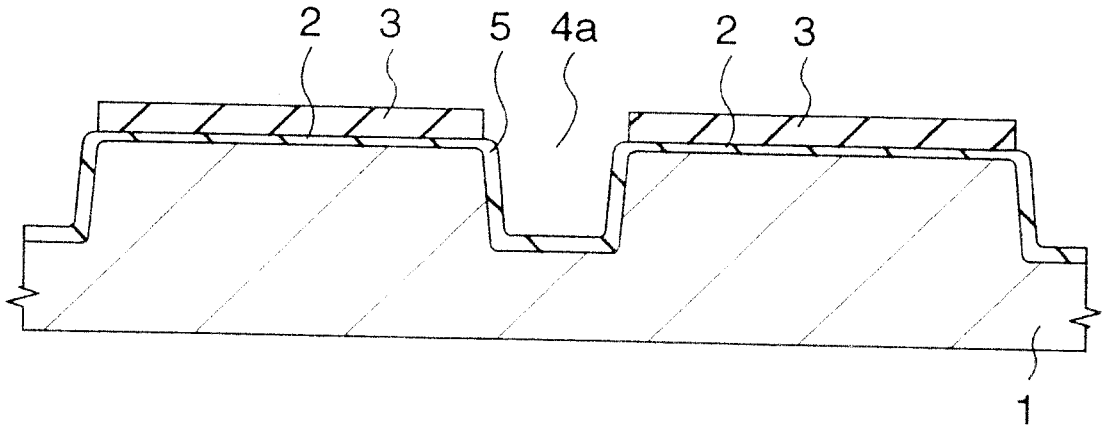


图48

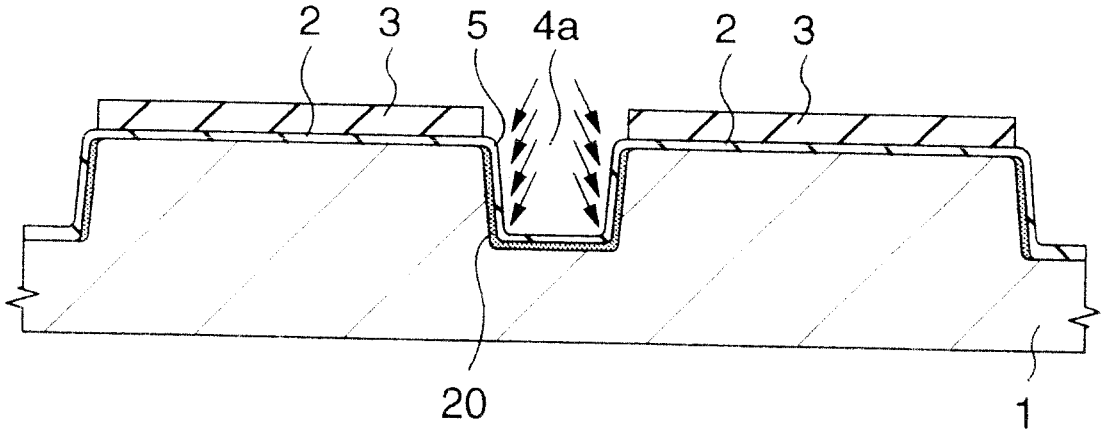


图49

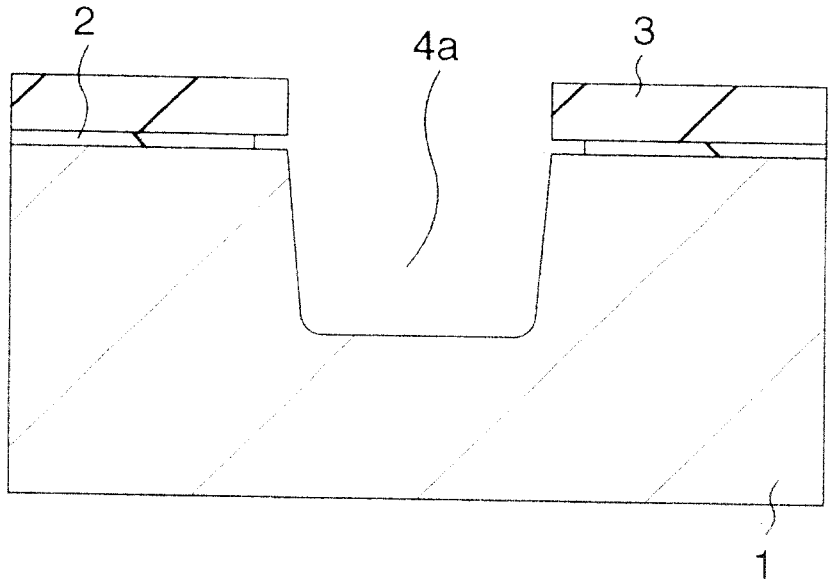


图50

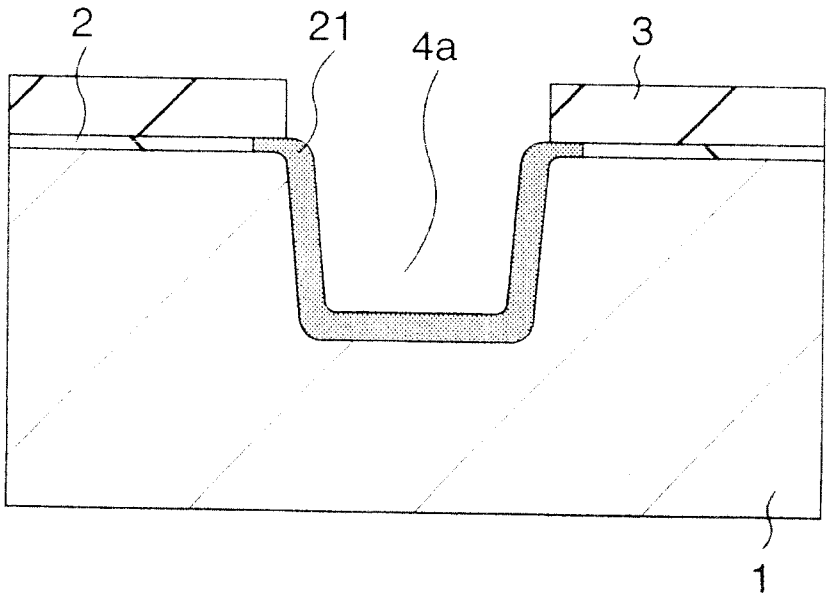


图 51

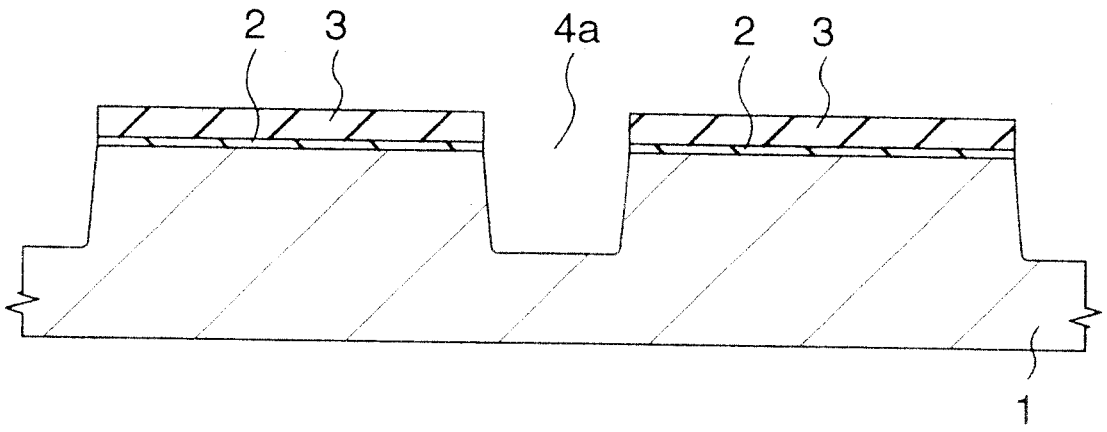


图 52

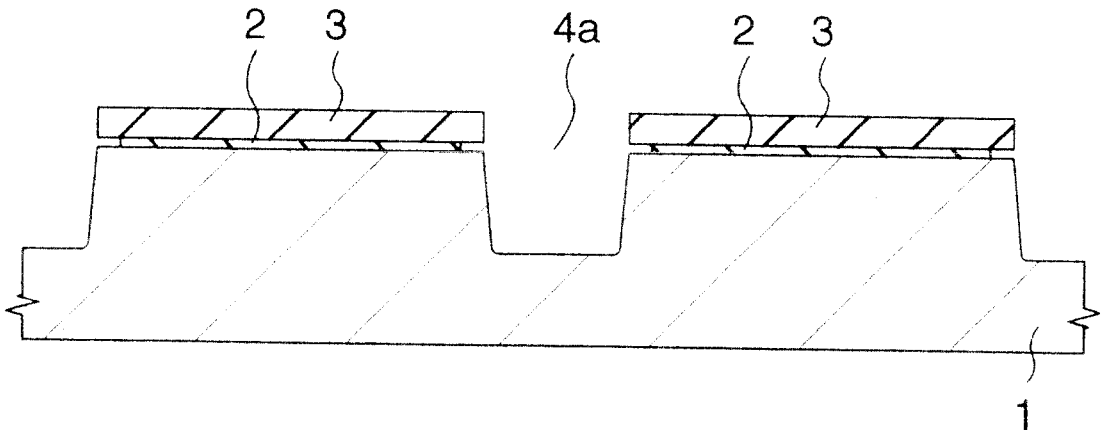


图53

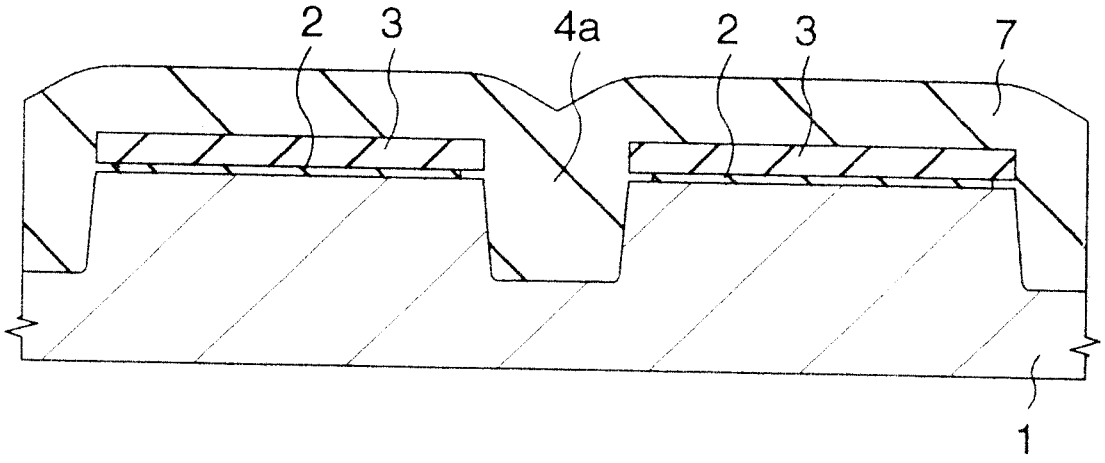


图54

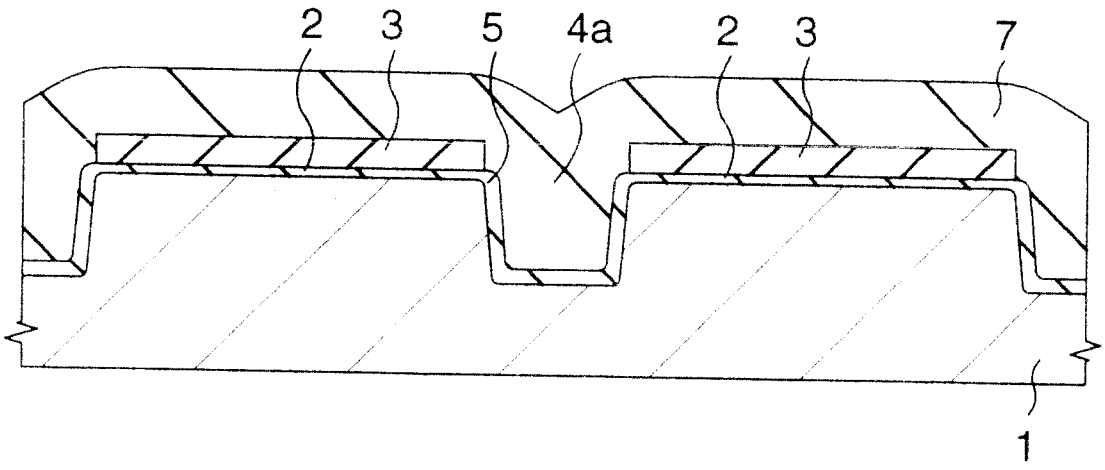


图55

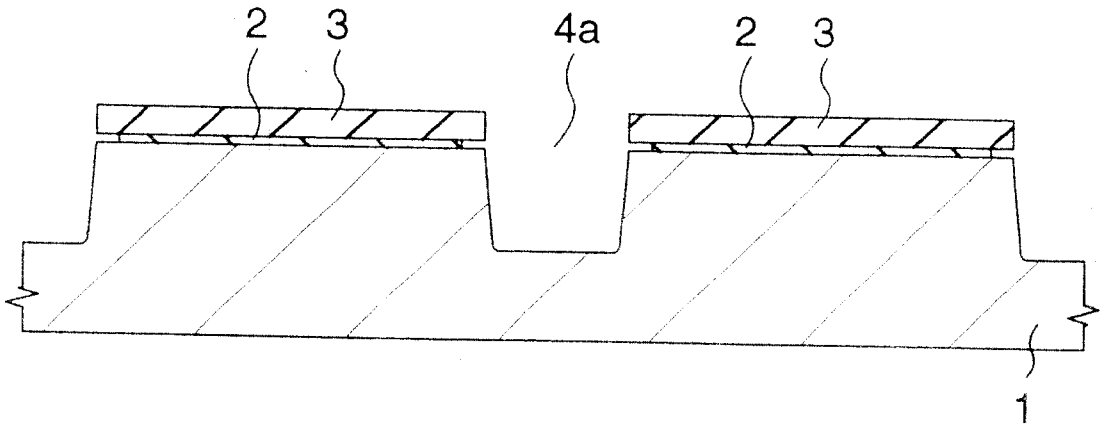


图56

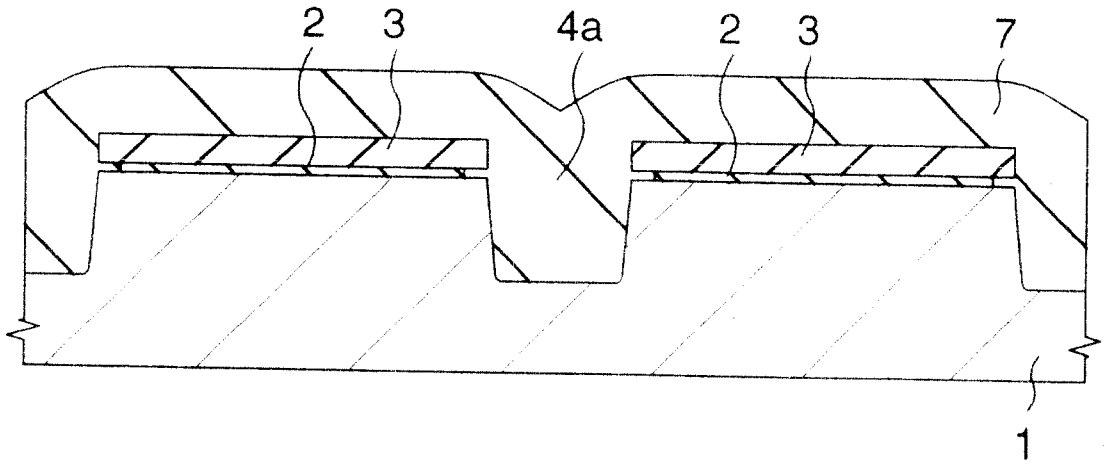


图57

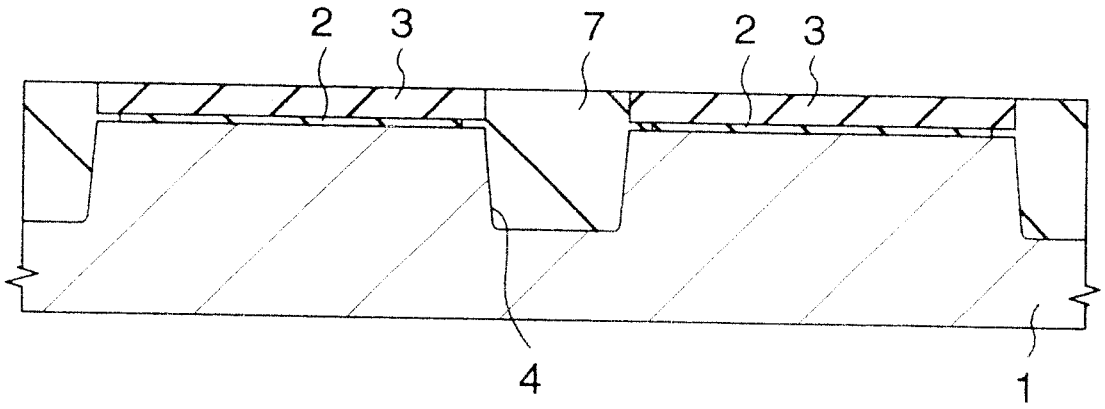


图58

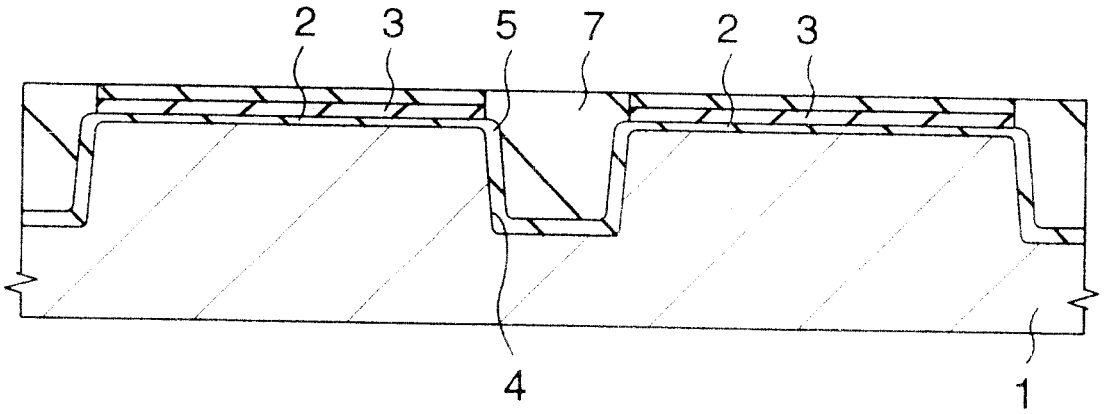


图 59

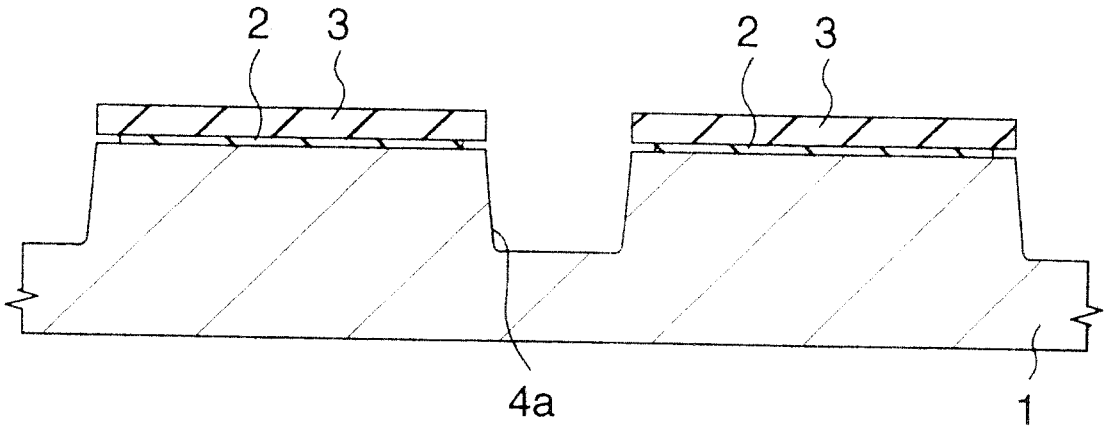


图 60

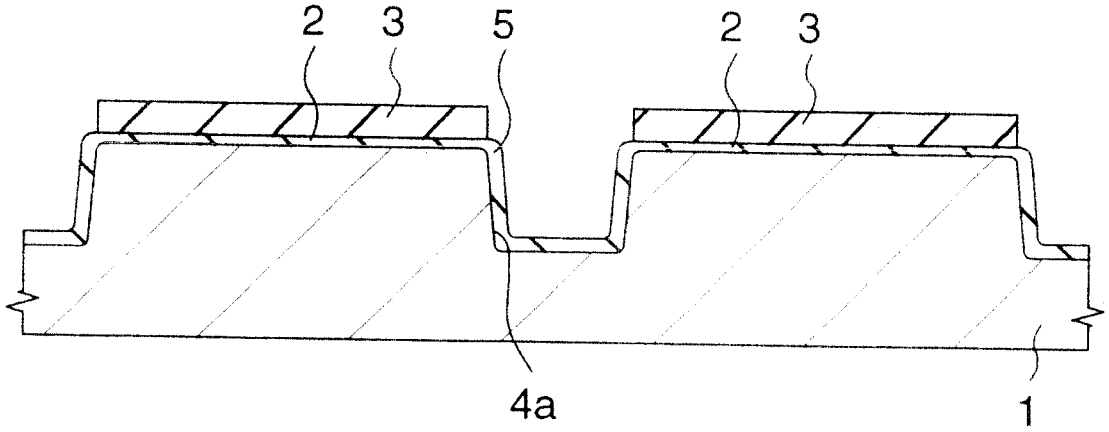


图61

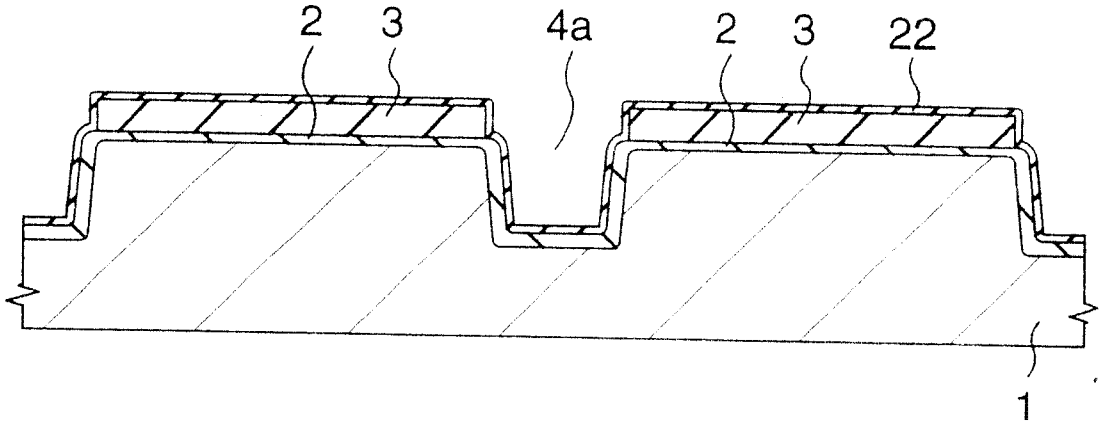


图62

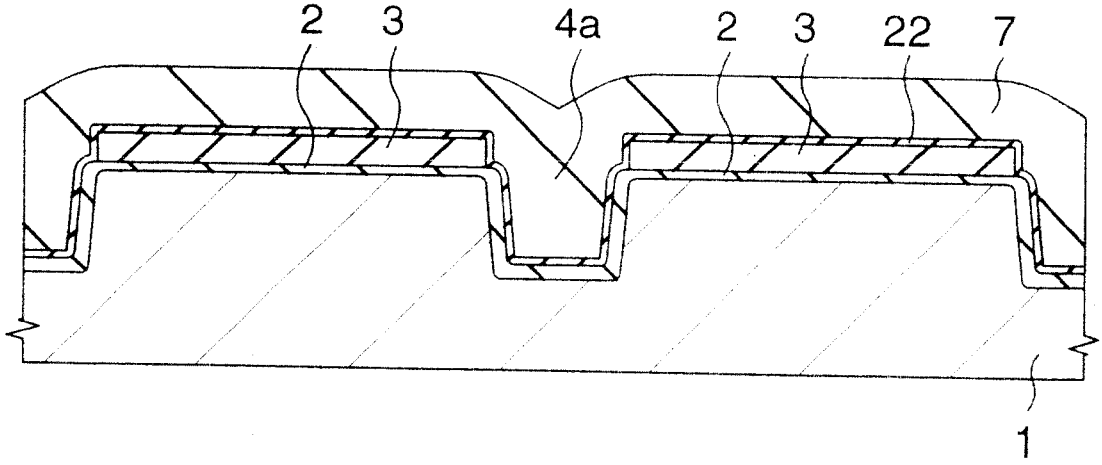


图63

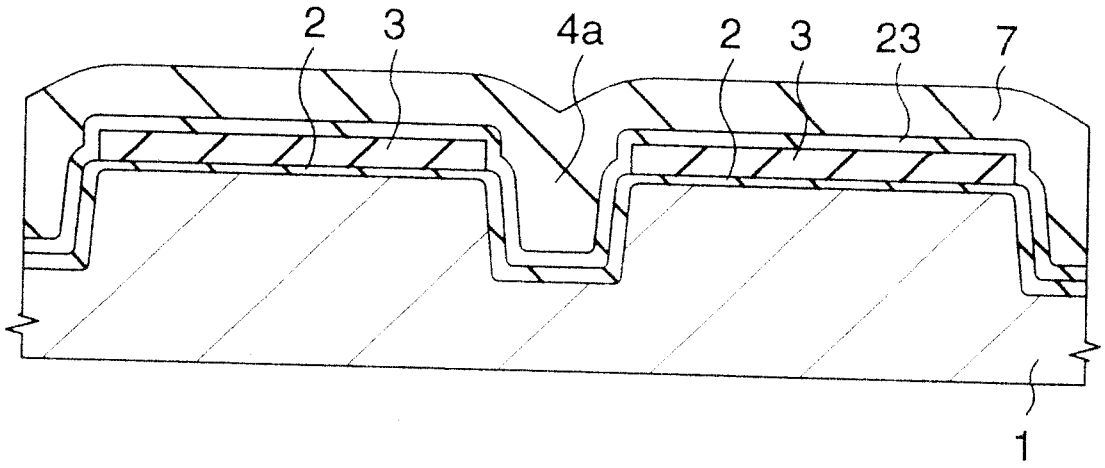


图64

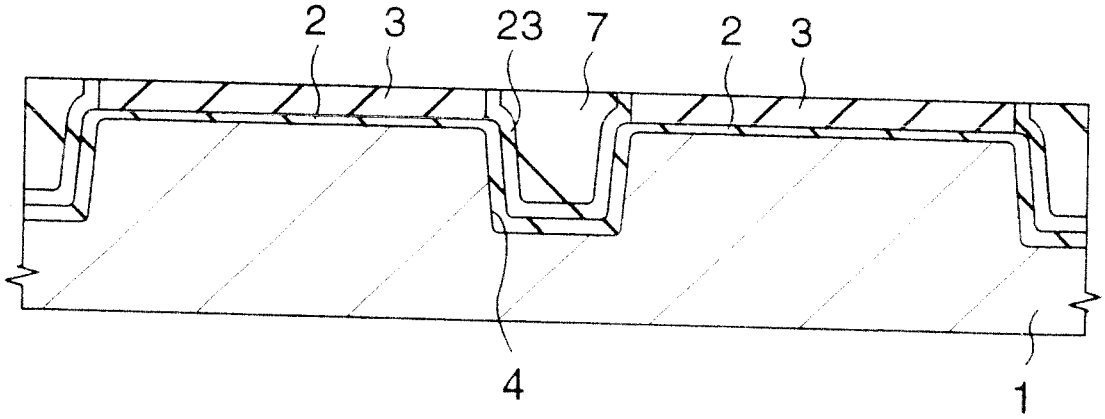


图65

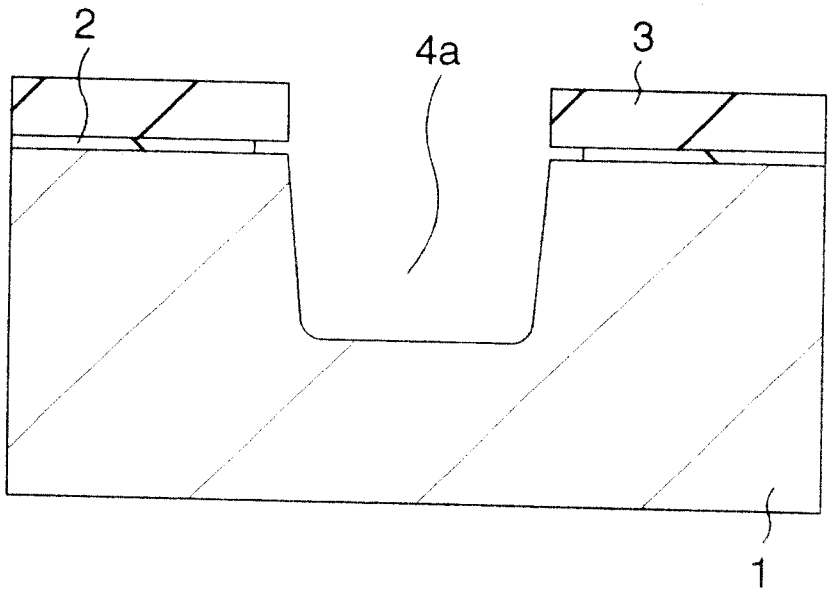


图66

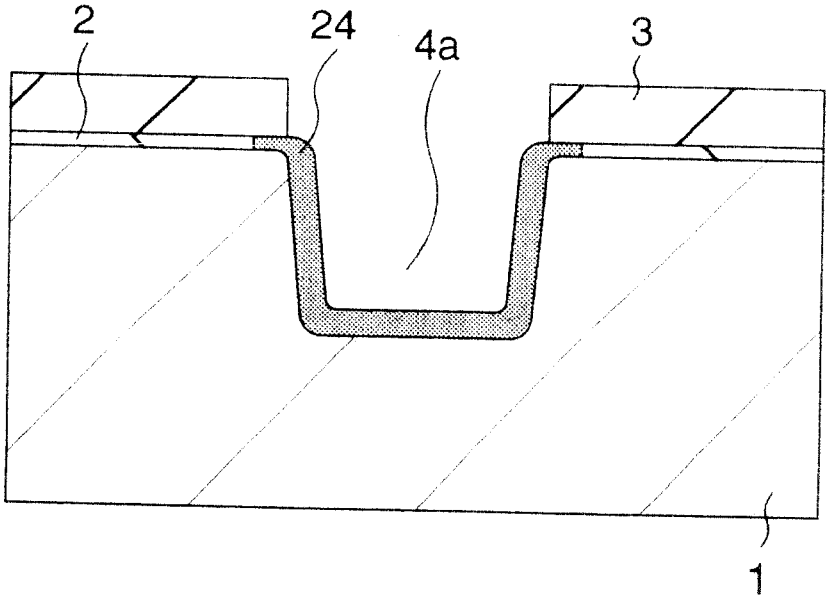


图67

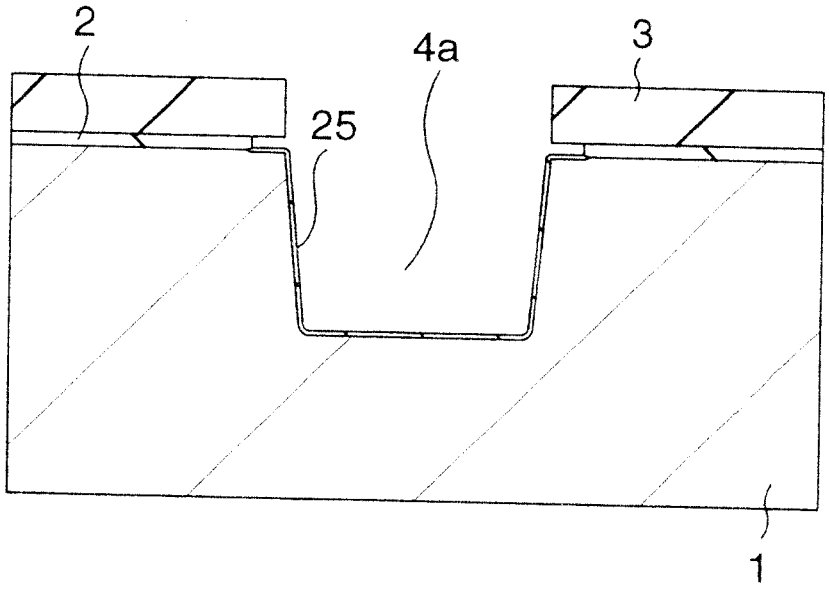


图 68

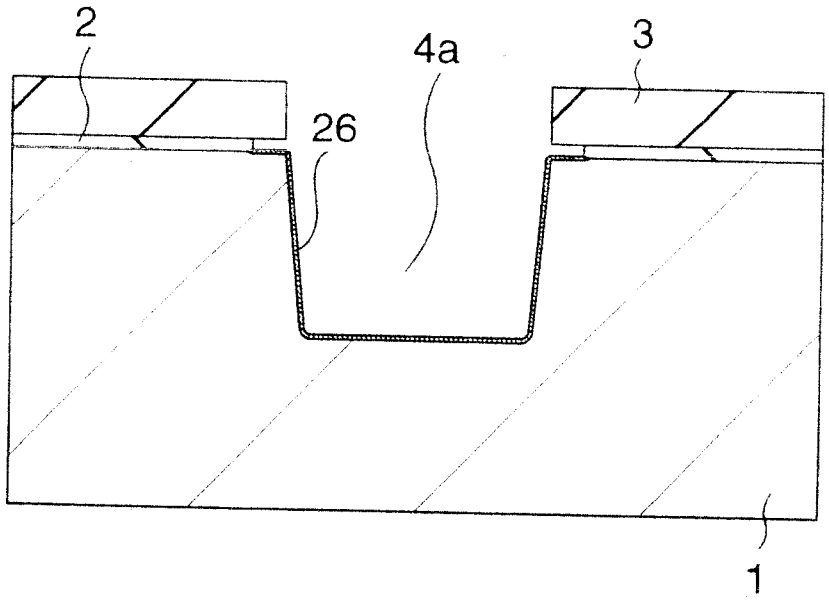


图69

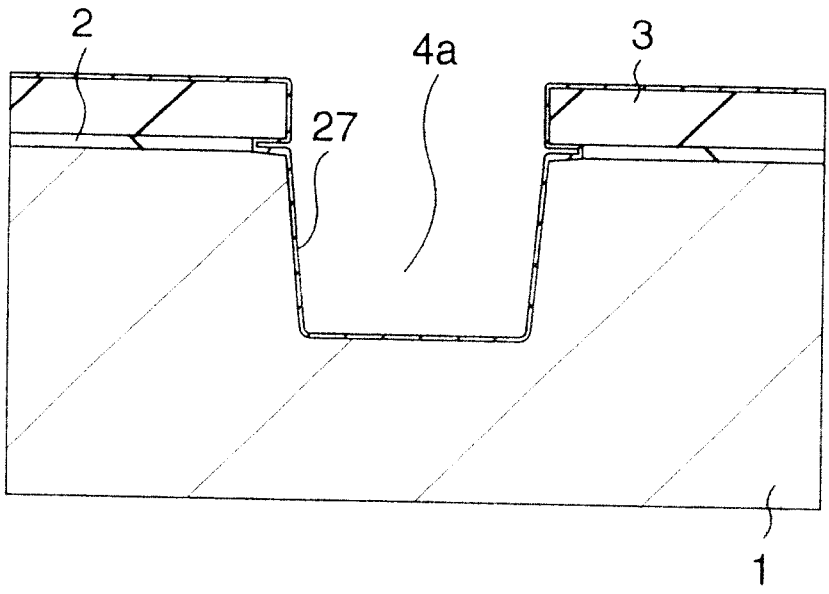


图70

