(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 213783133 U
(45)授权公告日 2021.07.23

(21)申请号 202023279732.9

(22)申请日 2020.12.30

(73)专利权人 重庆芯讯通无线科技有限公司
地址 401336 重庆市南岸区茶园新区世纪大道99号

(72)发明人 蒋绪涛

(74)专利代理机构 上海弼兴律师事务所 31283
代理人 杨东明 张冉

(51)Int.Cl.
H02M 1/32(2007.01)

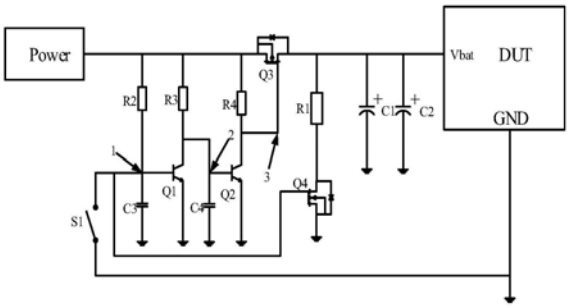
权利要求书1页 说明书3页 附图1页

(54)实用新型名称

电荷泄放电路

(57)摘要

本实用新型提供一种电荷泄放电路，包括开关、第一三极管、第二三极管、第一MOS管、第一电阻、第二MOS管、第一电容和第二电容；开关与电源及第一三极管的基极连接，第一三极管的集电极与电源及第二三极管的基极连接，第二三极管的集电极与电源及第一MOS管的栅极连接，第一MOS管的源极与电源连接；第一MOS管的漏极与第一电阻、第一电容和第二电容的一端连接，第一电阻的另一端与第二MOS管的漏极连接，第二MOS管的栅极与开关连接，第一、二三极管的发射极、第二MOS管的源极接地。本实用新型在闭合开关时，第一MOS管导通，第二MOS管截止，第一电阻处于不工作状态，避免了第一电阻产生耗流，延长了第一电阻的工作寿命。



CN 213783133 U

1.一种电荷泄放电路,其特征在于,所述泄放电路包括开关、第一三极管、第二三极管、第一MOS管、第一电阻、第二MOS管、第一电容和第二电容;

所述开关的一端分别与外部电源及所述第一三极管的基极电连接,所述开关的另一端接地,所述第一三极管的发射极接地,所述第一三极管的集电极分别与所述外部电源及所述第二三极管的基极电连接,所述第二三极管的集电极分别与所述外部电源及所述第一MOS管的栅极电连接,所述第二三极管的发射极接地,所述第一MOS管的源极与所述外部电源电连接;

所述第一MOS管的漏极分别与所述第一电阻的一端、所述第一电容的一端以及所述第二电容的一端电连接,所述第一电容的另一端以及所述第二电容的另一端均接地,所述第一电阻的另一端与所述第二MOS管的漏极电连接,所述第二MOS管的栅极与所述开关的一端电连接,所述第二MOS管的源极接地。

2.如权利要求1所述的电荷泄放电路,其特征在于,所述泄放电路还包括第二电阻、第三电阻和第四电阻;

所述第二电阻串接在所述外部电源与所述开关之间;

所述第三电阻串接在所述外部电源与所述第一三极管的集电极之间;

所述第四电阻串接在所述外部电源与所述第二三极管的集电极之间。

3.如权利要求1所述的电荷泄放电路,其特征在于,所述泄放电路还包括第三电容和第四电容;

所述第三电容的一端与所述开关的一端电连接,所述第三电容的另一端接地;

所述第四电容的一端与所述第二三极管的基极电连接,所述第四电容的另一端接地。

4.如权利要求1所述的电荷泄放电路,其特征在于,所述第一MOS管为PMOS管,所述第二MOS管为NMOS管。

5.如权利要求1所述的电荷泄放电路,其特征在于,所述第一三极管和所述第二三极管均为NPN型三极管。

6.如权利要求1所述的电荷泄放电路,其特征在于,所述第一电阻的阻值小于100kΩ。

7.如权利要求2所述的电荷泄放电路,其特征在于,所述第二电阻、所述第三电阻和所述第四电阻的阻值均为100kΩ。

8.如权利要求1所述的电荷泄放电路,其特征在于,所述第一电容的电容值为100uf或220uf。

9.如权利要求1所述的电荷泄放电路,其特征在于,所述第二电容的电容值为100uf或220uf。

10.如权利要求3所述的电荷泄放电路,其特征在于,所述第三电容和所述第四电容的电容值均为10uf。

电荷泄放电路

技术领域

[0001] 本实用新型涉及电路技术领域,特别涉及一种电荷泄放电路。

背景技术

[0002] 现有技术中是通过电阻泄放储能电容上储存的电荷,而为了实现储能电容快速放电,一般会选取阻值较小的电阻,但是不管电阻是否泄放储能电容上存储的电荷,该电阻都一直处于工作状态,而由于电阻的阻值比较小,一方面当电阻一直处于大电流的工作状态时,会大大增加电阻的耗流以及减小电阻的工作寿命;另一方面如果电阻长时间使用大电流,电阻的阻值会变大,无法实现快速泄放储能电容上储存的电荷。

实用新型内容

[0003] 本实用新型要解决的技术问题是为了克服现有技术中电阻一直处于工作状态,导致电阻产生耗流和减小电阻工作寿命的缺陷,提供一种电荷泄放电路。

[0004] 本实用新型是通过下述技术方案来解决上述技术问题:

[0005] 本实用新型提供了一种电荷泄放电路,所述泄放电路包括开关、第一三极管、第二三极管、第一MOS管、第一电阻、第二MOS管、第一电容和第二电容;

[0006] 所述开关的一端分别与外部电源及所述第一三极管的基极电连接,所述开关的另一端接地,所述第一三极管的发射极接地,所述第一三极管的集电极分别与所述外部电源及所述第二三极管的基极电连接,所述第二三极管的集电极分别与所述外部电源及所述第一MOS管的栅极电连接,所述第二三极管的发射极接地,所述第一MOS管的源极与所述外部电源电连接;

[0007] 所述第一MOS管的漏极分别与所述第一电阻的一端、所述第一电容的一端以及所述第二电容的一端电连接,所述第一电容的另一端以及所述第二电容的另一端均接地,所述第一电阻的另一端与所述第二MOS管的漏极电连接,所述第二MOS管的栅极与所述开关的一端电连接,所述第二MOS管的源极接地。

[0008] 较佳地,所述泄放电路还包括第二电阻、第三电阻和第四电阻;

[0009] 所述第二电阻串接在所述外部电源与所述开关之间;

[0010] 所述第三电阻串接在所述外部电源与所述第一三极管的集电极之间;

[0011] 所述第四电阻串接在所述外部电源与所述第二三极管的集电极之间。

[0012] 较佳地,所述泄放电路还包括第三电容和第四电容;

[0013] 所述第三电容的一端与所述开关的一端电连接,所述第三电容的另一端接地;

[0014] 所述第四电容的一端与所述第二三极管的基极电连接,所述第四电容的另一端接地。

[0015] 较佳地,所述第一MOS管为PMOS管,所述第二MOS管为NMOS管。

[0016] 较佳地,所述第一三极管和所述第二三极管均为NPN型三极管。

[0017] 较佳地,所述第一电阻的阻值小于100kΩ。

[0018] 较佳地，所述第二电阻、所述第三电阻和所述第四电阻的阻值均为100kΩ。

[0019] 较佳地，所述第一电容的电容值为100uf或220uf。

[0020] 较佳地，所述第二电容的电容值为100uf或220uf。

[0021] 较佳地，所述第三电容和所述第四电容的电容值均为10uf。

[0022] 本实用新型的积极进步效果在于：

[0023] 本实用新型公开的一种电荷泄放电路，通过闭合泄放电路中的开关，使得第一MOS管导通，第二MOS管截止，第一电阻处于不工作状态，避免了第一电阻产生耗流，同时也延长了第一电阻的工作寿命。

附图说明

[0024] 图1为本实用新型一实施例的电荷泄放电路的电路图。

具体实施方式

[0025] 下面通过实施例的方式，并结合附图来更清楚完整地说明本实用新型，对于本实施例的说明是用于帮助理解本实用新型，但并不构成对本实用新型的限定。

[0026] 如图1所示，本实施例提供了一种电荷泄放电路，该泄放电路包括开关S1、第一三极管Q1、第二三极管Q2、第一MOS管Q3、第一电阻R1、第二MOS管Q4、第一电容C1、第二电容C2、第二电阻R2、第三电阻R3、第四电阻R4、第三电容C3和第四电容C4。

[0027] 开关S1的一端分别与外部电源Power及第一三极管Q1的基极电连接，开关S1的另一端接地，第二电阻R2串接在外部电源Power与开关S1之间，第三电容C3的一端与开关S1的一端电连接，第三电容C3的另一端接地，第一三极管Q1的发射极接地，第一三极管Q1的集电极分别与外部电源Power及第二三极管Q2的基极电连接，第三电阻R3串接在外部电源Power与第一三极管Q1的集电极之间；第四电容C4的一端与第二三极管Q2的基极电连接，第四电容C4的另一端接地；第二三极管Q2的集电极分别与外部电源Power及第一MOS管Q3的栅极电连接，第四电阻R4串接在外部电源Power与第二三极管Q2的集电极之间；第二三极管Q2的发射极接地，第一MOS管Q3的源极与外部电源Power电连接。

[0028] 第一MOS管Q3的漏极分别与第一电阻R1的一端、第一电容C1的一端以及第二电容C2的一端电连接，第一电容C1的另一端以及第二电容C2的另一端均接地，第一电阻R1的另一端与第二MOS管Q4的漏极电连接，第二MOS管Q4的栅极与开关S1的一端电连接，第二MOS管Q4的源极接地。

[0029] 本实施例中，第一MOS管Q3为PMOS管，第二MOS管Q4为NMOS管；第一三极管Q1和第二三极管Q2均为NPN型三极管。

[0030] 本实施例中，第二电阻R2、第三电阻R3和第四电阻R4的阻值均为100kΩ；第一电容C1的电容值为100uf或220uf，第二电容C2的电容值也为100uf或220uf；优选地，第一电容C1和第二电容C2的电容值相同。第三电容C3和第四电容C4的电容值均为10uf。

[0031] 本实施例中的电荷泄放电路可以应用在测试通信模块的测试夹具上，也可以应该在其他待测试设备上，此处不做具体限定。该电荷泄放电路应用在测试通信模块的测试夹具上或其他待测试设备上时，测试通信模块的测试夹具和其他待测试设备的电源端Vbat与第一MOS管Q3的漏极电连接。

[0032] 本实施例中，当开关S1闭合时，测试点1为逻辑低电平，此时第一三极管Q1截止(或者当第一三极管Q1的静态电压Vbe小于0.7V，即Vbe<0.7V时，第一三极管Q1截止)，测试点2为逻辑高电平，第二三极管Q2导通(或者当第二三极管Q2的静态电压Vbe大于0.7V，即Vbe>0.7V时，第二三极管Q2导通)，测试点3为逻辑低电平，第一MOS管Q3导通(或者当第一MOS管Q3的栅-源电压Vgs小于阈值电压Vgsth，即Vgs<Vgsth时，第一MOS管Q3导通)，外部电源Power给待测试设备DUT正常供电，第一电容C1和第二电容C2会存储电荷。在开关S1闭合时，由于测试点1为逻辑低电平，第二MOS管Q4截止(或者当第二MOS管Q4的栅-源电压Vgs小于阈值电压Vgsth，即Vgs<Vgsth时，第二MOS管Q4截止)，此时第一电阻R1处于不工作状态，避免了第一电阻R1产生耗流，同时也延长了第一电阻R1的工作寿命。

[0033] 当开关S1断开时，测试点1为逻辑高电平，此时第一三极管Q1导通(或者当第一三极管Q1的静态电压Vbe大于0.7V，即Vbe>0.7V时，第一三极管Q1导通)，测试点2为逻辑低电平，第二三极管Q2截止(或者当第二三极管Q2的静态电压Vbe小于0.7V，即Vbe<0.7V时，第二三极管Q2截止)，测试点3为逻辑高电平，第一MOS管Q3截止(或者当第一MOS管Q3的栅-源电压Vgs大于阈值电压Vgsth，即Vgs>Vgsth时，第一MOS管Q3截止)，此时待测试设备DUT供电断开。在开关S1断开时，由于测试点1为逻辑高电平，第二MOS管Q4导通(或者当第二MOS管Q4的栅-源电压Vgs大于阈值电压Vgsth，即Vgs>Vgsth时，第二MOS管Q4导通)，此时第一电阻R1和第二MOS管Q4能够快速泄放第一电容C1和第二电容C2上存储的电荷。本实施例中第一电阻R1的阻值小于100kΩ，第一电阻R1的阻值越小，越能够加快第一电阻R1和第二MOS管Q4泄放第一电容C1和第二电容C2上存储的电荷。

[0034] 本实施例通过闭合电荷泄放电路中的开关S1，使得第一MOS管Q3导通，第二MOS管Q4截止，第一电阻R1处于不工作状态，避免了第一电阻R1产生耗流，同时也延长了第一电阻R1的工作寿命；再通过断开电荷泄放电路中的开关S1，使得第一MOS管Q3截止，第二MOS管Q4导通，并通过第一电阻R1和第二MOS管Q4能够快速泄放第一电容C1和第二电容C2上存储的电荷，避免了第一电阻R1一直处于大电流的工作状态，导致阻值变大，无法实现快速快速泄放第一电容C1和第二电容C2上存储的电荷的问题。

[0035] 虽然以上描述了本实用新型的具体实施方式，但是本领域的技术人员应当理解，这仅是举例说明，本实用新型的保护范围是由所附权利要求书限定的。本领域的技术人员在不背离本实用新型的原理和实质的前提下，可以对这些实施方式做出多种变更或修改，但这些变更和修改均落入本实用新型的保护范围。

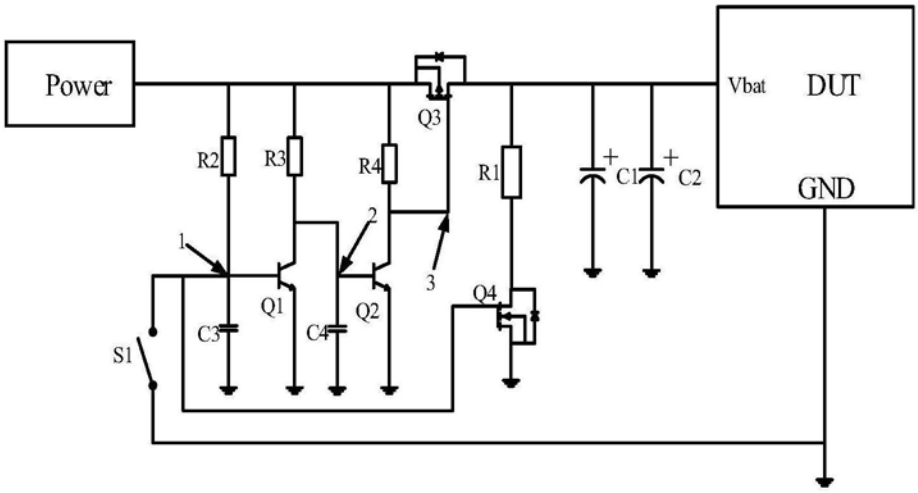


图1