

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-501951
(P2025-501951A)

(43)公表日 令和7年1月24日(2025.1.24)

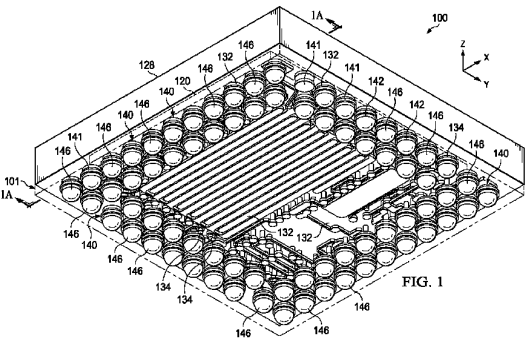
(51)国際特許分類	F I	テーマコード (参考)
H 0 5 K 1/02 (2006.01)	H 0 5 K 1/02 A	5 E 3 1 6
H 0 1 L 23/12 (2006.01)	H 0 1 L 23/12 N	5 E 3 3 8
H 0 5 K 3/46 (2006.01)	H 0 1 L 23/12 5 0 1 B	
	H 0 5 K 3/46 B	
	H 0 5 K 3/46 Q	
審査請求 未請求 予備審査請求 未請求 (全21頁)		

(21)出願番号	特願2024-539495(P2024-539495)	(71)出願人	507107291
(86)(22)出願日	令和4年12月28日(2022.12.28)		テキサス インスツルメンツ インコーポ レイテッド
(85)翻訳文提出日	令和6年8月27日(2024.8.27)		アメリカ合衆国 テキサス州 7 5 2 6 5 ー 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)国際出願番号	PCT/US2022/054139	(74)代理人	230129078
(87)国際公開番号	WO2023/129582		弁護士 佐藤 仁
(87)国際公開日	令和5年7月6日(2023.7.6)	(72)発明者	ジャイマル マロリー ウィリアムソン
(31)優先権主張番号	17/563,403		アメリカ合衆国 7 5 0 7 1 テキサス州 マッキニー, サン マルコス ドライブ 6 1 3
(32)優先日	令和3年12月28日(2021.12.28)	(72)発明者	チュン ピン ロー
(33)優先権主張国・地域又は機関	米国(US)		アメリカ合衆国 7 5 0 1 3 テキサス州 アレン, リバー ロック ウェイ 6 0 0
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW), EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES, FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV 最終頁に続く		最終頁に続く

(54)【発明の名称】 段形状の基板トレースを備えるマルチレベルパッケージ基板

(57)【要約】

電子デバイス（100）が、第1及び第2のレベル（E1、L2）を備えるマルチレベルパッケージ基板（101）を含む。第2のレベル（L2）は、第1の伝導性トレース特徴（106）を備える第1のトレース層と、第1の伝導性トレース特徴（106）に接する第1の伝導性ビア（108）と、第1の誘電体層（104）とを含む。第1のレベル（E1）は、段形状の第2の伝導性トレース特徴（110）を備える第2のトレース層を含む。第2の伝導性トレース特徴（110）は、第1の厚み（113）を有する第1の部分（111）と、第1の厚み（113）より大きい第2の厚み（114）を有する第2の部分（112）とを有する。



【特許請求の範囲】

【請求項 1】

電子デバイスであって、

第 1 のレベル及び第 2 のレベルを有するマルチレベルパッケージ基板と、
ダイと、

を含み、

前記第 1 のレベルが、直交する第 1 及び第 2 の方向の第 1 の平面において延在し、前記第 2 のレベルが、前記第 1 及び第 2 の方向の第 2 の平面において延在し、前記第 2 のレベルが、第 1 の伝導性トレース特徴を備える第 1 のトレース層と、前記第 1 の伝導性トレース特徴に接する伝導性の第 1 のビアと、第 1 の誘電体層と、を含み、前記第 1 のレベルが、前記第 2 のレベル上にあり、第 2 の伝導性トレース特徴を備える第 2 のトレース層を含み、前記第 2 の伝導性トレース特徴が、第 1 の部分及び第 2 の部分を有し、前記第 1 の部分が、第 3 の方向に沿った第 1 の厚みを有し、前記第 3 の方向が、前記第 1 及び第 2 の方向に直交しており、前記第 2 の部分が、側部と、前記第 3 の方向に沿った第 2 の厚みを有し、前記第 2 の部分の前記側部が、前記第 1 の平面から離れて面しており、前記第 2 の厚みが、前記第 1 の厚みより厚く、

10

前記ダイが、前記第 2 の部分の前記側部に電氣的に結合される伝導性特徴を有する、
電子デバイス。

【請求項 2】

請求項 1 に記載の電子デバイスであって、

20

前記マルチレベルパッケージ基板が、コア誘電体層と第 3 のレベルと第 4 のレベルとを含み、

前記コア誘電体層が、対向する第 1 及び第 2 の側部を有し、

前記第 2 のレベルが、前記コア誘電体層の前記第 1 の側部にあり、

前記第 3 のレベルが、前記コア誘電体層の前記第 2 の側部にあり、前記第 1 及び第 2 の方向の第 3 の平面において延在し、前記第 3 のレベルが、第 3 の伝導性トレース特徴と、前記第 3 の伝導性トレース特徴に接する伝導性の第 2 のビアと、第 3 の誘電体層と、を備える第 3 のトレース層を含み、

前記第 4 のレベルが、前記第 3 のレベル上にあり、前記第 1 及び第 2 の方向の第 4 の平面において延在し、前記第 4 のレベルが、前記第 3 の平面から離れて面する第 2 の側部を有する第 4 の伝導性トレース特徴を備える第 4 のトレース層を含み、

30

はんだボールが、前記第 4 の伝導性トレース特徴の前記第 2 の側部に取り付けられる、
電子デバイス。

【請求項 3】

請求項 2 に記載の電子デバイスであって、

前記第 4 の伝導性トレース特徴が、第 1 の部分及び第 2 の部分を有し、前記第 4 の伝導性トレース特徴の前記第 1 の部分が、前記第 3 の方向に沿った第 3 の厚みを有し、前記第 4 の伝導性トレース特徴の前記第 2 の部分が、前記第 4 の伝導性トレース特徴の前記第 2 の側を有し、前記第 4 の伝導性トレース特徴の前記第 2 の部分が、前記第 3 の方向に沿った第 4 の厚みを有し、前記第 4 の伝導性トレース特徴の側部が、第 3 の平面から離れて面し、前記第 4 の厚みが、前記第 4 の伝導性トレース特徴の前記第 3 の厚みよりも大きい、
電子デバイス。

40

【請求項 4】

請求項 3 に記載の電子デバイスであって、

前記第 1 の厚みが $10 \sim 20 \mu\text{m}$ であり、

前記第 2 の厚みが、前記第 1 の厚みよりも $5 \sim 15 \mu\text{m}$ 大きく、

前記第 3 の厚みが $10 \sim 20 \mu\text{m}$ であり、

前記第 4 の厚みが、前記第 3 の厚みよりも $5 \sim 15 \mu\text{m}$ 大きい、

電子デバイス。

【請求項 5】

50

請求項 3 に記載の電子デバイスであって、

前記第 2 の伝導性トレース特徴が、前記ダイの横方向側部に近接する前記第 1 のレベルの第 1 の領域に配置され、

前記第 4 の伝導性トレース特徴が、前記第 4 のレベルの第 2 の領域に配置される、電子デバイス。

【請求項 6】

請求項 5 に記載の電子デバイスであって、前記第 1 の層の前記第 1 の領域が、前記ダイの下方にある、電子デバイス。

【請求項 7】

請求項 3 に記載の電子デバイスであって、

前記第 1 のレベルが、各々がそれぞれの第 1 及び第 2 の部分を有する複数の第 2 の伝導性トレース特徴を含み、前記それぞれの第 1 の部分が、前記第 3 の方向に沿った前記第 1 の厚みを有し、前記それぞれの第 2 の部分が、前記第 3 の方向に沿った前記第 2 の厚みを有し、

前記第 4 のレベルが、各々がそれぞれの第 1 及び第 2 の部分を有する複数の第 4 の伝導性トレース特徴を含み、前記第 4 の伝導性トレース特徴の前記それぞれの第 1 の部分が、前記第 3 の方向に沿った前記第 3 の厚みを有し、前記第 4 の伝導性トレース特徴の前記それぞれの第 2 の部分が、前記第 3 の方向に沿った前記第 4 の厚みを有する、

電子デバイス。

【請求項 8】

請求項 1 に記載の電子デバイスであって、

前記第 1 の厚みが $10 \sim 20 \mu\text{m}$ であり、

前記第 2 の厚みが、前記第 1 の厚みよりも $5 \sim 15 \mu\text{m}$ 大きい、

電子デバイス。

【請求項 9】

請求項 1 に記載の電子デバイスであって、前記第 2 の伝導性トレース特徴が、前記ダイの横方向側部に近接する前記第 1 のレベルの第 1 の領域に配置される、電子デバイス。

【請求項 10】

請求項 1 に記載の電子デバイスであって、前記第 1 のレベルが、各々がそれぞれ第 1 の部分及び第 2 の部分を有する、複数の第 2 の伝導性トレース特徴を含み、前記それぞれの第 1 の部分が、前記第 3 の方向に沿った前記第 1 の厚みを有し、前記それぞれの第 2 の部分が、前記第 3 の方向に沿った前記第 2 の厚みを有する、電子デバイス。

【請求項 11】

マルチレベルパッケージ基板であって、

直交する第 1 及び第 2 の方向の第 1 の平面に延在する第 1 のレベルと、

前記第 1 及び第 2 の方向の第 2 の平面に延在する第 2 のレベルと、

を含み、

前記第 2 のレベルが、第 1 の伝導性トレース特徴を備える第 1 のトレース層と、第 1 の伝導性トレース特徴に接する第 1 の伝導性ビアと、第 1 の誘電体層と、を含み、

前記第 1 のレベルが、前記第 2 のレベル上にあり、第 2 の伝導性トレース特徴を備える第 2 のトレース層を含み、前記第 2 の伝導性トレース特徴が、第 1 の部分及び第 2 の部分を有し、前記第 1 の部分が、第 3 の方向に沿った第 1 の厚みを有し、前記第 3 の方向が、前記第 1 及び第 2 の方向に直交しており、前記第 2 の部分が、側部及び前記第 3 の方向に沿った第 2 の厚みを有し、前記第 2 の部分の前記側部が、前記第 1 の平面から離れて面し、前記第 2 の厚みが前記第 1 の厚みより大きい、

マルチレベルパッケージ基板。

【請求項 12】

請求項 11 に記載のマルチレベルパッケージ基板であって、

コア誘電体層と、第 3 のレベルと、第 4 のレベルと、を更に含み、

前記コア誘電体層が、対向する第 1 及び第 2 の側部を有し、

10

20

30

40

50

前記第 2 のレベルが、前記コア誘電体層の前記第 1 の側部にあり、

前記第 3 のレベルが、前記コア誘電体層の前記第 2 の側部にあり、前記第 1 及び第 2 の方向の第 3 の平面において延在し、前記第 3 のレベルが、第 3 の伝導性トレース特徴を備える第 3 のトレース層と、前記第 3 の伝導性トレース特徴に接する伝導性の第 2 のビアと、第 3 の誘電体層とを含み、

前記第 4 のレベルが、前記第 3 のレベル上にあり、前記第 1 及び第 2 の方向の第 4 の平面において延在し、前記第 4 のレベルが、前記第 3 の平面から離れて面する第 2 の側部を有する第 4 の伝導性トレース特徴を備える第 4 のトレース層を含み、

はんだボールが、前記第 4 の伝導性トレース特徴の前記第 2 の側部に取り付けられる、マルチレベルパッケージ基板。

10

【請求項 1 3】

請求項 1 2 に記載のマルチレベルパッケージ基板であって、

前記第 4 の伝導性トレース特徴が、第 1 の部分と第 2 の部分とを有し、前記第 4 の伝導性トレース特徴の前記第 1 の部分が、前記第 3 の方向に沿った第 3 の厚みを有し、前記第 4 の伝導性トレース特徴の前記第 2 の部分が、前記第 4 の伝導性トレース特徴の前記第 2 の側部を有し、前記第 4 の伝導性トレース特徴の前記第 2 の部分が、前記第 3 の方向に沿った第 4 の厚みを有し、前記第 4 の伝導性トレース特徴の前記第 2 の部分の前記側部が、前記第 3 の平面から離れて面し、前記第 4 の厚みが、前記第 4 の伝導性トレース特徴の前記第 3 の厚みよりも大きい、マルチレベルパッケージ基板。

【請求項 1 4】

20

請求項 1 3 に記載のマルチレベルパッケージ基板であって、

前記第 1 の厚みが $10 \sim 20 \mu\text{m}$ であり、

前記第 2 の厚みが、第 1 の厚みよりも $5 \sim 15 \mu\text{m}$ 大きく、

前記第 3 の厚みが $10 \sim 20 \mu\text{m}$ であり、

前記第 4 の厚みが、第 3 の厚みよりも $5 \sim 15 \mu\text{m}$ 大きい、マルチレベルパッケージ基板。

【請求項 1 5】

請求項 1 3 に記載のマルチレベルパッケージ基板であって、

前記第 2 の伝導性トレース特徴が、前記ダイの横方向側部に近接する前記第 1 のレベルの第 1 の領域に配置され、

30

前記第 4 の伝導性トレース特徴が、前記第 4 のレベルの第 2 の領域に配置される、マルチレベルパッケージ基板。

【請求項 1 6】

請求項 1 3 に記載のマルチレベルパッケージ基板であって、

前記第 1 の厚みが $10 \sim 20 \mu\text{m}$ であり、

前記第 2 の厚みが、前記第 1 の厚みよりも $5 \sim 15 \mu\text{m}$ 大きい、

マルチレベルパッケージ基板。

【請求項 1 7】

方法であって、

直交する第 1 及び第 2 の方向の第 2 の平面におけるコア誘電体層の側部上に第 2 のレベルを形成することであって、前記第 2 のレベルが、第 1 の伝導性トレース特徴を備える第 1 のトレース層と、前記第 1 の伝導性トレース特徴に接する第 1 の伝導性ビアと、第 1 の誘電体層と、を含む、前記第 2 のレベルを形成することと、

40

前記第 1 及び第 2 の方向の第 1 の平面において前記第 2 のレベル上に延在する第 1 のレベルを形成することと、

を含み、

前記第 1 のレベルが、第 1 の部分及び第 2 の部分を有する第 2 の伝導性トレース特徴を備える第 2 のトレース層を含み、前記第 1 の部分が、第 3 の方向に沿った第 1 の厚みを有し、前記第 3 の方向が前記第 1 及び第 2 の方向に直交しており、前記第 2 の部分が、側部及び前記第 3 の方向に沿った第 2 の厚みを有し、前記第 2 の部分の前記側部が、前記第 1

50

の平面から離れて面し、前記第 2 の厚みが前記第 1 の厚みより大きい、
方法。

【請求項 18】

請求項 17 記載の方法であって、

前記第 1 及び第 2 の方向の第 3 の平面において前記コア誘電体層の第 2 の側部上に第 3 のレベルを形成することであって、前記第 3 のレベルが、第 3 の伝導性トレース特徴を備える第 3 のトレース層と、前記第 3 の伝導性トレース特徴に接する伝導性の第 2 のビアと、第 3 の誘電体層と、を含む、前記第 3 のレベルを形成することと、

前記第 3 のレベル上に、前記第 1 及び第 2 の方向の第 4 の平面において延在する第 4 のレベルを形成することと、

を更に含み、

前記第 4 のレベルが、第 1 の部分及び第 2 の部分を有する第 4 の伝導性トレース特徴を備える第 4 のトレース層を含み、前記第 4 の伝導性トレース特徴の前記第 1 の部分が、前記第 3 の方向に沿った第 3 の厚みを有し、前記第 4 の伝導性トレース特徴の前記第 2 の部分が、前記第 3 の平面から離れて面する側部を有し、前記第 4 の伝導性トレース特徴の前記第 2 の部分が、前記第 3 の方向に沿った第 4 の厚みを有し、前記第 4 の厚みが前記第 3 の厚みよりも大きい、

方法。

【請求項 19】

請求項 18 に記載の方法であって、

ダイの伝導性端子を前記第 2 の伝導性トレース特徴の前記第 2 の部分の前記側部に電気的に結合する電気接続プロセスを行うことと、

はんだボールを前記第 4 の伝導性トレース特徴の前記側部に取り付けることと、

を更に含む、方法。

【請求項 20】

請求項 17 に記載の方法であって、前記第 1 のレベルを形成することが、

前記第 2 のレベル上に第 1 のマスクを形成することであって、前記第 1 のマスクが、前記第 2 のレベルの第 1 の部分を露出させる、前記第 1 のマスクを形成することと、

前記第 1 のマスクを用いて前記第 2 のレベルの前記露出された第 1 の部分上に前記第 2 の伝導性トレース特徴の前記第 1 の部分を形成することと、

前記第 1 のマスクを取り除くことと、

前記第 2 のレベルと、前記第 2 の伝導性トレース特徴の前記第 1 の部分の一部との上に、第 2 のマスクを形成することであって、前記第 2 のマスクが、前記第 2 の伝導性トレース特徴の前記第 1 の部分の第 2 の部分を露出させる、前記第 2 のマスクを形成することと、

前記第 2 のマスクを用いて、前記第 2 の伝導性トレース特徴の前記第 1 の部分の前記露出された第 2 の部分上に前記第 2 の伝導性トレース特徴の前記第 2 の部分を形成することと、

を含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

パッケージ化電子デバイスにおける機能性の増加により、増大したトレース及びダイランディングエリア密度に対応するためにパッケージが小型化されており、基板ライン及び空間が縮小し続けている。しかしながら、断面積の減少は、例えば、自動車又は産業応用例において、応力又は電界曝露中の信頼性の問題に対して、基板トレースをより脆弱にする恐れがある。例えば、温度サイクル中の異なる係数又は熱膨張（CTE）を有する構成要素の機械的結合によって引き起こされる、半導体ダイエッジのエッジ又は側部での又はその近くでのパッケージ偏向を介して、パッケージ基板の 1 つ又は複数の基板層において基板トレースのクラックが発生し得る。

10

20

30

40

50

【発明の概要】

【0002】

一態様において、電子デバイスが、マルチレベルパッケージ基板と、ダイとを含み、マルチレベルパッケージ基板は、第1及び第2のレベルを有する。第2のレベルは、第1の伝導性トレース特徴を備える第1のトレース層と、第1の伝導性トレース特徴に接する伝導性の第1のビアと、第1の誘電体層とを含む。第2のレベルは、第1及び第2の部分を有する第2の伝導性トレース特徴を備える第2のトレース層を含む。第1の部分は第1の厚みを有し、第2の部分は、側部及び第2の厚みを有し、第2の厚みは第1の厚みよりも大きい。

【0003】

別の態様において、マルチレベルパッケージ基板が、第1及び第2のレベルを有する。第2のレベルは、第1の伝導性トレース特徴を備える第1のトレース層と、第1の伝導性トレース特徴に接する伝導性の第1のビアと、第1の誘電体層とを含む。第2のレベルは、第1及び第2の部分を有する第2の伝導性トレース特徴を備える第2のトレース層を含む。第1の部分は第1の厚みを有し、第2の部分は、側部及び第2の厚みを有し、第2の厚みは第1の厚みよりも大きい。

【0004】

更なる態様において、或る方法が、直交する第1及び第2の方向の第1の平面におけるコア誘電体層の側部上に第2のレベルを形成することを含み、第2のレベルは、第1の伝導性トレース特徴を備える第1のトレース層と、第1の伝導性トレース特徴に接する第1の伝導性ビアと、第1の誘電体層とを含む。この方法はまた、第1及び第2の方向の第2の平面において第2のレベル上に延在する第1のレベルを形成することを含む。第1のレベルは、第1の部分及び第2の部分を有する第2の伝導性トレース特徴を備える第2のトレース層を含む。第1の部分は、直交する第3の方向に沿った第1の厚みを有し、第2の部分は、側部及び第3の方向に沿った第2の厚みを有し、第2の部分の側部は、第1の平面から離れて面し、第2の厚みは第1の厚みよりも大きい。

【図面の簡単な説明】

【0005】

【図1】段形状の基板トレースを備えたフリップチップボールグリッドアレイのパッケージ化電子デバイスの斜視図である。

【0006】

【図1A】図1の線1A-1Aに沿って切り取られた電子デバイスの部分断面側面図である。

【0007】

【図1B】図1Aの線1B-1Bに沿って切り取られた電子デバイス100の部分断面上面図である。

【0008】

【図1C】電子デバイスのマルチレベルパッケージ基板の一部の部分上面図である。

【0009】

【図1D】電子デバイスのマルチレベルパッケージ基板の一部における、トレース及びダイランディングエリアの部分上面図である。

【0010】

【図2】電子デバイスを製造する方法のフローチャートを示す。

【0011】

【図3】図2の方法に従った製造を経る図1～図1Dのパッケージ化電子デバイスの部分断面側面図である。

【図4】図2の方法に従った製造を経る図1～図1Dのパッケージ化電子デバイスの部分断面側面図である。

【図5】図2の方法に従った製造を経る図1～図1Dのパッケージ化電子デバイスの部分断面側面図である。

【図 6】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

【図 7】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

【図 8】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

【図 9】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

【図 10】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

10

【図 11】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

【図 12】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

【図 13】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

【図 14】図 2 の方法に従った製造を経る図 1 ～図 1 D のパッケージ化電子デバイスの部分断面側面図である。

【0012】

【図 15】段形状の基板トレース及び伝導性の蓋を含む、別のフリップチップボールグリッドアレイパッケージ化電子デバイスの部分断面側面図を示す。

20

【0013】

【図 16】段形状の基板トレースと平坦な伝導性の蓋とを含む、別のフリップチップボールグリッドアレイパッケージ化電子デバイスの部分断面側面図を示す。

【発明を実施するための形態】

【0014】

図面において、全体を通して同様の参照番号は同様の要素を示し、種々の特徴は必ずしも一定の縮尺で描いてはいない。また、「結合する」という用語は、間接的又は直接的な電氣的又は機械的接続又はそれらの組み合わせを含む。例えば、第 1 のデバイスが第 2 のデバイスに結合するか又は第 2 のデバイスと結合される場合、その接続は、直接電氣的接続を介するものであり得、又は一つ又は複数の介在デバイス及び接続を介した間接的電氣的接続を介するものであり得る。種々の回路、システム、及び／又は構成要素の 1 つ又は複数の動作特性が、いくつかの場合において、回路要素が給電され動作しているときに様々な構造の構成及び／又は相互接続から生じる機能の文脈において以下に説明される。

30

【0015】

まず図 1 ～図 1 D を参照すると、図 1 は、マルチレベルパッケージ基板 101 を含むフリップチップボールグリッドアレイ (FCBGA) パッケージ化電子デバイス 100 の斜視底面図を示す。図 1 A は、図 1 における線 1 A - 1 A に沿って切り取られた電子デバイス 100 の部分断面側面図を示す。図 1 B は、図 1 A の線 1 B - 1 B に沿った電子デバイス 100 の部分断面上面図を示し、図 1 C は、マルチレベルパッケージ基板 101 の一部の部分上面図を示し、図 1 D は、マルチレベルパッケージ基板 101 の一部におけるトレースとダイランディングエリアの部分上面図を示す。

40

【0016】

マルチレベルパッケージ基板 101 は、4 つのレベル L1、L2、L3、及び L4 を含む。他の例において、マルチレベルパッケージ基板は、任意の整数の 2 又はそれ以上のレベルを含む。個々のレベル L1 ～ L4 は、銅、アルミニウム、又は他の伝導性金属などの、パターン化された伝導性特徴を有する。コア誘電体層 102 が、対向する第 1 及び第 2 の側部を有する。第 1 のレベル L1 及び及び第 2 のレベル L2 は、コア誘電体層 102 の第 1 の側上又はその上 (例えば、図 1 及び図 1 A に示される向きで上側又は頂部側) に形成され、第 3 のレベル L3 及び及び第 4 のレベル L4 は、コア誘電体層 102 の第 2 の側

50

上又はその下（例えば、下側又は底部側）に形成される。第2のレベルL2は、それぞれ、直交する第1及び第2の方向X及びYの第2の平面において、コア誘電体層102の頂部側に延在する。コア誘電体層102及びレベルL1～L4は、第1及び第2の方向X及びYに直交する第3の方向Zに沿ってスタック構造に形成される。第1のレベルL1は、第1及び第2の方向X及びYの第2の平面において、第2のレベルL2上に延在する。第3のレベルL3は、第1及び第2の方向X及びYの第3の平面において、コア誘電体層102の底部側に延在する。第4のレベルL4は、第1及び第2の方向X及びYの第4の平面において、第3のレベルL3上に延在する。

【0017】

図1Aにおいて最もよく示されているように、コア誘電体層102は、第1及び第2の方向X及びYに直交する第3の方向Zに沿ってコア誘電体層102を介して延在する、伝導性めっきスルーホール103（例えば、銅、アルミニウム、又は他の伝導性金属）を含む。第2のレベルL2は、コア誘電体層102の頂部側に、第1の誘電体層104と、第1の伝導性トレース特徴106を備える第1のトレース層とを含む。第1の伝導性特徴106は、例えば10～25 μm の厚み107を有する。第2のレベルL2はまた、第1の伝導性トレース特徴106のそれぞれに接する、伝導性の第1のビア108を含む。一例において、第1の誘電体層104は圧縮成形されたラミネート層であり、圧縮成形されたラミネート層は、第2のレベルL2の異なる伝導性特徴の間及びそれらの周りに、並びに、マルチレベルパッケージ基板101内の隣接するレベルの間に、延在する。一例における様々なレベルの成形された誘電体特徴は、電気的絶縁誘電体材料、例えば、味の素ビルドアップフィルム（ABF）又はガラス繊維強化プリプレグ材料のようなフィルムであるか、又はそれを含む。それぞれのレベルにおける厚み及び誘電体材料は、所与の設計のための回路とその構成要素との間の所望の電圧分離に従った耐電圧を提供する。

【0018】

第1のレベルL1は、第2のレベルL2上の第2の伝導性トレース特徴110を備える第2のトレース層を含む。それぞれの第2の伝導性トレース特徴110の1つ又は複数が、第1の部分111と一層厚い第2の部分112とを有する段形状を有する。第1の部分111は、第3の方向Zに沿った第1の厚み113を有する。それぞれの第2の部分112は、第1の平面から離れて面する側部117（例えば、図1Aの図示された向きで上方を向く頂部側）を有する。それぞれの第2の部分112は、第3の方向Zに沿った第2の厚み114を有する。第2の厚み114は、第1の厚み113よりも厚く、第2の部分112の頂部側は、第1の部分111の頂部上方に距離115、例えば1～15 μm 、延在する。一例において、第1の厚み113は10～20 μm （例えば、15 $\mu\text{m} + / - 5 \mu\text{m}$ ）であり、第2の厚み114は、第1の厚み113よりも5～15 μm 大きい（例えば、追加の厚み距離115は10 $\mu\text{m} + / - 5 \mu\text{m}$ である）。一例における段形状の第2の伝導性トレース特徴110は、図1B～図1Dに関連して図示され、以下で更に説明されるように、トレースクラックを軽減又は回避するために、選択された高応力のエリア又は領域に形成される。

【0019】

電子デバイス100は、半導体ダイ120の導電端子へのはんだ接合のために、第2の伝導性トレース特徴110の第2の部分112の頂部側117の部分の上方に開口を備える、上側はんだマスク構造116を含む。はんだ接続はそれぞれの端子122をそれぞれの第2の部分112の頂部側117に電気的に結合するために伝導性はんだ124を用いる、ダイ120の伝導性端子122（例えば、銅ポスト又はバンプ）のフリップチップはんだ接続である。電子デバイス100はまた、ダイ120とマルチレベルパッケージ基板101の一部とを囲む、パッケージ構造128を含む。一例において、パッケージ構造128は、プラスチックなどの成形された材料であるか又はそれを含む。別の例において、パッケージ構造128は、セラミック材料であるか又はセラミック材料を含む。

【0020】

第3のレベルL3は、第3の誘電体層130と、コア誘電体層102の第2の（例えば

、底部）側に1つ又は複数の第3の伝導性トレース特徴132を備える第3のトレース層と、第3の伝導性トレース特徴132に接する伝導性の第2のビア134とを含む。一例において、マルチレベルパッケージ基板101は、第3の誘電体層130の底部側の部分を覆う第4のレベルL4における任意の第2の（例えば、底部）はんだマスク136を含む。第3の伝導性特徴132は、例えば10～25 μmの厚み137を有する。一例において、第3の誘電体層130は、第3のレベルL3の異なる伝導性特徴の間及びその周り、並びに、マルチレベルパッケージ基板101内の隣接するレベルの間、に延在する圧縮成形ラミネート層である。一例において、マルチレベルパッケージ基板101の成形された誘電体層104及び130は、MJ1 ABF RLF誘電性材料であるか又はそれを含み、パッケージ構造128は、エポキシ成形化合物（EMC）であるか又はそれを含む。

10

【0021】

第4のレベルL4は、1つ又は複数の第4の伝導性トレース特徴140を備える第4のトレース層を含む。第4の伝導性トレース特徴140のうちの1つ又は複数が、第1の部分141及び第2の部分142を有する。第4の伝導性トレース特徴140の第1の部分141は、第3の方向Zに沿った第3の厚み143を有し、第4の伝導性トレース特徴140の第2の部分142は、第3の方向Zに沿った第4の厚み144を有する。第4の伝導性トレース特徴140のそれぞれの第2の部分142は、第3の平面から離れて（例えば、図1Aの向きで下方）に面する第2の側部147を有する。第4の厚み144は、それぞれの第4の伝導性トレース特徴140の第3の厚み143よりも大きい。マルチレベルパッケージ基板101は、第4の伝導性トレース特徴140のそれぞれの第2の側部147（例えば、ランディングパッド）に取り付けられた1つ又は複数のはんだボール146を有し、印刷回路基板（図示せず）などのホストシステムへの電子デバイス100のはんだ付けを可能にする。

20

【0022】

第4の厚み144は、第3の厚み143よりも厚く、第2の部分142の頂部側は、第1の部分141の頂部上方に距離145、例えば1～15 μm、延在する。一例において、第3の厚み143は、10～20 μm（例えば、15 μm+/-5 μm）であり、第4の厚み144は、第3の厚み143よりも5～15 μm大きい（例えば、追加の厚み距離145は10 μm+/-5 μmである）。一例における段形状の第4の伝導性トレース特徴140は、図1B～図1Dに関連して図示され、以下で更に説明されるように、トレースクラックを軽減又は回避するために、選択された高応力エリア又は領域に形成される。

30

【0023】

或る実装において、パッケージ化された電子デバイス100は、動作中の熱放散のために、銅又は他の熱的及び電氣的伝導性金属などの、任意の伝導性蓋構造（例えば、後述の図15及び図16）を含むことができる。任意選択の蓋は、用いられる場合、ダイ120の頂部側の上に延在し得、任意選択で、例えば接着性熱界面材料を介して、ダイ120の頂部側に接することができる。

【0024】

一例において、図1A及び図1Bに示されるように、電子デバイスの1つ又は複数の領域151、152、及び153が、例えば、動作中の熱サイクルによって引き起こされる、機械的応力を受ける可能性がある。基板トレースは、（以下に示されるように）FCBG Aパッケージのダイシャドウ領域のような高応力エリアにおいて、温度サイクル中の蓋と基板との結合に起因するダイエッジでのパッケージのたわみのために、クラックの影響を受けやすいことがある。これは、ダイ120、マルチレベルパッケージ基板101、任意の含まれる蓋、及びパッケージ構造128などの、隣り合う構造の熱膨張係数（CTE）の不一致によって引き起こされ得る。

40

【0025】

図1A及び図1Bは、ダイ120の横方向側部に近接するダイシャドウ領域内又はその付近の伝導性基板トレース上に高い熱誘起応力を有する、例示の第1の領域151及び1

50

52を示す。一実装において、第2の伝導性特徴110は、ダイ120の横方向側部に近接する第1のレベルL1の第1の領域151及び／又は152の一方又は両方に、第1の部分111及び第2の部分112を有する段形状を備えて提供される。トレースクラックを軽減又は回避するために、異なるデバイス設計が、任意の識別又は選択されたエリア内に段形状の第2の伝導性特徴110を選択的に含むことができる。図1Aは更に、応力及び基板トレースクラックに対する高い感受性を有する第4のレベルL4の第2の領域153を示し、図示の例は、マルチレベルパッケージ基板101におけるトレースクラックを軽減又は回避するために、第4のレベルL4の第2の領域153に配置された第1及び第2の部分141及び142を有する段形状の第4の伝導性トレース特徴140を含む。

【0026】

記載された例は、例えば、パッケージ化された電子デバイス100の高応力領域において、同じトレース層内の銅又は他のトレース金属の一層厚い部分112及び／又は142の選択的設計によって、基板トレースクラックを軽減又は回避するための解決策を提供する。他の例において、マルチレベルパッケージ基板101内の1つ又は複数のトレース層が、デバイス動作中の応力を軽減するために選択的に配置された、3つ又はそれ以上の厚みを有する段形状の伝導性特徴を有する。これらの解決策は、例えば、ダイシャドウ領域に近接して又はダイシャドウ領域に沿って、及びダイコーナ及びその周辺に沿った隣接するエリアにおいて、識別される又は疑わしいCTE不整合構造関係に合わせて所与の設計が調整されることを可能にし、基板トレースは、これらの位置における一層高いトレース密度に起因してクラックすることが分かっている。後述するように、段形状の伝導性トレース特徴は、クラック伝搬経路を最大化するためにZ方向の高さを増加させることによって伝導性トレースの断面積を選択的に高めるか又は厚くするために、基板製造において用いられる既存のリソグラフィプロセスを用いて製造することができる。この例において、応力を緩和し、一層堅牢なチップ-パッケージ相互作用を可能にするために、一層厚い（例えば、一層高い）銅厚みが、そのパッケージ内の高応力エリアに戦略的に配置される。更なる利点は、選択的に増加された基板トレース導体の厚みが、さもなければ一層高いCTE有機ABF誘電体が配置されるエリアを変位させ（例えば、誘電体層又はんだマスクのエリアを変位させ）、これにより、マージンを拡張するために用いられる銅の一層高い体積に基づく局所化されたCTE不整合を改善されることである。

【0027】

図1Bは、マルチレベルパッケージ基板101のそれぞれのランディングエリア又は側部117にフリップチップはんだ付けされたダイ120を有するデバイス100の上面図を示し、2つの例示の第1の領域151及び152を示し、第2のレベルは、第1の部分111と一層厚い第2の部分112とを備える段形状を有する1つ又は複数の第2の伝導性トレース特徴110を含む。図1Cは、領域152内の図1Bのマルチレベルパッケージ基板101の頂部側の一部を図示する。この部分は、第1及び第2の部分111及び112を備える段形状を有するいくつかの例示のトレース110を含み、第1の領域152における高いトレース密度及びランディングエリア密度を図示する。図1Dは、図1Cの領域の一部の更なる詳細を示し、配路されたトレース特徴と、はんだ124の下第2の部分112のランディングエリア側部との間の狭い間隔を更に図示する。

【0028】

図1に示されるように、第2の側部147によって形成されるランディングパッドは、円形形状を有し、はんだボール146の取り付けを促進するために、第4のレベルL4のパターン化された伝導性特徴を含む。電子デバイス100は、マルチレベルパッケージ基板101に関連する性能上の優位性と相まって、FCBGAデバイスのための既存のPCBレイアウト設計に対する互換性を提供する。これは、既存のPCBの再設計を必要とすることなく、改善された電子デバイス性能を促進する。

【0029】

また、図2～図14を参照すると、図2は、電子デバイスを製造する方法200を示し、図3～図14は、方法200に従った製造を経るパッケージ化された電子デバイス10

10

20

30

40

50

0を示す。方法200は、開始コア層の両方の側に構築された層を備える例として説明される。様々な実装において、層は、底部及び頂部上に同時に構築することができ、又は一方の側（例えば、頂部又は底部）をまず構築し、その後、他方の側に1つ又は複数の層を作製することができる。方法200は、201～204において、コア誘電体層102の頂部側に第2のレベルL2を形成することと、第2のレベルL2上に第1のレベルL1を形成することを含む。図3～図6は、第2のレベルL2の形成を示し、第2のレベルL2は、一例において、第3のレベルL3と同時に形成され、その詳細は図3～図10に示されていない。図2の201において、図3に示されるように、伝導性のめっきスルーホール103が、コア誘電体層102を介して形成される。第2のレベル形成は、図2の202において、コア誘電体層102の両方の側に、パターン化されたトレース層を形成することによって開始し、これは、コア誘電体層102の頂部側の第1のトレース層の第1の伝導性トレース特徴106を厚み107（例えば、10～25 μm）まで形成することを含み、第3のレベルのパターン化された第3のトレース層は、コア誘電体層102の底部側に同時に形成される。図3は、パターン化されためっきマスク（図示せず）を用いて電気めっき処理300が行われる一例を示す。別の例において、第2のレベルL2は、ブランケット堆積及びエッチング工程によって形成され得る。203において、パターン化された第1のトレース層の上に第1のラミネート誘電体層が形成される（そして、第3の誘電体層が底部側（図4には図示せず）に形成される）。図4は、第1の伝導性トレース特徴106及びコア誘電体層102の上に第1の誘電体層104を形成する堆積プロセス400が行われる一例を示す。一例において、プロセス400は、圧縮成形ラミネート誘電体層104を形成する圧縮成形動作であり、これにより、第2のレベルL2の異なる伝導性トレース特徴106の間及びその周りに延在し、第2のレベルL2の頂部側が形成される。

10

20

30

40

50

【0030】

第2のレベルL2のビア108は、204及び205で形成される。204において、例えば、第1の誘電体層104の頂部側にビア開口502を形成する図5のレーザー穿孔プロセス500を用いて、誘電体層104の上側部分を介したビア開口又は孔が形成されて、第1のトレース層の第1の伝導性トレース特徴106のうちの選択されたものの一部が露出される。205において、伝導性ビア108が、例えば、上側及び下側誘電体層上並びにビア開口502の底部及び側壁においてシード層（例えば、銅）601を形成する図6に示される堆積プロセス600を用いて、開口502内に形成される。ビア処理は、開口502を充填するブランケット堆積と、平坦化工程（図示せず）とを含むことができる。別の例において、マスク電気めっき動作を行なって伝導性ビア108を形成し、その後、マスク除去、及び圧縮成形プロセスが続く。一例において、圧縮成形プロセスは、成形された誘電体特徴104を、第1のトレース層の伝導性トレース特徴106と第2のレベルL2のビア108との露出部分上に、第1のトレース層及び第1のビア層を覆う初期厚みまで形成し、その後、成形された誘電性材料104の上側部分を研削し、ビア108の上側部分を露出させる、研削プロセスが続く。別の例において、化学的エッチングが用いられる。更なる例において、化学機械研磨プロセスが用いられる。

【0031】

図7～図11も参照すると、第1のレベルL1は、図2の206～211で形成される。206において、第1のめっきマスクが、第1のラミネート誘電体層104及びシード層601上に形成され、パターン化される。図7は、第2のレベルL2上に第1のマスク702を形成し、パターン化するプロセス700が行われる一例を示す。第1のマスク702は、第2の伝導性特徴110の第1の部分111が形成されるべき第2のレベルL2上のシード層601の第1の部分を露出させる。207において、第2の伝導性トレース特徴110の第1の部分111は、第1のめっきマスク702の開口において第1の厚みまで形成される。図8は、第2の伝導性トレース特徴110（例えば、銅）の第1の部分111を、第1のめっきマスク702の開口において第2のレベルL2のシード層601の露出された第1の部分上に第1の厚み（113）まで形成する電気めっきプロセス800が行われる一例を示す。次いで、第1のめっきマスク702は、図2の208で除去さ

れる。

【0032】

209において、第2のレベルL2の第1のラミネート誘電体層104上、及び第2の伝導性トレース特徴110の第1の部分111の一部上、並びに、図示しない底部側に、第2のめっきマスクが形成され、パターン化される。図9は、第2の伝導性トレース特徴110の第2のレベルL2と第1の部分111の一部との上に、第2のマスク902を形成し、パターン化するプロセス900が行われる一例を示す。第2のマスク902は、第2の部分112が形成されるべき第2の伝導性トレース特徴110の第1の部分111の第2の一部を露出させる。210において、第2の伝導性トレース特徴110の第2の部分112は、第2のマスク902を用いて、第1の部分111の露出された第2の一部上に形成される。図10は、第2のマスク902を用いて、第2の伝導性トレース特徴110の第1の部分111の露出された第2の一部上に第2の伝導性トレース特徴110の第2の部分112を形成する電気めっきプロセス1000が行われる一例を示す。第2のめっきマスク902はその後、除去され、211において、残りのシード層がエッチングされる。一例において、212で、頂部側はんだマスク116及び底部側はんだマスク136が形成される。図11は、第2の伝導性トレース特徴110の第2の部分112の頂部側117の一部の上に開口1102を備えるはんだマスク構造116を形成する堆積プロセス1100が行われる一例を示し、プロセス1100は、開口1101を備える底部側はんだマスク136を同時に形成する。一例において、堆積プロセス1100は印刷プロセスである。

10

20

【0033】

方法200は、図2の213において、半導体ダイ120の端子122を第2の伝導性トレース特徴110の第2の部分112の頂部側に電氣的に結合するために、ダイ取り付け及びはんだ付け又は他の電氣的接続プロセスで継続する。図12は、フリップチップダイ取り付け及びはんだ電氣的接続プロセス1200が行われる一例を示し、このプロセスでは、はんだ124を用いて、半導体ダイ120の伝導性端子122をそれぞれの第2の伝導性トレース特徴110の第2の部分112の頂部側に電氣的に結合する。図示の電氣的接続の例には、半導体ダイ120の伝導性端子122の底部側にはんだが適用（例えば、浸漬又はその他の方式で堆積）され、半導体ダイ120が、第2の伝導性トレース特徴110の第2の部分112の頂部側のそれぞれのランディングエリア上又はその上にそれぞれの端子122とともに配置される、フリップチップはんだ付けが含まれる。ダイ端子122をランディングエリア101にはんだ付けする熱はんだリフロープロセスが行われる。

30

【0034】

方法200は、パッケージ成形を用いて図2の214で継続する。図13は、マルチレベルパッケージ基板101の一部とダイ120とをパッケージ構造128内に封入する成形プロセス1300が行われる一例を示す。一例において、下側はんだマスク136が、任意選択でパッケージ成形後に215で形成される。図2の216において、この方法200は、はんだボール146を第4の伝導性トレース特徴140の底部側に取り付けることも含む。図14は、第4の伝導性トレース特徴140の第2の部分142の伝導性ランディングパッドの第2の側部147にはんだボール146を取り付ける、ボール取り付けプロセス1400が行われる一例を示す。

40

【0035】

次に、図2の217において、ソーイング、レーザー切断などの、パッケージ分離プロセス（図示せず）が行われる。上記図1～図1Dは、例示の完成した電子デバイス100を示す。別の例において、212又は215ではんだマスク形成、並びに、216でのボール取り付けプロセスは省かれ、第4の伝導性トレース特徴140の第2の部分142の伝導性ランディングパッドの第2の側部147の露出された底部側が、例えば、はんだペーストを用いて、ホストPCB（図示せず）にはんだ付けされ得、又は電子デバイス100は、ホストPCBのソケットに設置され得、又は、例えば、ランドグリッドアレイ（

50

LGA) 応用例において、他の適切な取り付け技法によって接続され得る。別の実装において、はんだボールを取り付ける代わりに、はんだパッド (図示せず) が、マルチレベルパッケージ基板 101 上の伝導性ランディングパッドの第 2 の側部 147 に取り付けられ、後の、ホスト PCB へのはんだ付け又はホスト PCB のソケット (図示せず) への取り付けを促進する。

【0036】

図 15 は、段形状の基板トレース伝導性トレース特徴 110 及び 140 を備える上述のような構造を有する、別のフリップチップボールグリッドアレイパッケージ化電子デバイス 1500 を示す。この例の電子デバイス 1500 は、接着性熱界面材料 1502 (TIM) を用いてダイ 120 の頂部側に取り付けられた底部側と、接着性熱界面材料 1503 を用いてマルチレベルパッケージ基板 101 の頂部側の外側部分に取り付けられた脚部と、を備える伝導性蓋 1501 を含む。一例において、パッケージ化された電子デバイス 1500 は、伝導性端子 122 の周りのダイ 120 とマルチレベルパッケージ基板 101 との間の空間を充填するアンダーフィル材料 1506 を含む。

10

【0037】

図 16 は、段形状の基板トレース伝導性トレース特徴 110 及び 140 を備える上述のような構造を有する、別のフリップチップボールグリッドアレイパッケージ化電子デバイス 1600 を示す。この例における電子デバイス 1600 は平坦な伝導性蓋 1601 を含み、伝導性蓋 1601 は、接着性熱界面材料 1602 (TIM) を用いてダイ 120 の頂部側に取り付けられ、スペーサ 1603 を用いてマルチレベルパッケージ基板 101 の頂部側の外側部分に取り付けられた底部側を備える。一例において、パッケージ化電子デバイス 1600 は、伝導性端子 122 の周りのダイ 120 とマルチレベルパッケージ基板 101 との間の空間を充填するアンダーフィル材料 1606 を含む。

20

【0038】

記載される例は、高応力領域のエリア (例えば、頂部側のダイシャドウ領域 151 及び 152 及び/又は底部側の第 2 の領域 153) に合わせることができ、基板トレースクラックに対する解決策を提供し、段形状の伝導性トレース特徴は、強化された基板トレース完全性強度が役立つ特定の又は隔離されたエリアにおいて設計され得る。例示の実装は、一層薄いトレース特徴と比較して、応力方向に依存する応力の低減 (例えば、応力の 25% 低減) のために、高温 (例えば、125℃) でのデバイス動作及び広い熱範囲 (例えば、-40℃~125℃) にわたる動作に適応するための堅牢な基板トレースを提供する。記載される例は、既存の基板処理機器及びプロセスを用いたパッケージ化電子デバイス製造における実装を含む代替の解決策を超える利点を提供する。記載される解決策は、例えば、パッケージ化電子デバイス 100 の温度サイクル中の応力を低減するために、一層高い CTE ABF 誘電体を一層低い CTE 銅で置換することによって、マルチレベルパッケージ基板 101 との局所的な CTE 整合向上を促進する。同じレベル内の高応力エリアに特有の一層高いトレース層の戦略的配置は、新しい一層低い CTE 基板材料を用いる追加のコストなしに、Z 方向高さの増大に起因する亀裂伝搬を拡張することによって一層高い信頼性マージンを提供し、一層低いパッケージ応力への改善された局所的 CTE 整合を提供する。

30

40

【0039】

本願の特許請求の範囲内で、記載された例に改変が成され得、他の実装も可能である。

【図面】
【図 1】

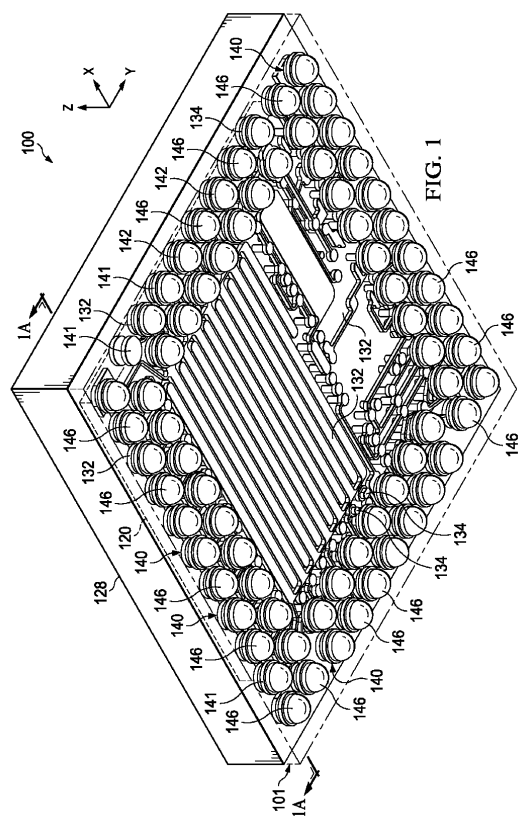


FIG. 1

【図 1 A】

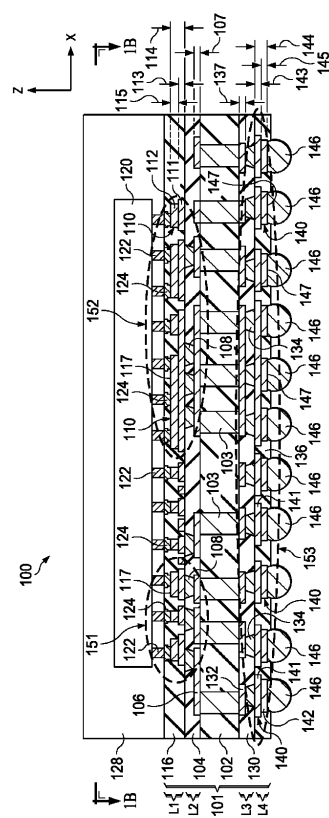


FIG. 1A

【図 1 B】

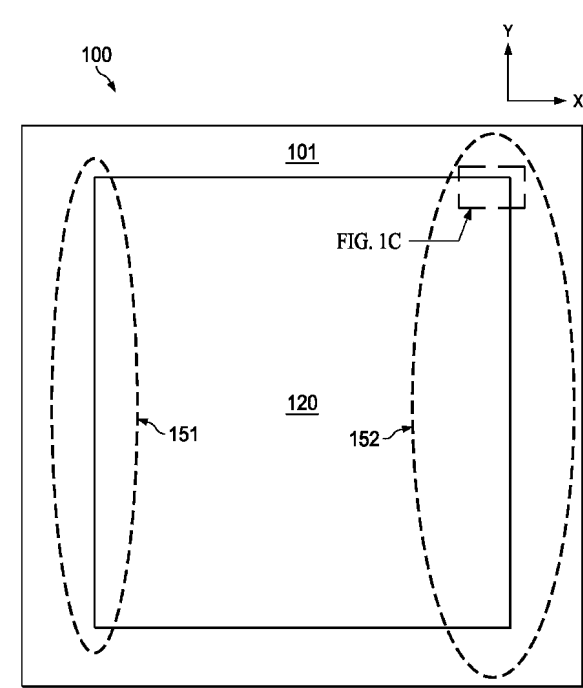


FIG. 1B

【図 1 C】

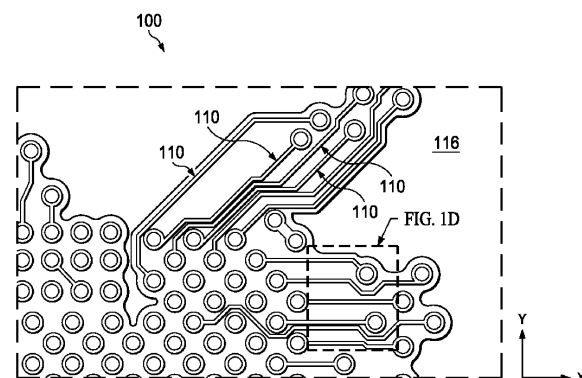


FIG. 1C

10

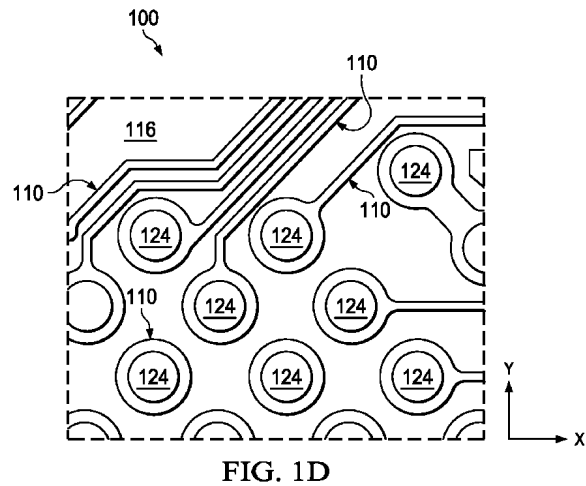
20

30

40

50

【図 1 D】



【図 2】

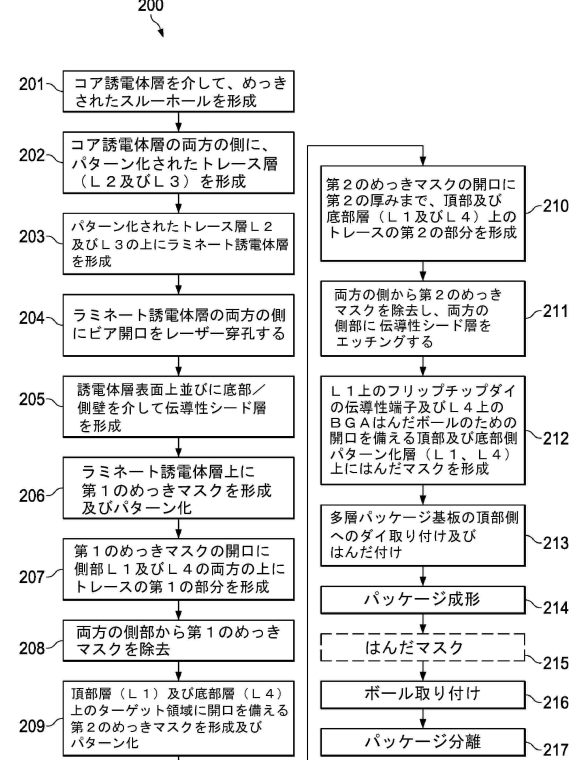
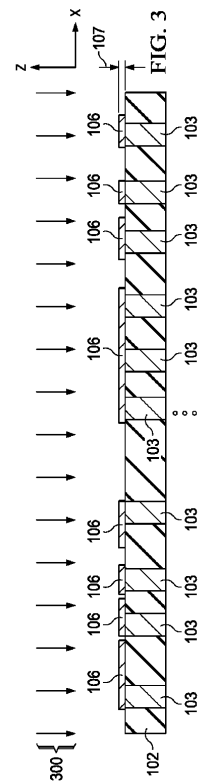
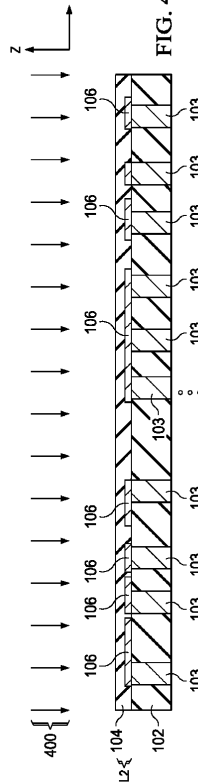


FIG. 2

【図 3】



【図 4】



10

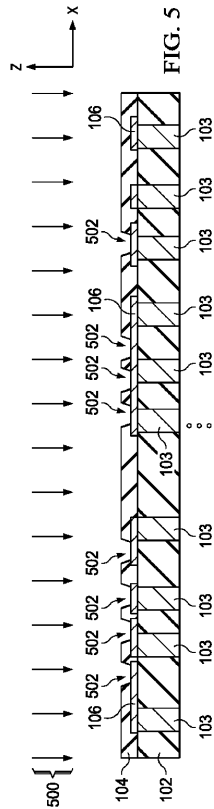
20

30

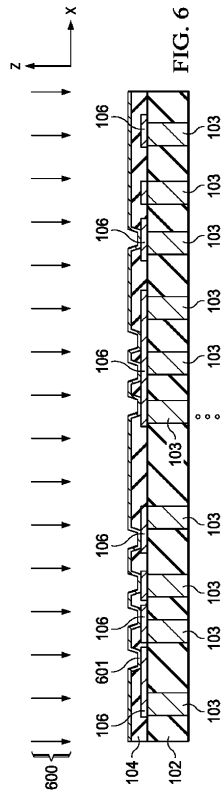
40

50

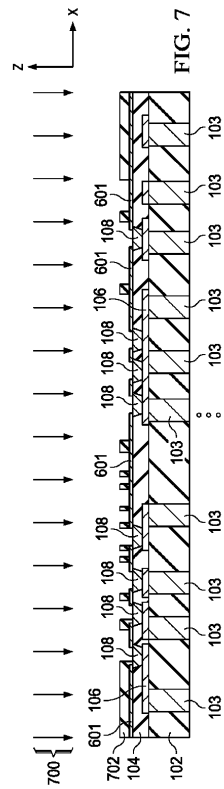
【図 5】



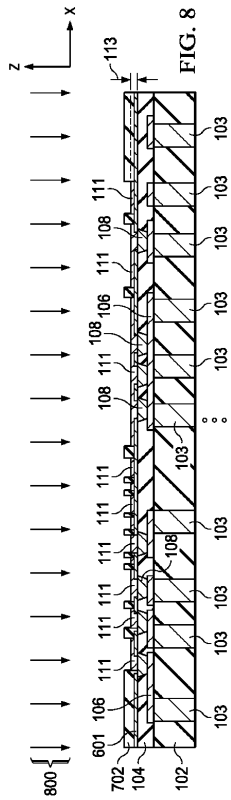
【図 6】



【図 7】



【図 8】



10

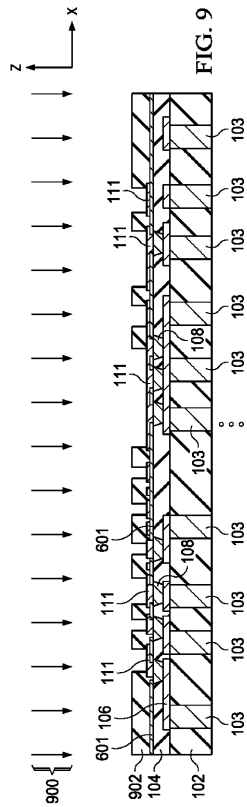
20

30

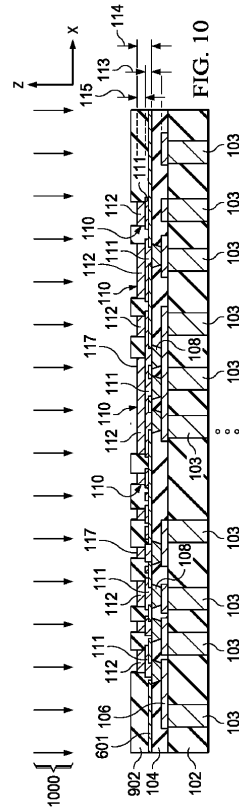
40

50

【圖 9】



【図 10】



【図 1 1】

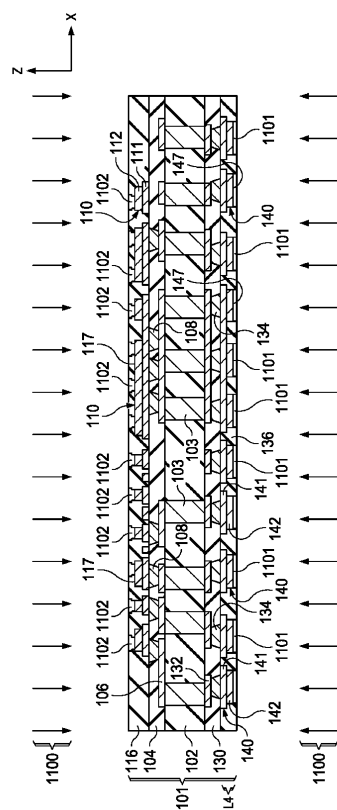


FIG. 11

【圖 12】

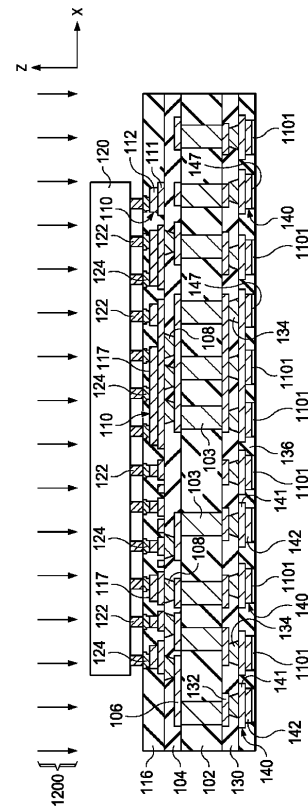


FIG. 12

【図 13】

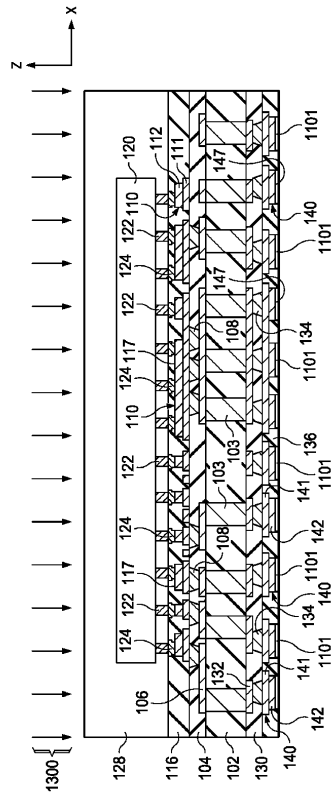


FIG. 13

【図 14】

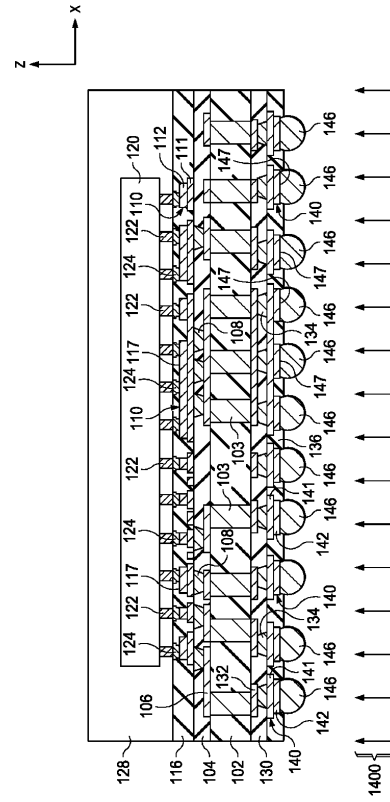


FIG. 14

【図 15】

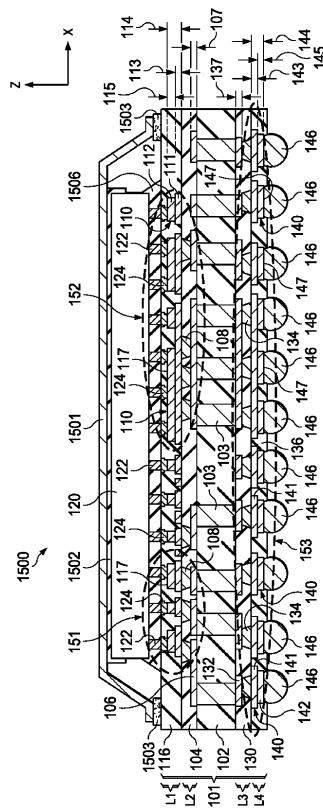


FIG. 15

【図 16】

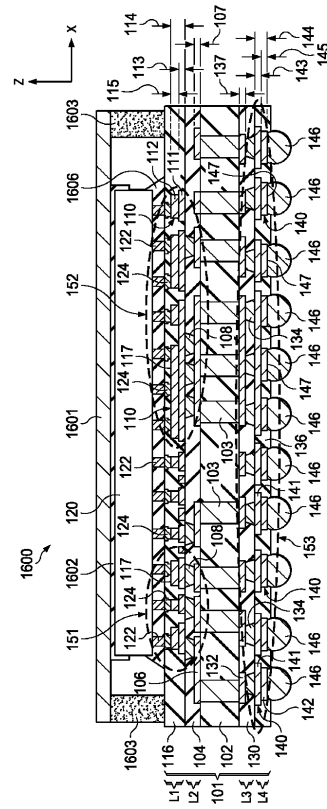


FIG. 16

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2022/054139
A. CLASSIFICATION OF SUBJECT MATTER H01L 23/498(2006.01)i; H01L 23/31(2006.01)i; H01L 23/12(2006.01)i; H01L 21/48(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/498(2006.01); H01L 21/48(2006.01); H01L 21/768(2006.01); H01L 23/00(2006.01); H01L 23/522(2006.01); H01L 23/538(2006.01); H05K 1/02(2006.01); H05K 1/11(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: package, substrate, level, trace, portion, thickness		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019-0393143 A1 (INTEL CORPORATION) 26 December 2019 (2019-12-26) paragraphs [0015]-[0127] and figures 1A-7	1-20
A	US 2014-0202740 A1 (NGK SPARK PLUG CO., LTD.) 24 July 2014 (2014-07-24) paragraphs [0043]-[0066] and figures 1-12	1-20
A	US 2014-0301058 A1 (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 09 October 2014 (2014-10-09) the entire document	1-20
A	US 2021-0098351 A1 (PHOENIX PIONEER TECHNOLOGY CO., LTD.) 01 April 2021 (2021-04-01) the entire document	1-20
A	US 2020-0006234 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 02 January 2020 (2020-01-02) the entire document	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 May 2023		Date of mailing of the international search report 09 May 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer KIM, Yeon Kyung Telephone No. +82-42-481-3325

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2022/054139

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2019-0393143	A1	26 December 2019	None			
US	2014-0202740	A1	24 July 2014	CN	102111968	A	29 June 2011
				CN	102111968	B	26 March 2014
				JP	2011-138869	A	14 July 2011
				KR	10-1375998	B1	19 March 2014
				KR	10-2011-0076804	A	06 July 2011
				TW	201132268	A	16 September 2011
				TW	1475940	B	01 March 2015
				US	2011-0155443	A1	30 June 2011
				US	8707554	B2	29 April 2014
US	2014-0301058	A1	09 October 2014	JP	2014-204005	A	27 October 2014
				JP	6162458	B2	12 July 2017
				US	9681546	B2	13 June 2017
US	2021-0098351	A1	01 April 2021	CN	112582370	A	30 March 2021
				TW	202114000	A	01 April 2021
				TW	1738069	B	01 September 2021
				US	11183447	B2	23 November 2021
US	2020-0006234	A1	02 January 2020	CN	109216219	A	15 January 2019
				CN	109216219	B	28 June 2022
				DE	102018106761	A1	10 January 2019
				KR	10-2019-0005728	A	16 January 2019
				KR	10-2148909	B1	15 October 2020
				TW	201907500	A	16 February 2019
				TW	1713129	B	11 December 2020
				US	10867924	B2	15 December 2020
				US	11456257	B2	27 September 2022
				US	2019-0013273	A1	10 January 2019
				US	2022-0375843	A1	24 November 2022

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX
,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(72)発明者 鈴木 豊

アメリカ合衆国 7 5 0 1 3 テキサス州 アレン, グリーンウィッチ ドライブ 1 4 2 8

F ターム (参考) 5E316 AA02 AA15 AA32 AA35 AA43 BB15 CC04 CC08 CC32 CC34
DD24 EE33 FF05 FF07 FF14 GG15 GG17 HH11 JJ02
5E338 AA03 AA16 BB13 BB25 CD02 CD05 EE28