

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5431992号
(P5431992)

(45) 発行日 平成26年3月5日(2014.3.5)

(24) 登録日 平成25年12月13日(2013.12.13)

(51) Int.Cl.

F I

H O 3 K 17/693 (2006.01)

H O 3 K 17/693 B

H O 1 L 21/8238 (2006.01)

H O 1 L 27/08 3 2 1 L

H O 1 L 27/092 (2006.01)

H O 1 L 27/08 3 2 1 D

請求項の数 3 (全 9 頁)

(21) 出願番号 特願2010-26931 (P2010-26931)
 (22) 出願日 平成22年2月9日(2010.2.9)
 (65) 公開番号 特開2011-166449 (P2011-166449A)
 (43) 公開日 平成23年8月25日(2011.8.25)
 審査請求日 平成24年12月11日(2012.12.11)

(73) 特許権者 000002325
 セイコーインスツル株式会社
 千葉県千葉市美浜区中瀬1丁目8番地
 (74) 代理人 100154863
 弁理士 久原 健太郎
 (74) 代理人 100142837
 弁理士 内野 則彰
 (74) 代理人 100123685
 弁理士 木村 信行
 (72) 発明者 小野 貴士
 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
 審査官 船越 亮

最終頁に続く

(54) 【発明の名称】 トランスミッションゲート及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

入力端子から入力された入力電圧を出力端子から出力するトランスミッションゲートであって、

前記入力電圧に所定電圧が加算された第一電圧を出力する第一レベルシフタと、
 前記入力電圧から前記所定電圧が減算された第二電圧を出力する第二レベルシフタと、
 前記第一電圧と前記第二電圧が入力され、前記第一電圧と前記第二電圧を切替えて相補的に出力する第一出力端子と第二出力端子を有するゲート電圧選択回路と、

前記第一出力端子がゲートに接続されたPMOSトランジスタと、

前記第二出力端子がゲートに接続されたNMOSトランジスタと、を備え、

前記PMOSトランジスタと前記NMOSトランジスタは、ゲート長とゲート幅とゲート酸化膜厚と閾値電圧の絶対値とが等しい、ことを特徴とするトランスミッションゲート。

【請求項2】

前記第一レベルシフタは、前記入力電圧がゲートに入力された第二のPMOSトランジスタを有し、

前記第二レベルシフタは、前記入力電圧がゲートに入力された第二のNMOSトランジスタを有し、

前記第二のPMOSトランジスタと前記第二のNMOSトランジスタは、閾値電圧の絶対値とオーバードライブ電圧が等しく、

10

20

前記所定電圧は、該閾値電圧の絶対値と該オーバードライブ電圧の和である、ことを特徴とする請求項 1 記載のトランスミッションゲート。

【請求項 3】

請求項 1 または 2 に記載のトランスミッションゲートを備えた半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランスミッションゲート及び半導体装置に関する。

【背景技術】

【0002】

従来のトランスミッションゲートについて説明する。図 8 は、従来のトランスミッションゲートを示す回路図である。

【0003】

トランスミッションゲートは、PMOS トランジスタ 91 及び NMOS トランジスタ 92 によって構成される。これらのトランジスタは、ゲートを相補的な信号で制御されることにより、同時にオン・オフする。PMOS トランジスタ 91 のゲートにローレベルが入力され、NMOS トランジスタ 92 のゲートにハイレベルが入力されることによって、トランスミッションゲートは導通になる。そして、トランスミッションゲートは入力電圧 V_{in} を出力電圧 V_{out} として出力する。

【0004】

ここで、PMOS トランジスタ 91 のゲート・ソース間容量を $C_{gs p}$ 、NMOS トランジスタ 92 のゲート・ソース間容量を $C_{gs n}$ 、出力端子寄生容量を C_h 、PMOS トランジスタ 91 の閾値電圧を $-V_{tp}$ 、NMOS トランジスタ 92 の閾値電圧を V_{tn} とする。また、PMOS トランジスタ 91 のゲートへ印加する電圧振幅を V_5 、NMOS トランジスタ 92 のゲートへ印加する電圧振幅を V_4 とする。トランスミッションゲートは、次式 (11) が成立するように設定したときに、クロックフィードスルーの影響が低減され、高 S/N 特性を実現することができる (例えば、特許文献 1 参照)。

$$(V_5 - V_{out} - V_{tp}) \cdot C_{gs p} / (C_{gs p} + C_h) \\ = (V_4 - V_{out} - V_{tn}) \cdot C_{gs n} / (C_{gs n} + C_h) \cdots (11)$$

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 07 - 169292 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、従来の技術では、式 11 を満足するための前提は、入力電圧 V_{in} が一定電圧 (例えば、 $(V_{DD} + V_{SS}) / 2$) であって、変化しないことである。すなわち、入力電圧 V_{in} が変化し出力電圧 V_{out} が変化すると、式 (11) が成立しなくなる。従って、クロックフィードスルーの影響で S/N 特性が悪くなる。

【0007】

本発明は、上記課題に鑑みてなされ、様々な入力電圧に対応して高 S/N 特性を実現できるトランスミッションゲートを提供する。

【課題を解決するための手段】

【0008】

本発明は、上記課題を解決するため、トランスミッションゲートにおいて、入力電圧をドレインから入力され、前記入力電圧から所定電圧が減算された第一電圧をゲートに入力されると、オンし、前記入力電圧を出力電圧としてソースから出力する PMOS トランジスタと、前記 PMOS トランジスタと等しいゲート長とゲート幅とゲート酸化膜厚と閾値電圧の絶対値とを有し、前記入力電圧をドレインから入力され、前記入力電圧に前記所定

10

20

30

40

50

電圧が加算された第二電圧をゲートに入力されると、オンし、前記入力電圧を前記出力電圧としてソースから出力するN M O Sトランジスタと、を備えることを特徴とするトランスミッションゲートを提供する。

【発明の効果】

【0009】

本発明のトランスミッションゲートは、トランスミッションゲートを構成するM O Sトランジスタのゲート電圧が入力電圧に基づいた電圧によって制御されるので、クロックフールドスルーの影響が低減でき、様々な入力電圧に対応して高S / N特性を実現できる。

【図面の簡単な説明】

【0010】

10

【図1】本実施形態のトランスミッションゲートを示す回路図である。

【図2】第一レベルシフタを示す回路図である。

【図3】第二レベルシフタを示す回路図である。

【図4】ゲート電圧選択回路を示す回路図である。

【図5】ゲート電圧選択回路を示す回路図である。

【図6】ゲート電圧選択回路を示す回路図である。

【図7】レベルシフタの他の例を示す回路図である。

【図8】従来のトランスミッションゲートを示す回路図である。

【発明を実施するための形態】

【0011】

20

以下、本発明の実施形態を、図面を参照して説明する。

【0012】

まず、トランスミッションゲートの構成について説明する。図1は、本実施形態のトランスミッションゲートを示す回路図である。

【0013】

トランスミッションゲート10は、P M O Sトランジスタ11、N M O Sトランジスタ12、第一レベルシフタ13、第二レベルシフタ14、及び、ゲート電圧選択回路15を備える。また、トランスミッションゲート10は、入力端子I N、出力端子O U T、及び、制御端子C N Tを備える。

【0014】

30

ゲート電圧制御回路15の入力端子I N 1は第一レベルシフタ13の出力端子に接続され、第二入力端子I N 2は第二レベルシフタ14の出力端子に接続され、制御端子C N Tはトランスミッションゲート10の制御端子C N Tに接続され、第一出力端子O U T 1はP M O Sトランジスタ11のゲートに接続され、第二出力端子O U T 2はN M O Sトランジスタ12のゲートに接続される。P M O Sトランジスタ11及びN M O Sトランジスタ12のソースはトランスミッションゲート10の出力端子にそれぞれ接続され、ドレインはトランスミッションゲート10の入力端子にそれぞれ接続される。第一レベルシフタ13及び第二レベルシフタ14の入力端子はトランスミッションゲート10の入力端子にそれぞれ接続される。

【0015】

40

次に、第一レベルシフタ13の構成について説明する。図2は、第一レベルシフタを示す回路図である。

【0016】

第一レベルシフタ13は、電流源21、及び、P M O Sトランジスタ22を備える。P M O Sトランジスタ22のゲートは第一レベルシフタ13の入力端子に接続され、ソースは第一レベルシフタ13の出力端子に接続され、ドレインは接地端子に接続される。電流源21は、電源端子と第一レベルシフタ13の出力端子との間に設けられる。

【0017】

次に、第二レベルシフタ14の構成について説明する。図3は、第二レベルシフタを示す回路図である。

50

【 0 0 1 8 】

第二レベルシフタ 1 4 は、電流源 3 1、及び、N M O S トランジスタ 3 2 を備える。N M O S トランジスタ 3 2 のゲートは第二レベルシフタ 1 4 の入力端子に接続され、ソースは第二レベルシフタ 1 4 の出力端子に接続され、ドレインは電源端子に接続される。電流源 3 1 は、第二レベルシフタ 1 4 の出力端子と接地端子との間に設けられる。

【 0 0 1 9 】

次に、ゲート電圧選択回路 1 5 の構成について説明する。図 4 は、ゲート電圧選択回路を示す回路図である。

【 0 0 2 0 】

ゲート電圧選択回路 1 5 は、スイッチ 4 1 ~ 4 4、及び、インバータ 4 5 を備える。また、ゲート電圧選択回路 1 5 は、第一入力端子 I N 1、第二入力端子 I N 2、制御端子 C N T、及び、第一出力端子 O U T 1、第二出力端子 O U T 2 を備える。

10

【 0 0 2 1 】

スイッチ 4 1 は、ゲート電圧選択回路 1 5 の第一入力端子 I N 1 と第一出力端子 O U T 1 との間に設けられ、電圧 / V c によって制御される。スイッチ 4 2 は、ゲート電圧選択回路 1 5 の第二入力端子 I N 2 と第一出力端子 O U T 1 との間に設けられ、電圧 V c によって制御される。スイッチ 4 3 は、ゲート電圧選択回路 1 5 の第一入力端子 I N 1 と第二出力端子 O U T 2 との間に設けられ、電圧 V c によって制御される。スイッチ 4 4 は、ゲート電圧選択回路 1 5 の第二入力端子 I N 2 と第二出力端子 O U T 2 との間に設けられ、電圧 / V c によって制御される。インバータ 4 5 の入力端子はゲート電圧選択回路 1 5 の制御端子 C N T に接続される。インバータ 4 5 は、電圧 V c を入力され、電圧 / V c を出力する。スイッチ 4 1 ~ 4 4 は、例えば図 6 のように M O S トランジスタ 6 1 ~ 6 4 で構成される。

20

【 0 0 2 2 】

次に、トランスミッションゲート 1 0 の動作について説明する。

入力端子 I N の入力電圧 V i n は、第一レベルシフタ 1 3 の入力端子と第二レベルシフタ 1 4 の入力端子に入力される。

【 0 0 2 3 】

第一レベルシフタ 1 3 はソースフォロアであるので、P M O S トランジスタ 2 2 のソース電圧は電圧 (V i n + V s 1) になる。電圧 V s 1 は、P M O S トランジスタ 2 2 の閾値電圧 (- V t p) の絶対値とオーバードライブ電圧 V o 1 との合計電圧である。第一レベルシフタ 1 3 は、この電圧 (V i n + V s 1) を出力端子から出力する。

30

【 0 0 2 4 】

第二レベルシフタ 1 4 はソースフォロアであるので、N M O S トランジスタ 3 2 のソース電圧は電圧 (V i n - V s 2) になる。電圧 V s 2 は、N M O S トランジスタ 3 2 の閾値電圧 V t n とオーバードライブ電圧 V o 2 との合計電圧である。第二レベルシフタ 1 4 は、この電圧 (V i n - V s 2) を出力端子から出力する。

【 0 0 2 5 】

第一レベルシフタ 1 3 及び第二レベルシフタ 1 4 は、式 (1) ~ (3) が成立するようにそれぞれ設計される。

40

$$V_{tp} = V_{tn} \cdots (1)$$

$$V_{o1} = V_{o2} \cdots (2)$$

$$V_{s1} = V_{tp} + V_{o1} = V_{s2} = V_{tn} + V_{o2} \cdots (3)$$

ここで、制御端子 C N T にハイレベルの電圧 V c が入力されているとすると、電圧 / V c はローレベルになる。すると、スイッチ 4 2 及び 4 3 がオンし、スイッチ 4 1 及びスイッチ 4 4 がオフする。よって、ゲート電圧選択回路 1 5 は、第二入力端子 I N 2 の電圧 (V i n - V s 2) つまり電圧 (V i n - V s 1) を第一出力端子 O U T 1 から出力する。また、ゲート電圧選択回路 1 5 は、第一入力端子 I N 1 の電圧 (V i n + V s 1) を第二出力端子 O U T 2 から出力する。

【 0 0 2 6 】

50

従って、PMOSトランジスタ11はゲート電圧が電圧($V_{in} - V_{s1}$)になり、PMOSトランジスタ11のゲート・ソース間電圧 $V_{gs p}$ は次式(4)で表される。

$$V_{gs p} = -V_{s1} = -(V_{tp} + V_{o1}) \cdots (4)$$

PMOSトランジスタ11のゲート・ソース間電圧 $V_{gs p}$ は閾値電圧($-V_{tp}$)よりも低くなるので、PMOSトランジスタ11はオンする。

【0027】

また、NMOSトランジスタ12はゲート電圧が電圧($V_{in} + V_{s1}$)になり、NMOSトランジスタ12のゲート・ソース間電圧 $V_{gs n}$ は次式(5)で表される。

$$V_{gs n} = V_{s2} = V_{tn} + V_{o2} = V_{s1} = V_{tp} + V_{o1} \cdots (5)$$

NMOSトランジスタ12のゲート・ソース間電圧 $V_{gs n}$ は閾値電圧 V_{tn} よりも高くなるので、NMOSトランジスタ12はオンする。

10

【0028】

よって、トランスミッションゲート10は導通状態になり、出力端子OUTに入力電圧 V_{in} を出力電圧 V_{out} として出力する。

【0029】

次に、制御端子CNTにローレベルの電圧 V_c が入力されているとすると、電圧/ V_c はハイレベルになる。すると、スイッチ42~43がオフし、スイッチ41及びスイッチ44がオンする。よって、ゲート電圧選択回路15は、第一入力端子IN1の電圧($V_{in} + V_{s1}$)を第一出力端子OUT1から出力する。また、ゲート電圧選択回路15は、第二入力端子IN2の電圧($V_{in} - V_{s2}$)つまり電圧($V_{in} - V_{s1}$)を第二出力端子OUT2から出力する。

20

【0030】

従って、PMOSトランジスタ11は、ゲート電圧が電圧($V_{in} + V_{s1}$)になり、PMOSトランジスタ11のゲート・ソース間電圧 $V_{gs p}$ は次式(6)で表される。

$$V_{gs p} = V_{s1} = V_{tp} + V_{o1} \cdots (6)$$

PMOSトランジスタ11のゲート・ソース間電圧 $V_{gs p}$ は閾値電圧($-V_{tp}$)よりも高くなるので、PMOSトランジスタ11はオフする。

【0031】

また、NMOSトランジスタ12はゲート電圧が電圧($V_{in} - V_{s1}$)になり、NMOSトランジスタ12のゲート・ソース間電圧 $V_{gs n}$ は次式(7)で表される。

30

$$V_{gs n} = -V_{s2} = -(V_{tn} + V_{o2}) = -V_{s1} = -(V_{tp} + V_{o1}) \cdots (7)$$

NMOSトランジスタ12のゲート・ソース間電圧 $V_{gs n}$ は閾値電圧 V_{tn} よりも低くなるので、NMOSトランジスタ12はオフする。

【0032】

よって、トランスミッションゲート10は非導通になり、出力端子OUTに入力電圧 V_{in} を出力電圧 V_{out} として出力しない。

【0033】

ここで、トランスミッションゲート10は、PMOSトランジスタ11とNMOSトランジスタ12のゲート長とゲート幅とゲート酸化膜厚をそれぞれ等しくするようにする。すると、PMOSトランジスタ11のゲート・ソース間容量 $C_{gs p}$ とNMOSトランジスタ12のゲート・ソース間容量 $C_{gs n}$ とは等しくなる。また、式(1)より、PMOSトランジスタ11の閾値電圧 V_{tp} とNMOSトランジスタ12の閾値電圧 V_{tn} とは等しい。また、電圧 V_c がハイレベルのときは、式(4)~(5)よりPMOSトランジスタ11のゲート・ソース間電圧 $V_{gs p}$ の絶対値とNMOSトランジスタ12のゲート・ソース間電圧 $V_{gs n}$ とは等しい。

40

【0034】

上述のように構成したトランスミッションゲート10は、従来の技術で示した式(11)に基づく式(8)が成立するので、クロックフィードスルーの影響が低減し、高S/N特性が実現される。

50

$$\begin{aligned} & (|V_{gs p}| - |V_{tp}|) \cdot C_{gs p} / (C_{gs p} + C_h) \\ & = (V_{gs n} - V_{tn}) \cdot C_{gs n} / (C_{gs n} + C_h) \cdots (8) \end{aligned}$$

$C_{gs p}$ はPMOSトランジスタ11のゲート・ソース間容量、 $C_{gs n}$ はNMOSトランジスタ12のゲート・ソース間容量、 C_h は出力端子寄生容量である。

【0035】

また、式(2)と式(4)～(5)と式(8)とより、次式(9)が成立する。

$$C_{gs p} / (C_{gs p} + C_h) = C_{gs n} / (C_{gs n} + C_h) \cdots (9)$$

この式(9)は入力電圧 V_{in} に依存しない。すなわち、トランスミッションゲート10は、入力電圧 V_{in} の電圧値に関係なくクロックフィードスルーの影響が低減し、高S/N特性が実現される。

10

【0036】

このようにすると、トランスミッションゲート10を構成するMOSトランジスタのゲート電圧は入力電圧 V_{in} に基づいた電圧になることにより、入力電圧 V_{in} が変動してもクロックフィードスルーの影響が低減でき、高S/N特性を実現できる。

【0037】

なお、ゲート電圧選択回路15は図4の回路に限定されるものではなく、例えば図5のように構成した回路であっても良い。

【0038】

図5のゲート電圧選択回路は、PMOSトランジスタ51及び52、NMOSトランジスタ53及び54を備える。また、この回路は、第一入力端子IN1、第二入力端子IN2、制御端子CNT、及び、第一出力端子OUT1、第二出力端子OUT2を備える。

20

【0039】

PMOSトランジスタ51及びNMOSトランジスタ53は、電圧($V_{in} + V_{s1}$)を電源電圧として電圧($V_{in} - V_{s2}$)を接地電圧とした第一のインバータを構成する。PMOSトランジスタ52及びNMOSトランジスタ54は、電圧($V_{in} + V_{s1}$)を電源電圧として電圧($V_{in} - V_{s2}$)を接地電圧とした第二のインバータを構成し、第一のインバータの後段に設けられる。第一のインバータは、入力端子をゲート電圧選択回路15の制御端子CNTに接続され、出力端子をゲート電圧選択回路15の第一出力端子OUT1に接続される。第二のインバータは、入力端子をゲート電圧選択回路15の第一出力端子OUT1に接続され、出力端子をゲート電圧選択回路15の第二出力端子OUT2に接続される。

30

【0040】

また、第一レベルシフタ13及び第二レベルシフタ14は、電流源21及び電流源31を用いたが、図示しないが、抵抗を用いても良い。

【0041】

また、第一レベルシフタ13及び第二レベルシフタ14は、一例として図2及び図3に示す回路としたが、入力電圧 V_{in} を入力して $V_{in} \pm V_{s1}$ を出力する回路であればよい。例えば、図7に示すようにバッファアンプで構成しても良い。

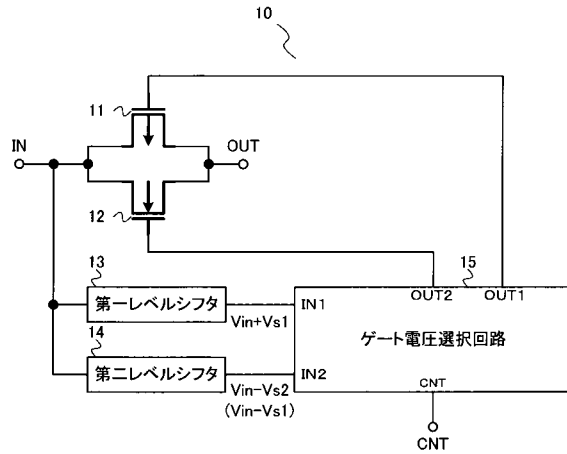
【符号の説明】

【0042】

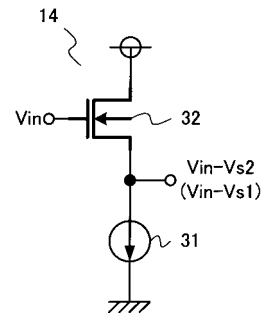
40

- 10 トランスミッションゲート
- 11 PMOSトランジスタ
- 12 NMOSトランジスタ
- 13 第一レベルシフタ
- 14 第二レベルシフタ
- 15 ゲート電圧選択回路
- 71 アンプ

【図 1】

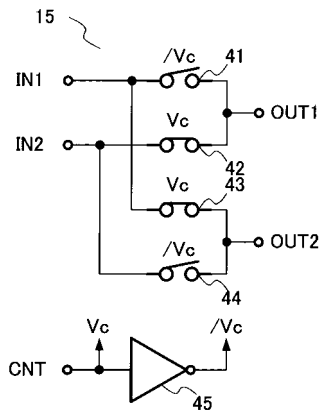
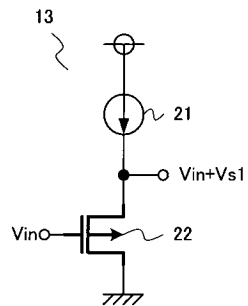


【図 3】

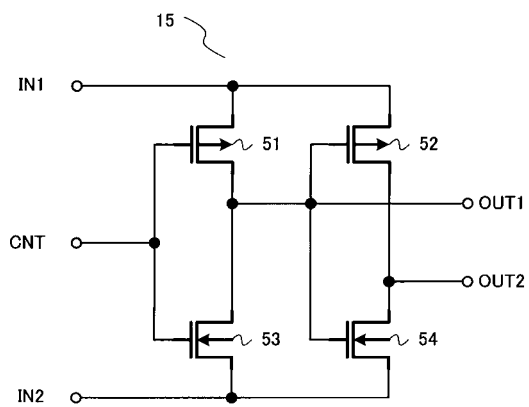


【図 4】

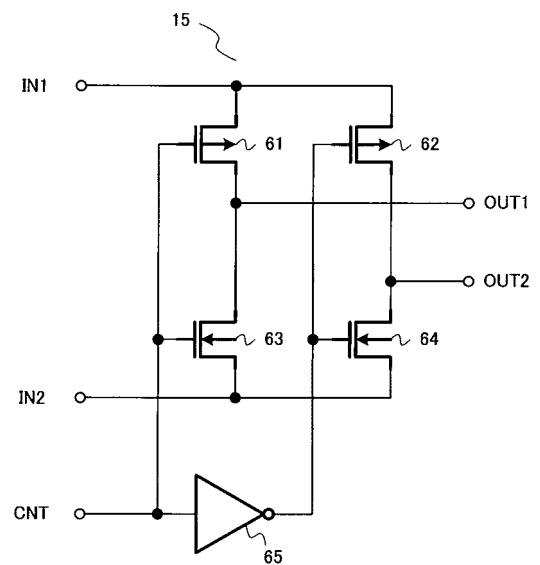
【図 2】



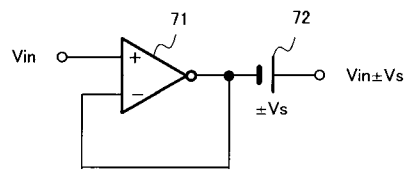
【図 5】



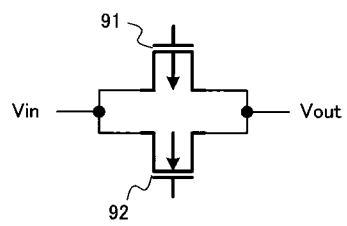
【図 6】



【図 7】



【図 8】



フロントページの続き

- (56)参考文献 特開2008-035153(JP,A)
特開2004-072425(JP,A)
特開平07-221642(JP,A)
特開平01-175410(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
H01L 21/8238
H01L 27/092