



(12) 发明专利申请

(10) 申请公布号 CN 115863250 A

(43) 申请公布日 2023.03.28

(21) 申请号 202211649776.7

H01L 21/763 (2006.01)

(22) 申请日 2015.11.24

H01L 29/06 (2006.01)

(30) 优先权数据

14/555,300 2014.11.26 US

(62) 分案原申请数据

201580063337.X 2015.11.24

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 B·胡 S·P·彭哈卡

J·B·雅各布斯

(74) 专利代理机构 北京纪凯知识产权代理有限

公司 11245

专利代理人 李英

(51) Int.Cl.

H01L 21/762 (2006.01)

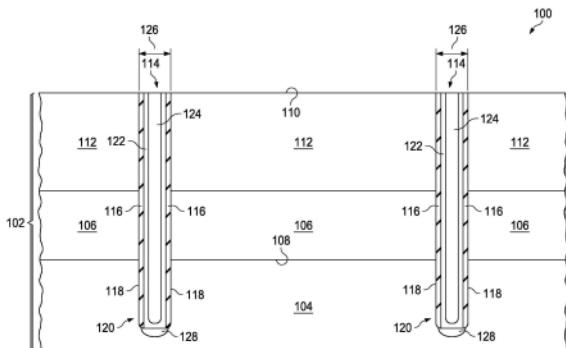
权利要求书3页 说明书5页 附图15页

(54) 发明名称

用于深沟槽填充的多夹层结构

(57) 摘要

本申请涉及用于深沟槽填充的多夹层结构。通过在衬底(102)中形成深沟槽(120)并在深沟槽(120)的侧壁(118)上形成介电内衬(116)来形成半导体器件(100)。第一未掺杂多晶硅层(122)在半导体器件(100)上形成，其延伸到介电内衬(116)上的深沟槽(120)中，但未填充深沟槽(120)。掺杂剂植入第一多晶硅层(122)中。第二多晶硅层(124)在第一多晶硅层(122)上形成。热驱动退火激活并使掺杂剂扩散。在一个版本中，在形成第一多晶硅层(122)之前，在深沟槽(120)的底部处移除介电内衬(116)，使得深沟槽(120)中的多晶硅(122)提供到衬底(102)的接触。在另一版本中，深沟槽(120)中的多晶硅(122)通过介电内衬(116)与衬底(102)隔离。



## 1. 一种半导体器件, 其包括:

衬底, 其包括具有第一导电类型的半导体材料、在所述半导体材料上方具有第二导电类型的埋层以及在所述埋层上方具有所述第一导电类型的外延层; 以及

所述衬底中的深沟槽结构, 其包括:

所述衬底中的至少10微米深的深沟槽;

介电内衬, 其设置于所述深沟槽的侧壁上;

第一多晶硅层, 其设置于所述介电内衬上并且延伸到所述深沟槽的底部; 以及

第二多晶硅层, 其设置于所述第一多晶硅层上并且延伸到所述深沟槽中,

其中掺杂剂以至少 $1 \times 10^{18} \text{ cm}^{-3}$ 的平均掺杂密度分布在整个所述第一多晶硅层和所述第二多晶硅层中, 并且

其中所述外延层具有 $5 \text{ ohm-cm}$ 至 $10 \text{ ohm-cm}$ 的电阻率。

2. 根据权利要求1所述的半导体器件, 其中所述介电内衬包括在所述侧壁上的热氧化物层以及在所述热氧化物层上的沉积二氧化硅层。

3. 根据权利要求1所述的半导体器件, 其中所述深沟槽结构在所述衬底中的深度是20微米至35微米。

4. 根据权利要求1所述的半导体器件, 其中所述第一多晶硅层具有150纳米至200纳米的厚度。

5. 根据权利要求1所述的半导体器件, 其中所述深沟槽结构的底部不具有所述介电内衬, 使得所述第一多晶硅层与所述衬底的所述半导体材料电接触。

6. 根据权利要求5所述的半导体器件, 其中所述深沟槽在所述埋层的底部表面下方延伸。

7. 根据权利要求1所述的半导体器件, 其中所述第一多晶硅层在所述深沟槽结构的底部通过所述介电内衬与所述衬底隔离。

## 8. 一种形成半导体器件的方法, 其包括:

提供衬底, 其包括具有第一导电类型的半导体材料、在所述半导体材料上方具有第二导电类型的埋层以及在所述埋层上方具有所述第一导电类型的外延层;

在所述衬底中形成至少10微米深的深沟槽;

在所述深沟槽的侧壁上形成介电内衬;

在所述介电内衬上形成第一多晶硅层, 使得所述第一多晶硅层延伸到所述深沟槽中, 所述第一多晶硅层形成为未掺杂层;

将掺杂剂植入所述第一多晶硅层中;

在所述第一多晶硅层上形成第二多晶硅层, 使得所述第二多晶硅层延伸到所述深沟槽中, 所述第二多晶硅层形成为未掺杂层; 以及

使所述衬底退火, 以激活所植入的掺杂剂并使所植入的掺杂剂扩散, 使得所述第一多晶硅层和所述第二多晶硅层中的平均掺杂密度是至少 $1 \times 10^{18} \text{ cm}^{-3}$ ,

其中所述外延层具有 $5 \text{ ohm-cm}$ 至 $10 \text{ ohm-cm}$ 的电阻率。

9. 根据权利要求8所述的方法, 其中所述掺杂剂以 $2 \times 10^{15} \text{ cm}^{-2}$ 至 $1 \times 10^{16} \text{ cm}^{-2}$ 的剂量植入。

10. 根据权利要求8所述的方法, 其中所述掺杂剂以1度至2度的倾角以及约0度的扭转

角以4个子剂量植入。

11. 根据权利要求8所述的方法,其中所述第一多晶硅层具有150纳米至200纳米的厚度。

12. 根据权利要求8所述的方法,其中使所述衬底退火包括在氮气环境中以1000℃至1100℃的火炉退火100分钟至150分钟。

13. 根据权利要求8所述的方法,其中所述深沟槽在所述埋层的底部表面下方延伸。

14. 根据权利要求8所述的方法,其中所述形成介电内衬包括在所述侧壁上形成热氧化物层以及在所述热氧化物层上形成沉积二氧化硅层。

15. 根据权利要求8所述的方法,还包括在形成第一多晶硅层之前移除在所述深沟槽的底部处的所述介电内衬,以及形成第一多晶硅层以延伸到所述深沟槽的底部,使得所述第一多晶硅层在所述深沟槽的所述底部处与所述衬底电接触。

16. 根据权利要求15所述的方法,还包括在移除在所述深沟槽的底部处的所述介电内衬之后并在所述形成第一多晶硅层之前,在所述深沟槽的所述底部处将掺杂剂植入所述衬底的所述半导体材料中。

17. 根据权利要求8所述的方法,其中所述第一多晶硅层形成为延伸到所述深沟槽的底部,使得所述介电内衬将所述第一多晶硅层与所述衬底隔离。

18. 一种形成半导体器件的方法,其包括:

提供衬底,其包括具有第一导电类型的半导体材料、在所述半导体材料上方具有第二导电类型的埋层以及在所述埋层上方具有所述第一导电类型的外延层;

在所述衬底中形成至少10微米深的深沟槽;

在所述深沟槽的侧壁上形成介电内衬;

移除在所述深沟槽的底部处的所述介电内衬;

在所述深沟槽的所述底部处将掺杂剂植入所述衬底的所述半导体材料中;

在所述介电内衬上形成延伸到所述深沟槽的底部的第一多晶硅层,使得所述第一多晶硅层在所述深沟槽的所述底部处与所述衬底电接触,所述第一多晶硅层形成为未掺杂层;

将掺杂剂植入所述第一多晶硅层中;

在所述第一多晶硅层上形成第二多晶硅层,使得所述第二多晶硅层延伸到所述深沟槽中,所述第二多晶硅层形成为未掺杂层;以及

使所述衬底退火,以激活所植入的掺杂剂并使所植入的掺杂剂扩散,

其中所述外延层具有5ohm·cm至10ohm·cm的电阻率。

19. 根据权利要求18所述的方法,其中形成介电内衬包括在所述侧壁上形成热氧化物层以及在所述热氧化物层上形成沉积二氧化硅层。

20. 根据权利要求18所述的方法,其中所述深沟槽在所述埋层的底部表面下方延伸。

21. 一种半导体器件,其包括:

衬底,其包括具有第一导电类型的半导体材料、在所述半导体材料上方具有第二导电类型的埋层以及在所述埋层上方具有所述第一导电类型的外延层;以及

所述衬底中的深沟槽结构,其包括:

所述衬底中的深沟槽;

介电内衬,其设置于所述深沟槽的侧壁上;

第一多晶硅层，其设置于所述介电内衬上并且延伸到所述深沟槽的底部；以及  
第二多晶硅层，其设置于所述第一多晶硅层上并且延伸到所述深沟槽中，  
其中掺杂剂分布在整个所述第一多晶硅层和所述第二多晶硅层中。

22. 一种形成半导体器件的方法，其包括：

在衬底中形成深沟槽，所述衬底包括具有第一导电类型的半导体材料、在所述半导体材料上方具有第二导电类型的埋层以及在所述埋层上方具有所述第一导电类型的外延层；

在所述深沟槽的侧壁上形成介电内衬；

在所述介电内衬上形成第一多晶硅层，使得所述第一多晶硅层延伸到所述深沟槽中，  
所述第一多晶硅层形成为未掺杂层；

将掺杂剂植入所述第一多晶硅层中；

在所述第一多晶硅层上形成第二多晶硅层，使得所述第二多晶硅层延伸到所述深沟槽中，  
所述第二多晶硅层形成为未掺杂层；以及

使所述衬底退火，以激活所植入的掺杂剂并使所植入的掺杂剂在所述第一多晶硅层和  
所述第二多晶硅层中扩散。

## 用于深沟槽填充的多夹层结构

[0001] 本申请是2015年11月24日提交的题为“用于深沟槽填充的多夹层结构”的中国专利申请201580063337.X的分案申请。

### 技术领域

[0002] 本发明大体涉及半导体器件,且更具体地涉及半导体器件中的深沟槽结构。

### 背景技术

[0003] 半导体器件具有深沟槽结构,所述深沟槽结构具有在深沟槽的侧壁上的介电内衬(liner)以及填充深沟槽的在介电内衬上的掺杂多晶硅。期望获得在深沟槽中的多晶硅中的低的薄层电阻需要在沉积多晶硅时原位掺杂,这样会在使沉积的多晶硅退火之后不期望地导致在半导体器件的衬底的背侧上的掺杂剂污染以及导致半导体器件中的应力。这两个不期望的效果均能够使半导体器件的性能和可靠性降级。另选地,未掺杂多晶硅可以沉积且植入在半导体器件的顶部表面处,其需要长久的热驱动来获得在深沟槽中的掺杂剂分布的期望的均匀性,所述深沟槽可以超过20微米深。长久的热驱动不利地影响衬底中的掺杂结构,例如,埋层。

### 发明内容

[0004] 通过在半导体器件的衬底中形成深沟槽而形成半导体器件。介电内衬形成于深沟槽的侧壁上。第一未掺杂多晶硅层形成于半导体器件上,其延伸到在介电内衬上的深沟槽中,但不填充深沟槽。掺杂剂植入第一多晶硅层中。第二多晶硅层形成于第一多晶硅层上。热驱动退火(thermal drive anneal)激活并使掺杂剂扩散。将第一多晶硅层和第二多晶硅层中的多晶硅从衬底的顶部表面上方移除。

### 附图说明

[0005] 图1是示例半导体器件的横截面。

[0006] 图2A至图2J是在连续的制造阶段中描绘的图1的半导体器件的横截面。

[0007] 图3是另一示例半导体器件的横截面。

[0008] 图4A和图4B是在连续的制造阶段中描绘的图3的半导体器件的横截面。

[0009] 图5是含有埋层和具有自对准到埋层的沉降槽(sinker)的深沟槽结构的另选半导体器件的横截面。

### 具体实施方式

[0010] 以下共同待决的专利申请是相关的并且特此以引用方式并入本文中:申请号US 14/555,209;申请号US 14/555,330;以及申请号US 14/555,359。

[0011] 附图未按比例绘制。一些动作可以不同的顺序出现和/或与其它动作或事件同时出现。此外,不是所有的所示出动作或事件都需要根据示例实施例实施方法。

[0012] 通过在半导体器件的衬底中形成至少10微米深的深沟槽而形成半导体器件。介电内衬形成于深沟槽的侧壁上。第一未掺杂多晶硅层形成于半导体器件上,从而延伸到介电内衬上的深沟槽中,但不填充深沟槽。掺杂剂植入第一多晶硅层中。第二未掺杂多晶硅层形成于第一多晶硅层上。热驱动退火激活掺杂剂并且使所述掺杂剂在整个第一多晶硅层和第二多晶硅层中扩散。将第一多晶硅层和第二多晶硅层中的多晶硅从衬底的顶部表面上方移除。在一个示例中,介电内衬的介电材料可以在深沟槽的底部移除,以便暴露衬底。第一多晶硅层随后电连接到在深沟槽的底部处的衬底,如电连接到埋层下方的区域。在另一示例中,第一多晶硅层通过介电内衬与在深沟槽的底部处的衬底电隔离。深沟槽中的隔离的多晶硅可以提供半导体器件的电阻器或电容器。

[0013] 出于本公开的目的,如应用于在半导体器件上形成多晶硅层时的术语“未掺杂”表示反应气体中至多包括少量掺杂剂以形成多晶硅层。在形成多晶硅层时,已存在于半导体器件中的一些掺杂剂可以扩散到多晶硅层中,但是这不会否定形成多晶硅层的未掺杂本质。

[0014] 图1是示例半导体器件100的横截面,该半导体器件形成于包括半导体材料104(如p型硅)的衬底102中。如n型埋层106的埋层106可以设置于衬底102中,使得埋层106的底部表面108在衬底102的顶部表面110下方10微米以上。衬底102可以包括在埋层106上方的上层112,如p型外延层112。在此示例中,在埋层106下方的半导体材料104可以通过埋层106与上层112电隔离。

[0015] 半导体器件100包括一个或更多个深沟槽结构114,所述深沟槽结构114在衬底102中延伸至少10微米深。每个深沟槽结构114包括在深沟槽结构114的深沟槽120的侧壁118上的介电内衬116。第一多晶硅层122设置于介电内衬116上,其延伸到深沟槽结构114的底部。第二多晶硅层124设置于第一多晶硅层122上并且延伸到深沟槽120中。掺杂剂以至少 $1 \times 10^{18} \text{ cm}^{-3}$ 的平均掺杂密度分布在第一多晶硅层122和第二多晶硅层124中。深沟槽结构114的宽度126是1.5微米至3.5微米。

[0016] 在此示例中,介电内衬116的介电材料在深沟槽结构114的底部处移除,并且接触区域128设置于在深沟槽结构114的底部处的衬底102中,使得第一多晶硅层122通过接触区域128电连接到衬底102。接触区域128可以具有至少 $5 \times 10^{18} \text{ cm}^{-3}$ 的平均掺杂密度。由于至少 $5 \times 10^{18} \text{ cm}^{-3}$ 的平均掺杂密度,深沟槽结构114因此以有利地低的电阻提供从衬底102的顶部表面110到埋层106下方的半导体材料104的电连接。深沟槽结构114可以具有闭环配置,以便围绕且因此隔离上层112的一部分和在上层112部分中的半导体器件100的组件。

[0017] 图2A至图2J是在连续的制造阶段中描绘的图1的半导体器件的横截面。参考图2A,埋层106和上层112形成于半导体材料104上。可以通过将n型掺杂剂植入p型半导体材料104中,随后用热驱动退火和后续外延工艺以生长p型上层112,来形成埋层106和上层112,使得通过所植入n型掺杂剂的扩散和激活形成埋层106。

[0018] 衬垫氧化物(pad oxide)层130如通过热氧化形成于衬底的顶部表面110处。衬垫氧化物层130可以包括5纳米至30纳米的二氧化硅。衬垫氮化物层132如通过使用氨和硅烷的低压化学气相沉积(LPCVD)形成于衬垫氧化物层130上。衬垫氮化物层132可以包括100纳米至300纳米的氮化硅。硬掩模氧化物层134如通过使用原硅酸四乙酯(也称作四乙氧基硅烷(TEOS))的等离子体增强化学气相沉积(PECVD)或使用高密度等离子体(HDP)工艺形成于

衬垫氮化物层132上方。硬掩模氧化物层134可以包括500纳米至2微米的二氧化硅。衬垫氮化物层132提供用于硬掩模氧化物层134的后续蚀刻的蚀刻停止层。

[0019] 沟槽掩模136形成于硬掩模氧化物层134上方,以便暴露用于图1的深沟槽结构114的区域。沟槽掩模136可以包括通过光刻工艺形成的光致抗蚀剂,并且可以进一步包括硬掩模层和/或抗反射层。

[0020] 参考图2B,硬掩模蚀刻工艺在由沟槽掩模136暴露的区域中从硬掩模氧化物层134移除材料。随后,停止层蚀刻工艺在由沟槽掩模136暴露的区域中移除衬垫氮化物层132和衬垫氧化物层130。沟槽蚀刻工艺在由沟槽掩模136暴露的区域中从衬底102移除材料以形成深沟槽120,所述深沟槽120延伸到埋层106的底部表面下方。在示例中,深沟槽120可以是12微米至35微米深。如图2B中所描绘的,很大一部分并且可能所有沟槽掩模136以及可能硬掩模氧化物层134的一部分可以通过沟槽蚀刻工艺侵蚀。在形成深沟槽120之后,移除任何剩余的沟槽掩模136。

[0021] 参考图2C,热氧化物层138形成于深沟槽120的侧壁118和底部上。在示例中,热氧化物层138可以是50纳米至400纳米厚。二氧化硅层140如通过次大气压化学气相沉积(SACVD)工艺形成于热氧化物层138上。在示例中,二氧化硅层140可以是50纳米至500纳米厚。热氧化物层138结合二氧化硅层140提供介电内衬116。

[0022] 参考图2D,介电内衬116在深沟槽120的底部处被移除,以便暴露半导体材料104。可以如通过使用氟自由基的反应离子刻蚀(RIE)工艺移除介电材料,所述氟自由基使侧壁118上的介电内衬116是基本上完整的。

[0023] 参考图2E,p型掺杂剂142在深沟槽120的底部处植入暴露的半导体材料104中,以形成接触区域128。选择掺杂剂142,使得接触区域128与半导体材料104具有相同导电类型。在此示例中,半导体材料104是p型,并且掺杂剂142包括硼。掺杂剂142可以以基本上0度的倾角以 $2 \times 10^{14} \text{ cm}^{-2}$ 至 $2 \times 10^{15} \text{ cm}^{-2}$ 的示例剂量植入。

[0024] 参考图2F,第一多晶硅层122形成于现有半导体器件100上,从而延伸到深沟槽120中并且与接触区域128电接触。第一多晶硅层122可以具有150纳米至200纳米的厚度,以免填充深沟槽120。在示例中,可以通过在约200毫托的压力下提供500标准立方厘米每分钟(sccm)至600sccm的硅烷气体( $\text{SiH}_4$ )而在约620°C的温度下形成第一多晶硅层122。第一多晶硅层122在形成时基本上是未掺杂的,与使用掺杂多晶硅的工艺相比,这有利地减少衬底102的背侧的掺杂污染。

[0025] 参考图2G,p型掺杂剂144以约0度的倾角和约45度的扭转角以4个子剂量中的 $1 \times 10^{15} \text{ cm}^{-2}$ 至 $1 \times 10^{16} \text{ cm}^{-2}$ 的示例剂量植入第一多晶硅层122中。另选地,p型掺杂剂144可以约1度至2度的倾角和约0度的扭转角以4个子剂量植入。P型掺杂剂144可以包括硼,硼有利地具有高于其它普通p型掺杂剂(如镓和铟)的扩散系数。可以基于深沟槽120的深度和宽度选择p型掺杂剂144的总剂量,以提供第一多晶硅层122和后续形成的第二多晶硅层124中的所需薄层电阻值。

[0026] 参考图2H,第二多晶硅层124形成于第一多晶硅层122上,其延伸到深沟槽120中。第二多晶硅层124可以具有800纳米至1.5微米的厚度,并且可以基本上填充深沟槽120。可以使用针对如参考图2F的第一多晶硅层122描述的类似工艺条件来形成第二多晶硅层124。第二多晶硅层124在形成时基本上是未掺杂的,与使用掺杂硅层的工艺相比,这也有利地减

少衬底102的背侧的掺杂污染。

[0027] 参考图2I,热驱动退火146加热衬底102,以便激活图2G的所植入掺杂剂144,并使所植入掺杂剂144扩散在整个第一多晶硅层122和第二多晶硅层124中。热驱动退火可以是在氮气环境中以1000°C至1100°C的火炉退火100分钟至150分钟。热驱动退火有利地提供第一多晶硅层122和第二多晶硅层124中的所植入掺杂剂144的所期望的均匀性。

[0028] 参考图2J,使用图2J中所描绘的化学机械抛光(CMP)工艺148如CMP垫148移除图2I的第二多晶硅层124、第一多晶硅层122、硬掩模氧化物层134以及衬垫氮化物层132的一部分。随后移除剩余的衬垫氮化物层132和衬垫氧化物层130以提供图1的结构。另选地,衬垫氧化物层130可以在随后的植入和退火期间保留在原处,并且稍后在制造过程中移除。

[0029] 在此示例的替代版本中,可以通过将n型掺杂剂(如磷)植入第一多晶硅层中,而形成具有衬底中的n型半导体材料的类似半导体器件。所得深沟槽结构提供从半导体器件的顶部表面到衬底中的n型半导体材料的电连接。

[0030] 图3是另一示例半导体器件300的横截面,所述半导体器件300形成于包括半导体材料304(例如,硅)的衬底302中。半导体器件300包括一个或更多个深沟槽结构314,所述深沟槽结构314在衬底302的顶部表面310下方延伸至少10微米。每个深沟槽结构314包括在深沟槽结构314的深沟槽320的侧壁318和底部上的介电内衬316。第一多晶硅层322设置于介电内衬316上,其延伸到深沟槽结构314的底部。第二多晶硅层324设置于第一多晶硅层322上。掺杂剂以至少 $1 \times 10^{18} \text{ cm}^{-3}$ 的平均掺杂密度分布在第一多晶硅层322和第二多晶硅层324中。深沟槽结构314的宽度326是1.5微米至3.5微米。

[0031] 在此示例中,介电内衬316将第一多晶硅层322与衬底302隔离。深沟槽结构314可以提供有利地不占据半导体器件300的太多表面空间的电阻器或电容器,从而实现尺寸减小且因此实现制造成本降低。

[0032] 图4A和图4B是在连续的制造阶段中描绘的图3的半导体器件的横截面。参考图4A,衬垫氧化物层330形成于衬底的顶部表面310处。衬垫氮化物层332形成于衬垫氧化物层330上。硬掩模氧化物层334形成于衬垫氮化物层332上。可以如参考图2A所描述形成硬掩模氧化物层334、衬垫氮化物层332和衬垫氧化物层330。深沟槽320被形成为穿过硬掩模氧化物层334、衬垫氮化物层332和衬垫氧化物层330并且进入衬底302至少10微米。在示例中,深沟槽320可以是12微米至35微米深。可以如参考图2B所描述形成深沟槽320。介电内衬316形成于硬掩模氧化物层334上方并且延伸到深沟槽320的侧壁318上。介电内衬可以如参考图2C所描述包括热氧化物层和沉积氧化物层,或可以通过其它方法形成。第一多晶硅层322形成于介电内衬316上,其延伸到(但不填充)深沟槽320中。第一多晶硅层322可以具有150纳米至200纳米的厚度。第一多晶硅层322基本上是未掺杂的,从而产生参考图2F所论述的优点,并且可以如参考图2F所描述形成。掺杂剂344以1度至2度的倾角和约0度的扭转角以4个子剂量中 $2 \times 10^{15} \text{ cm}^{-2}$ 至 $1 \times 10^{16} \text{ cm}^{-2}$ 的示例剂量植入第一多晶硅层322中。掺杂剂344可以是p型掺杂剂并且包含硼,或可以是n型掺杂剂并且包含磷和/或可能包含砷。可以基于深沟槽320的深度和宽度选择掺杂剂344的总剂量,以提供第一多晶硅层322和后续形成的第二多晶硅层324中所需的薄层电阻值。

[0033] 参考图4B,第二多晶硅层324形成于第一多晶硅层322上,其延伸到深沟槽320中。第二多晶硅层324可以具有800纳米至1.5微米的厚度,并且可以基本上填充深沟槽320。可

以使用如参考图2F所描述的类似工艺条件来形成第二多晶硅层324。第二多晶硅层324在形成时基本上是未掺杂的,从而产生参考图2H所论述的优点。热驱动退火346加热衬底302,以便激活图4A的所植入掺杂剂344,并且使所植入掺杂剂344扩散在整个第一多晶硅层322和第二多晶硅层324中。热驱动退火可以类似于参考图2I所论述的热驱动退火,并且有利地提供在第一多晶硅层322和第二多晶硅层324中的所植入掺杂剂344的所期望的均匀性。第一多晶硅层322和第二多晶硅层324形成为未掺杂层产生参考图2I所论述的优点。使用CMP工艺移除第二多晶硅层324、第一多晶硅层322、硬掩模氧化物层334以及衬垫氮化物层332的一部分。随后移除剩余的衬垫氮化物层332和衬垫氧化物层330以提供图3的结构。

[0034] 图5是包括埋层以及具有自对准到埋层的沉降槽的深沟槽结构的替代半导体器件的横截面。半导体器件500形成于衬底502中,所述衬底502包括半导体材料的p型基础半导体层504、半导体材料的n型埋层506以及延伸到衬底502的顶部表面510的p型上半导体层512。P型基础半导体层504可以是具有 $5\text{ohm}\cdot\text{cm}$ 至 $10\text{ohm}\cdot\text{cm}$ 的电阻率的外延半导体层。P型上半导体层512还可以是具有 $5\text{ohm}\cdot\text{cm}$ 至 $10\text{ohm}\cdot\text{cm}$ 的电阻率的外延半导体层。n型埋层506可以包括主层548,所述主层548跨越基础半导体层504与上半导体层512之间的边界,其延伸到基础半导体层504中至少一微米并且延伸到上半导体层512中至少一微米。n型埋层506还可以包括设置于基础半导体层504中的在主层548下方延伸至少2微米的轻掺杂层550。可以如申请号US 14/555,330中所描述的形成n型埋层506。

[0035] 半导体器件500包括一个或更多个深沟槽结构514,所述深沟槽结构514在衬底502中延伸至少10微米深。每个深沟槽结构514包括在深沟槽结构514的深沟槽520的侧壁518上的介电内衬516。第一多晶硅层522设置于介电内衬516上,其延伸到深沟槽结构514的底部。第二多晶硅层524设置于第一多晶硅层522上并且延伸到深沟槽520中。掺杂剂以至少 $1\times 10^{18}\text{cm}^{-3}$ 的平均掺杂密度分布在第一多晶硅层522和第二多晶硅层524中。可以如本文中的示例中的任一个中所描述形成沟槽结构514。

[0036] 在此示例中,介电内衬516的介电材料在深沟槽结构514的底部处移除,并且接触区域528设置于在深沟槽结构514的底部处的衬底502中,使得第一多晶硅层522通过接触区域528电连接到衬底502。可以如申请号US14/555,359中所描述完成接触区域528以及移除在每个深沟槽结构514的底部处的介电内衬516的方法。

[0037] n型自对准沉降槽552设置于上半导体层512中,其邻接深沟槽结构514并且延伸到埋层506。自对准沉降槽552提供到埋层506的电连接。可以如申请号US 14/555,209中所描述形成自对准沉降槽552。

[0038] 在权利要求书的范围内,在所描述实施例中修改是可能的,并且其它实施例是可能的。

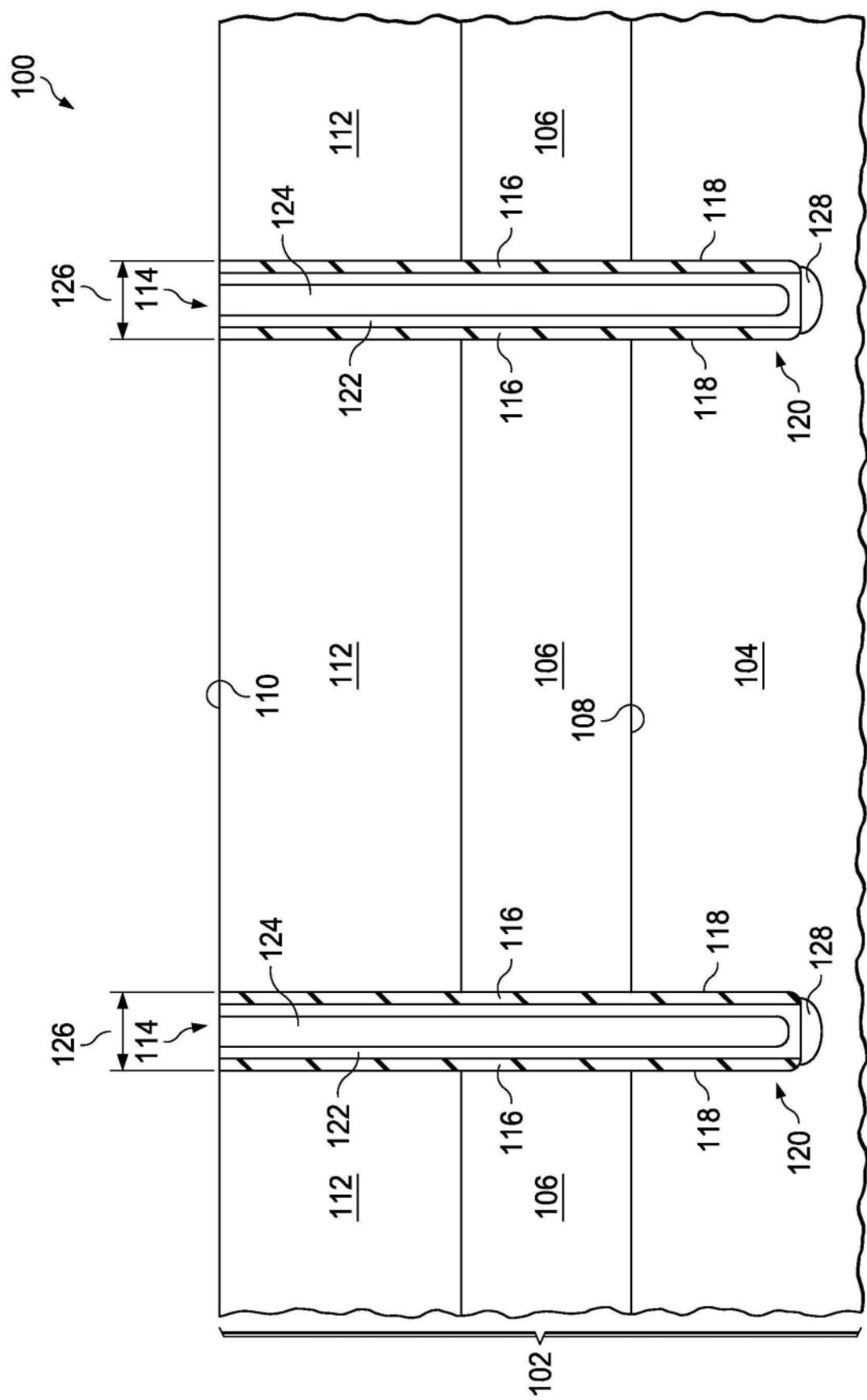


图1

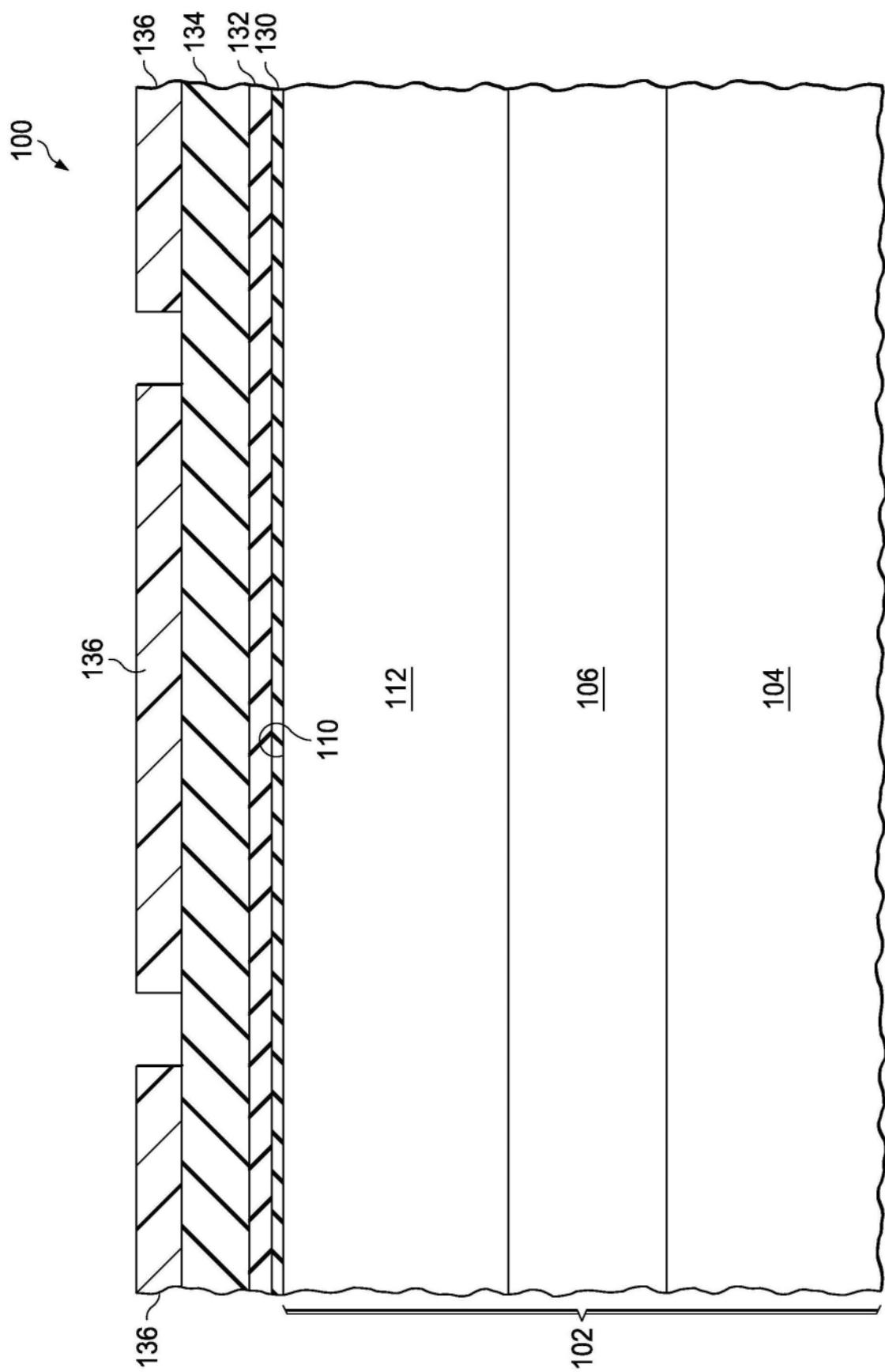


图2A

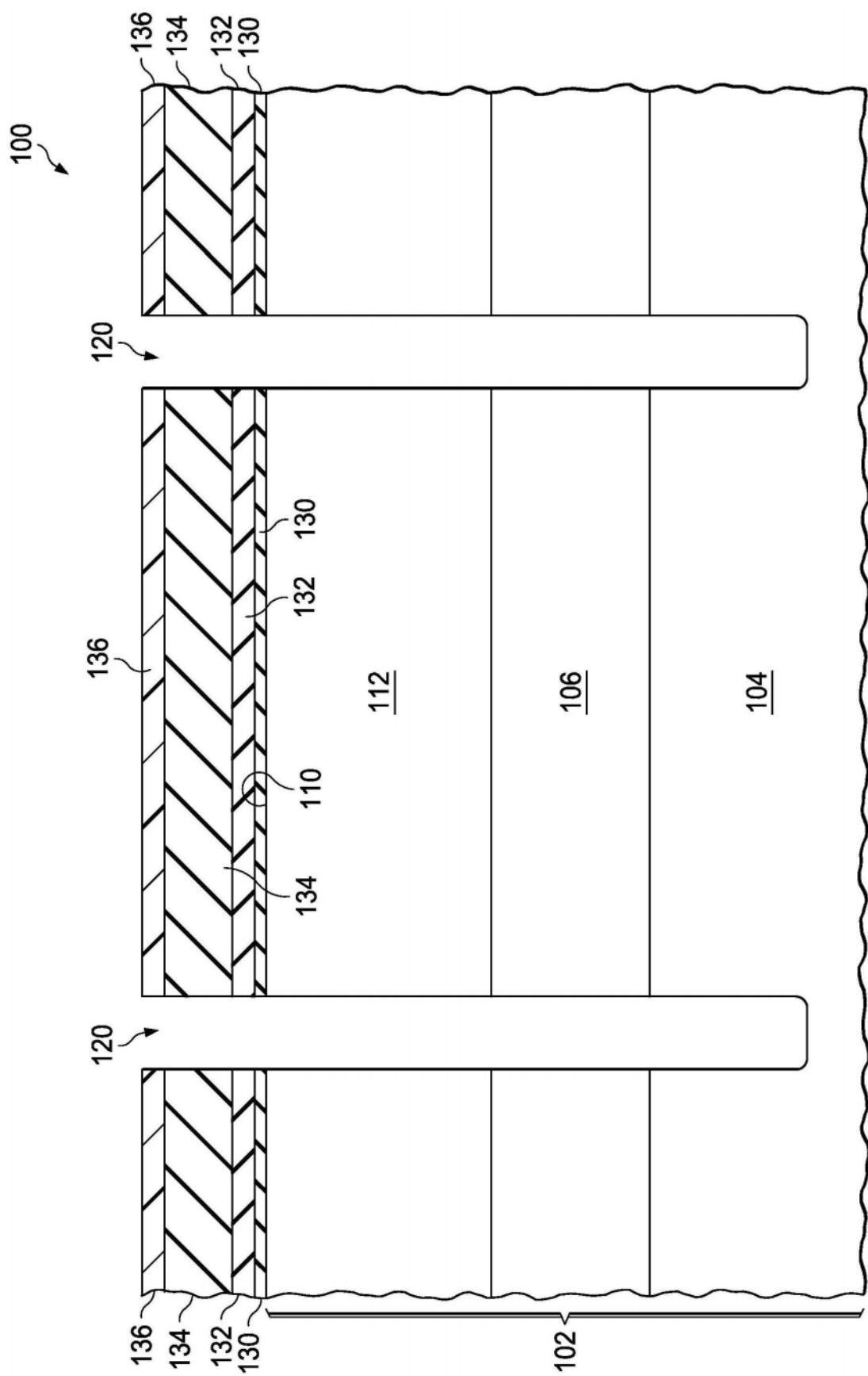


图2B

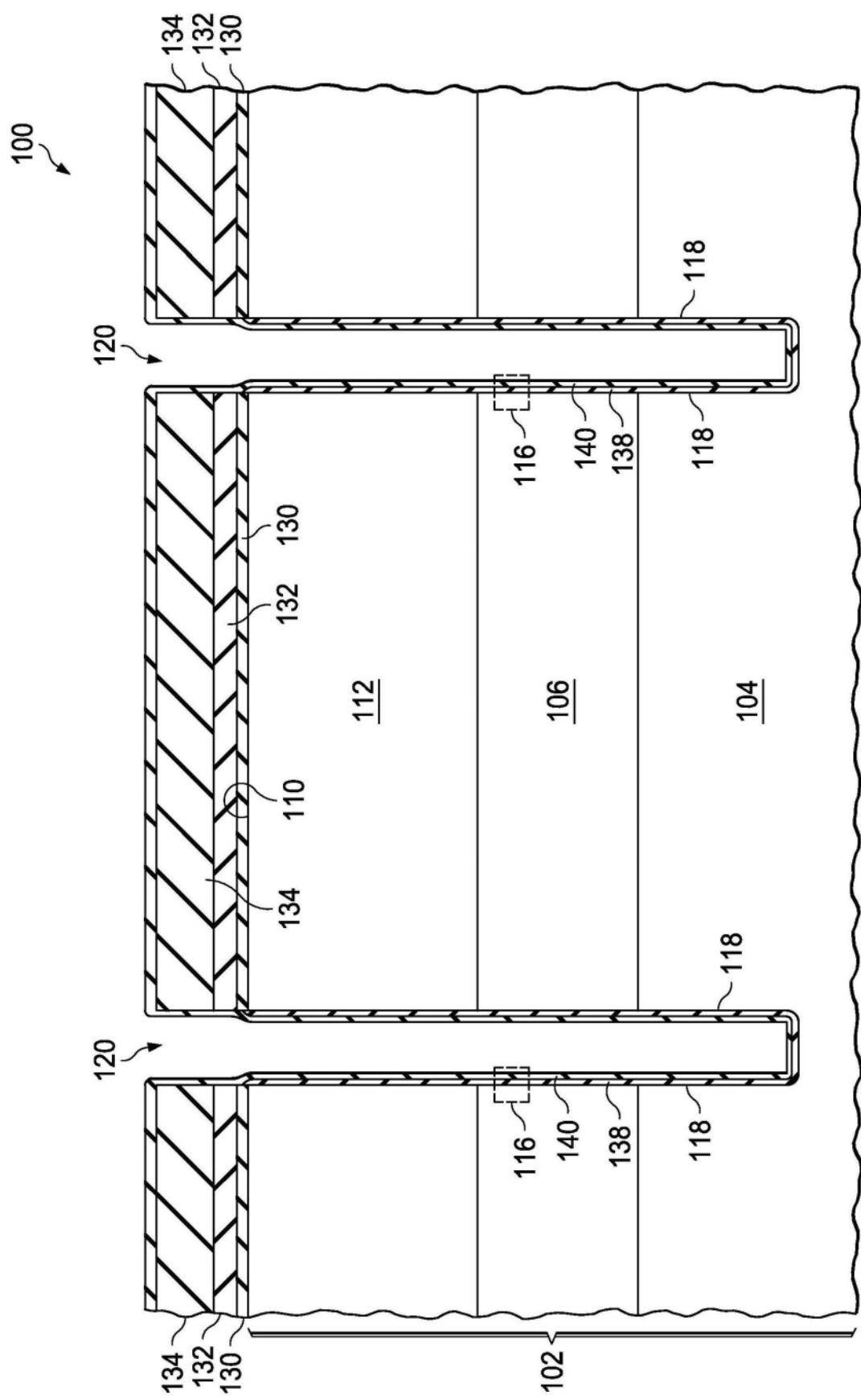


图2C

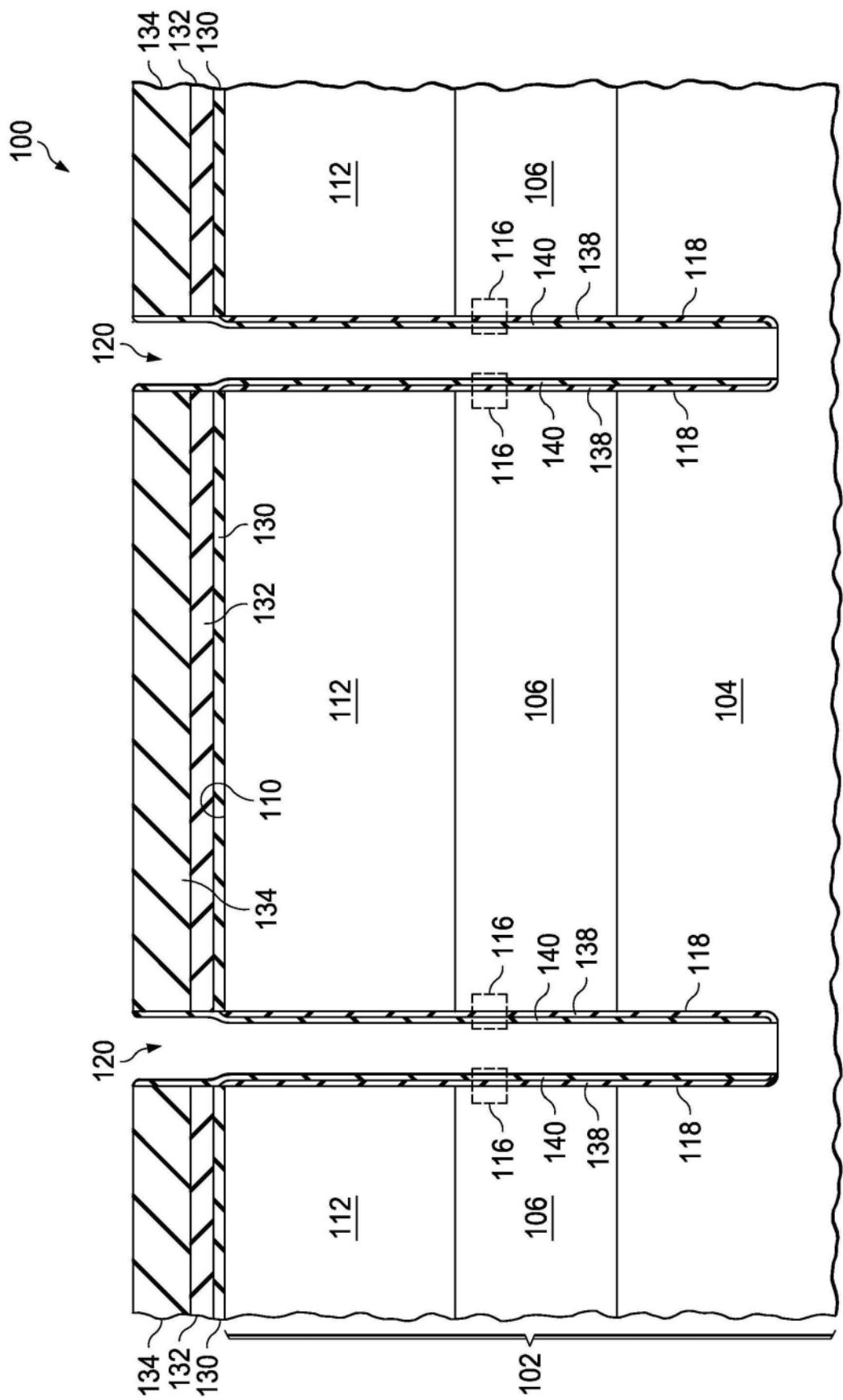


图2D

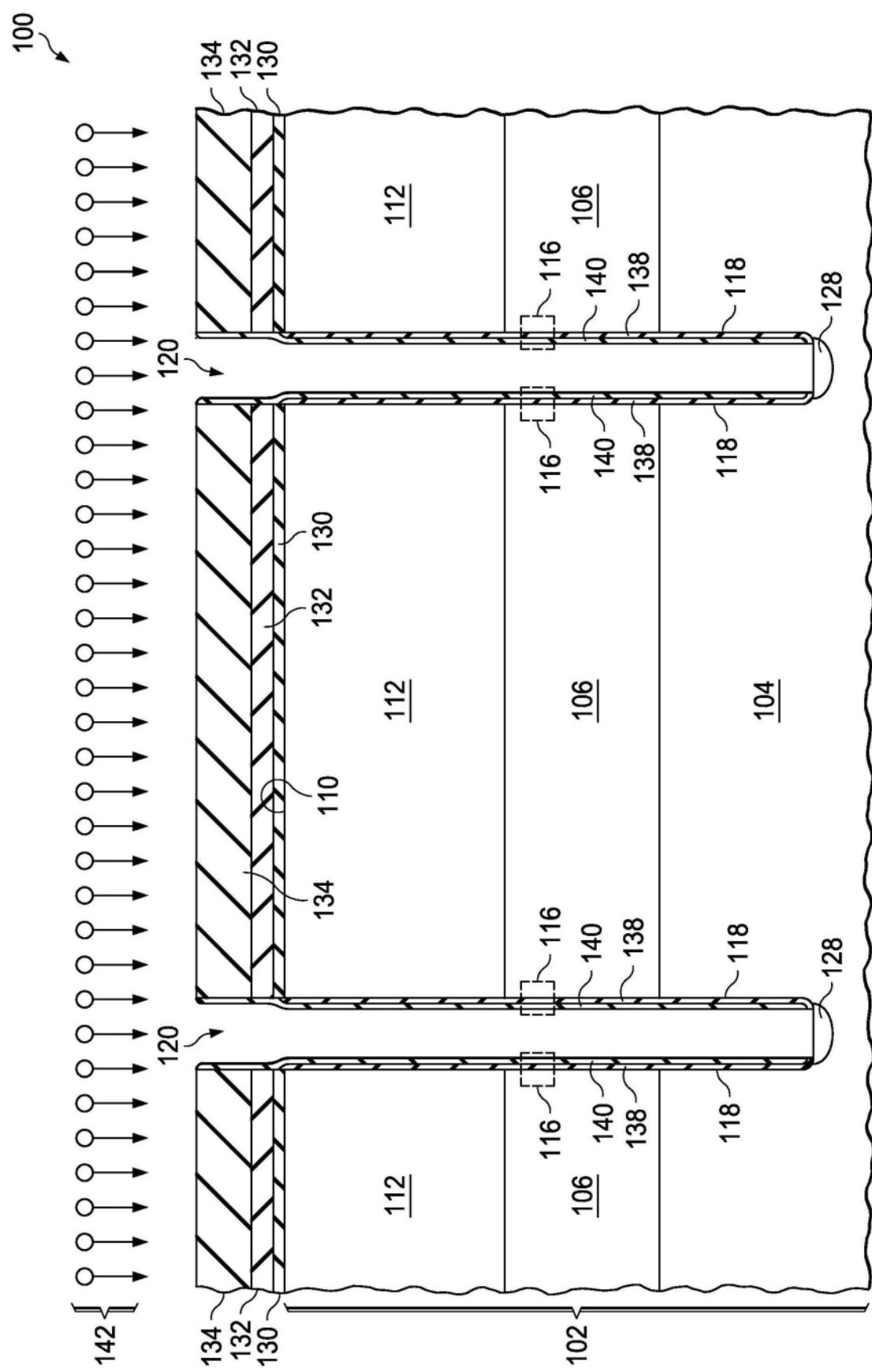


图2E

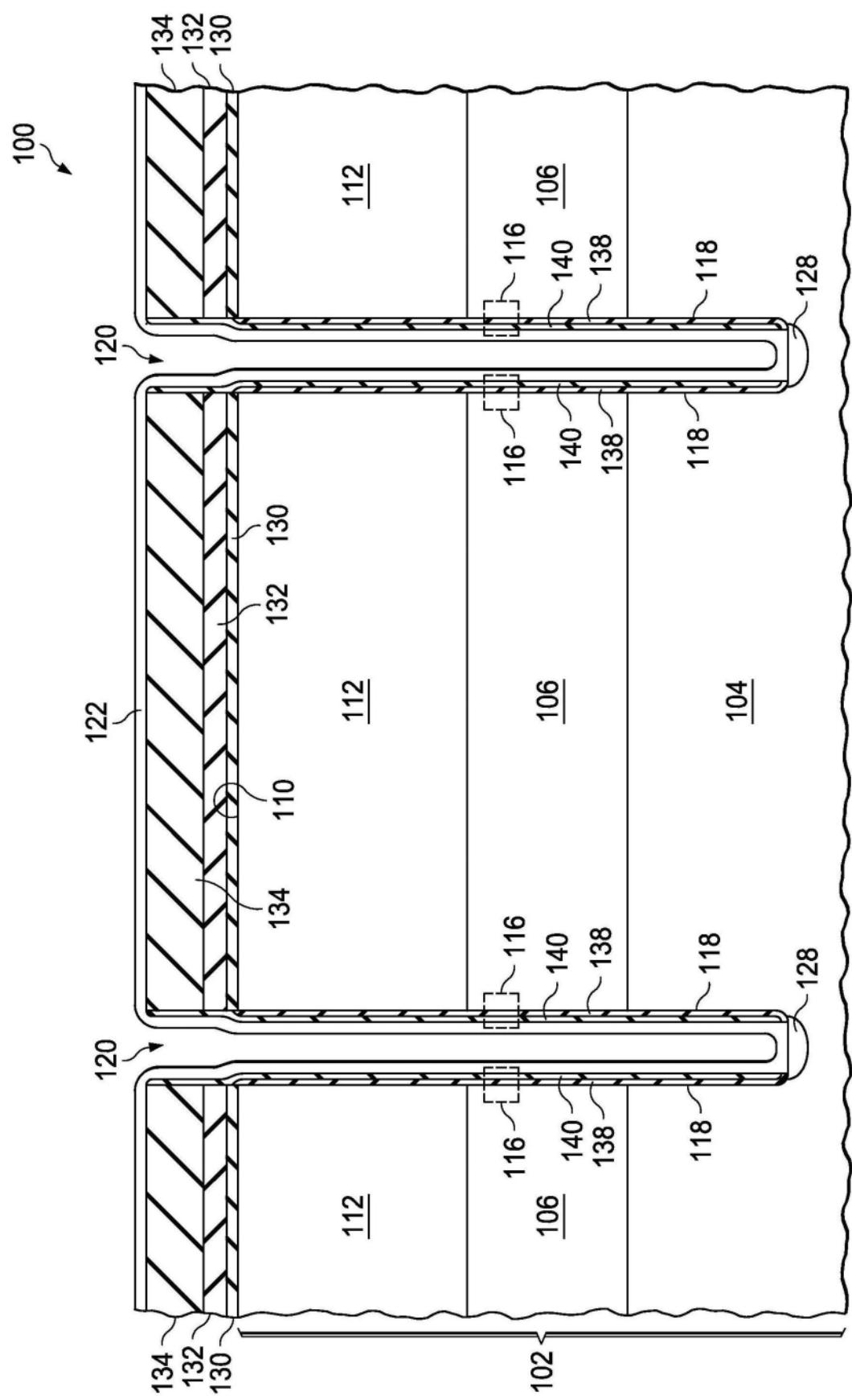


图2F

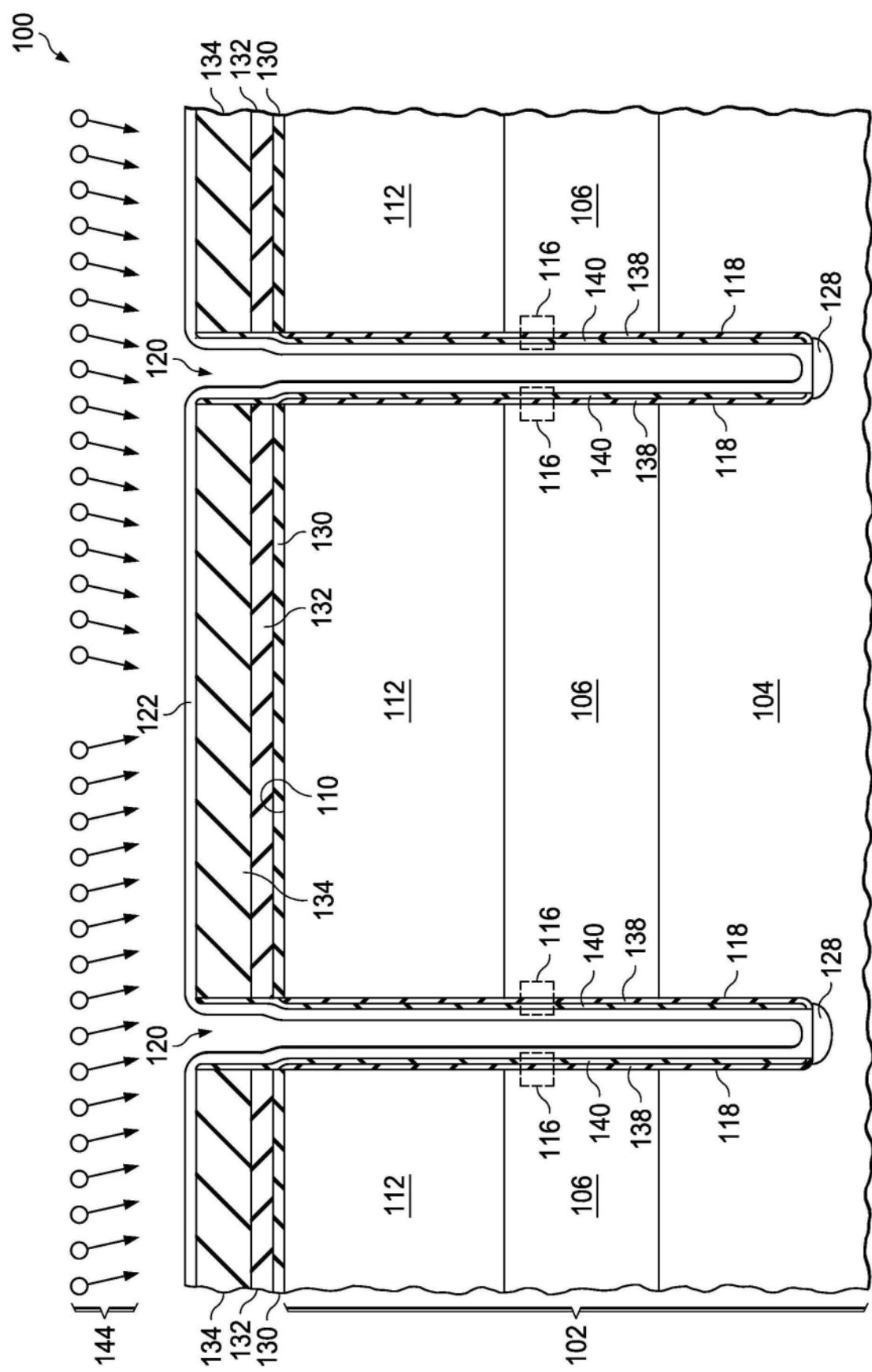


图2G

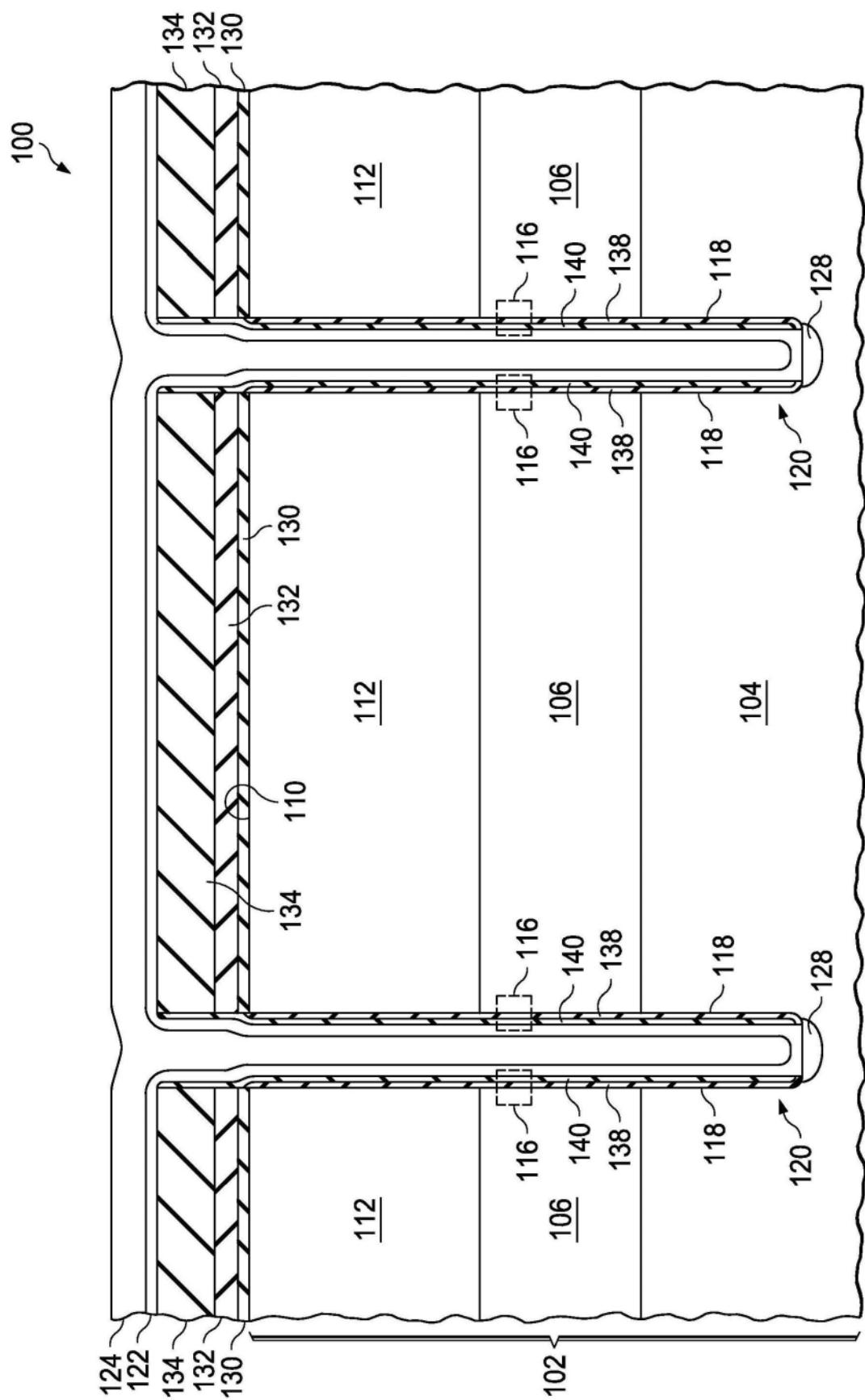


图2H

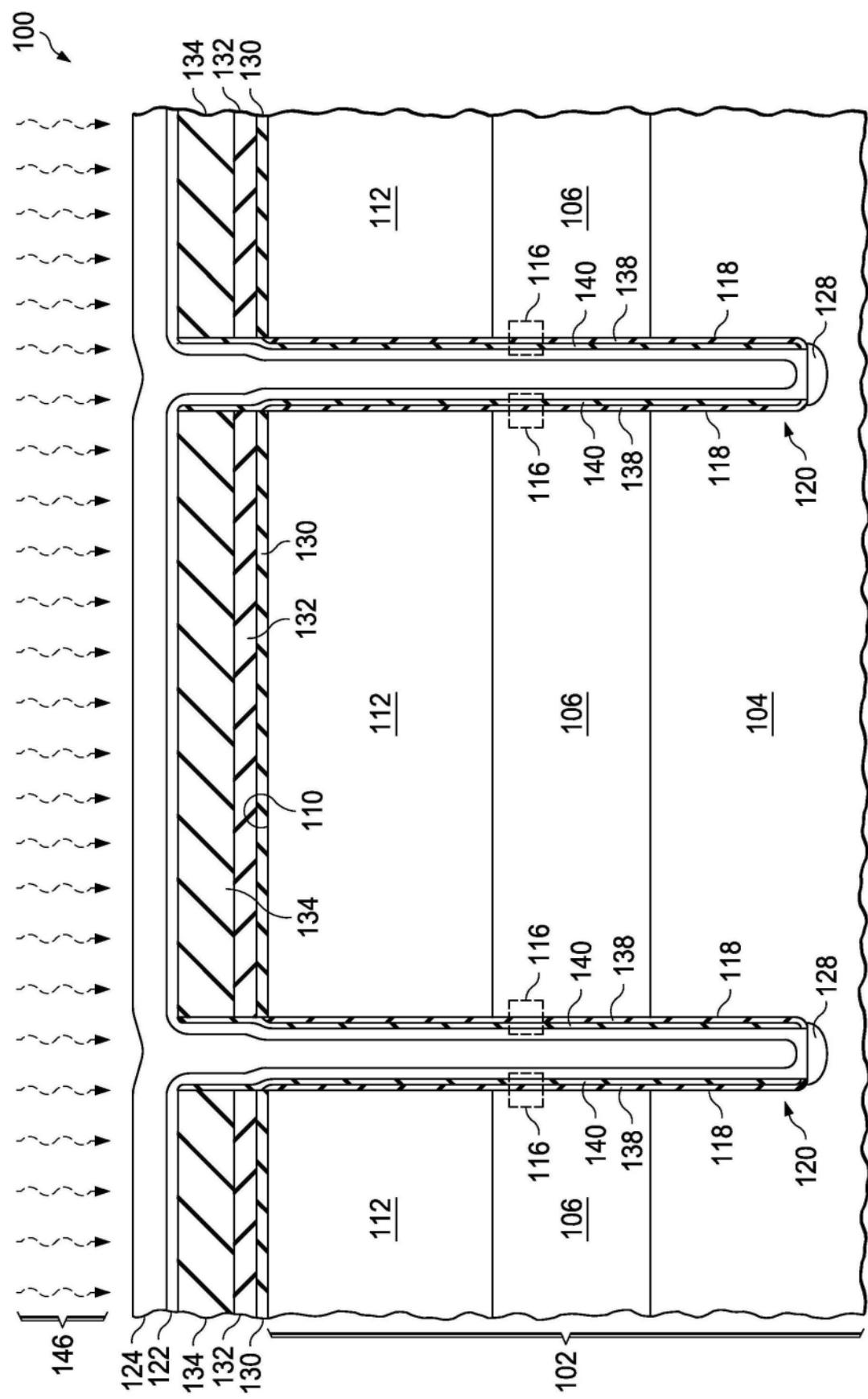


图2I

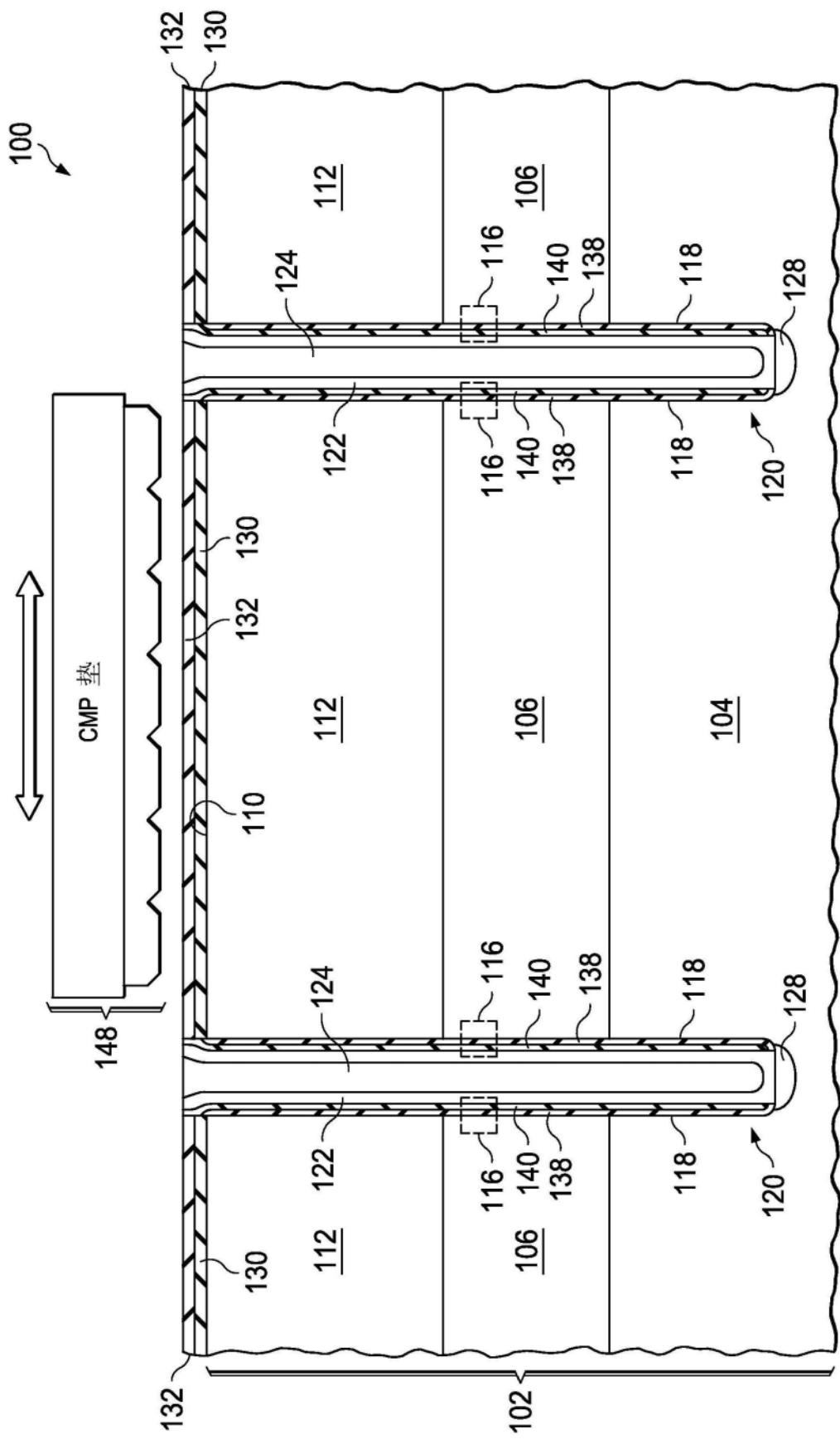


图2J

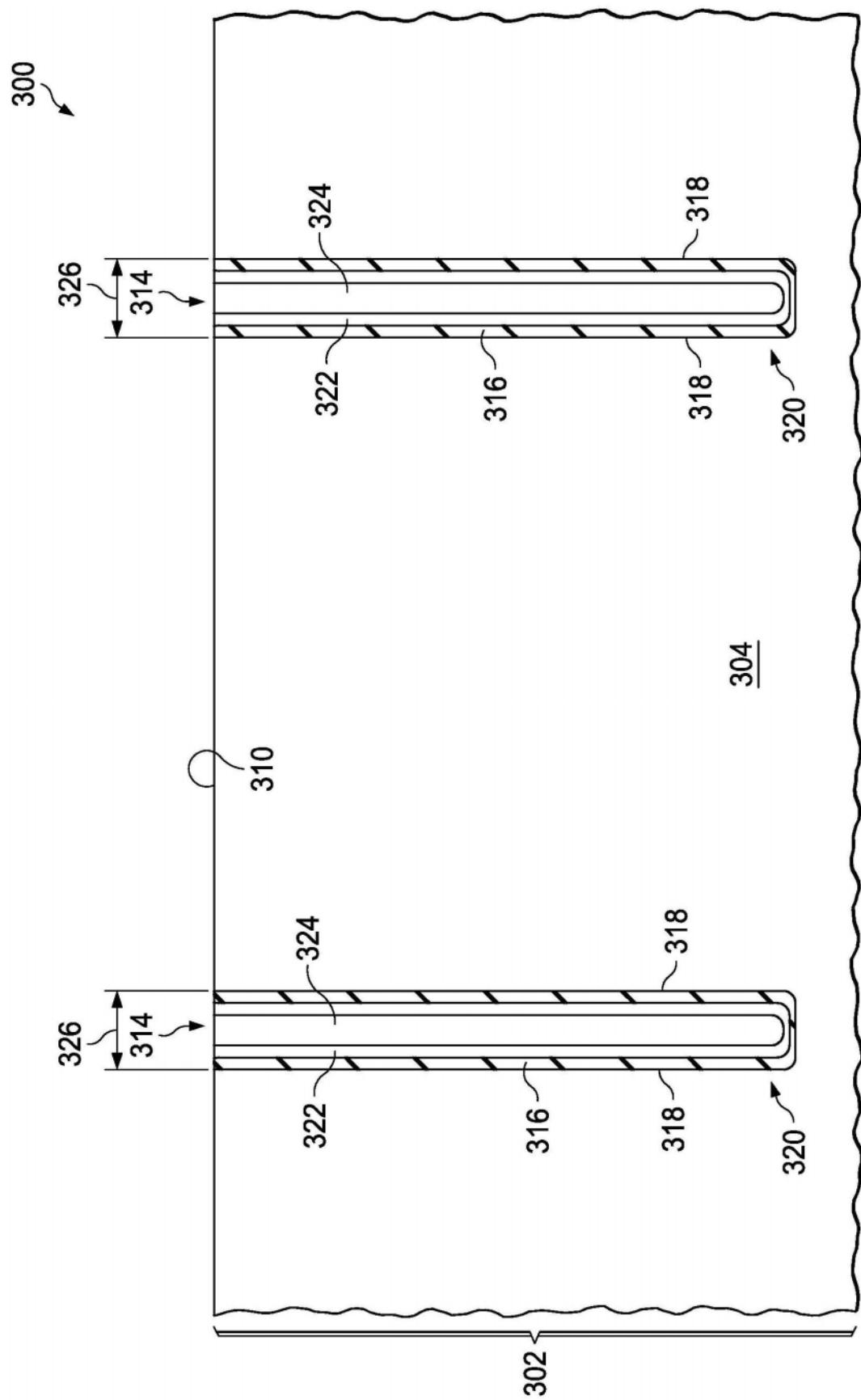


图3

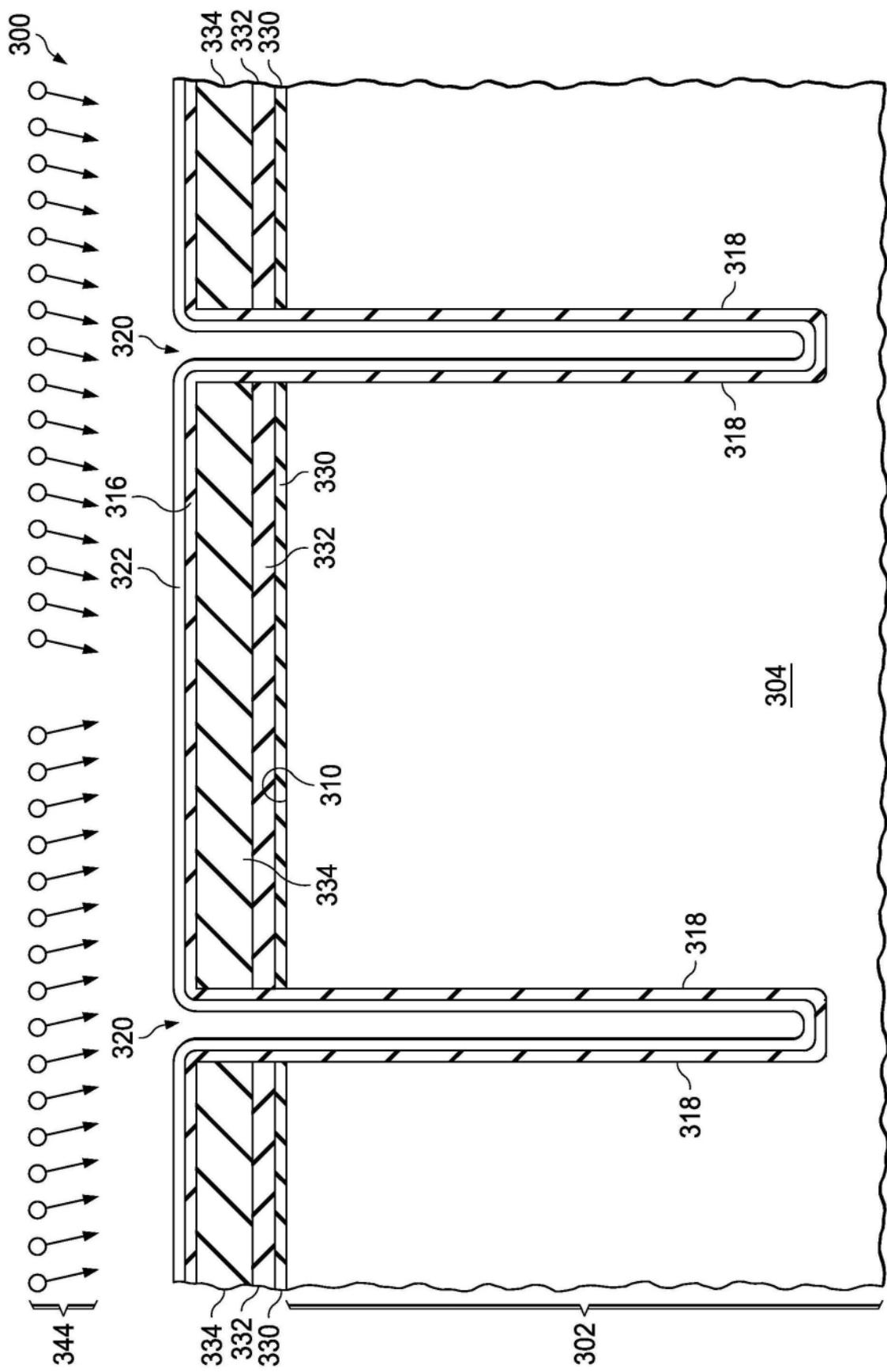


图4A

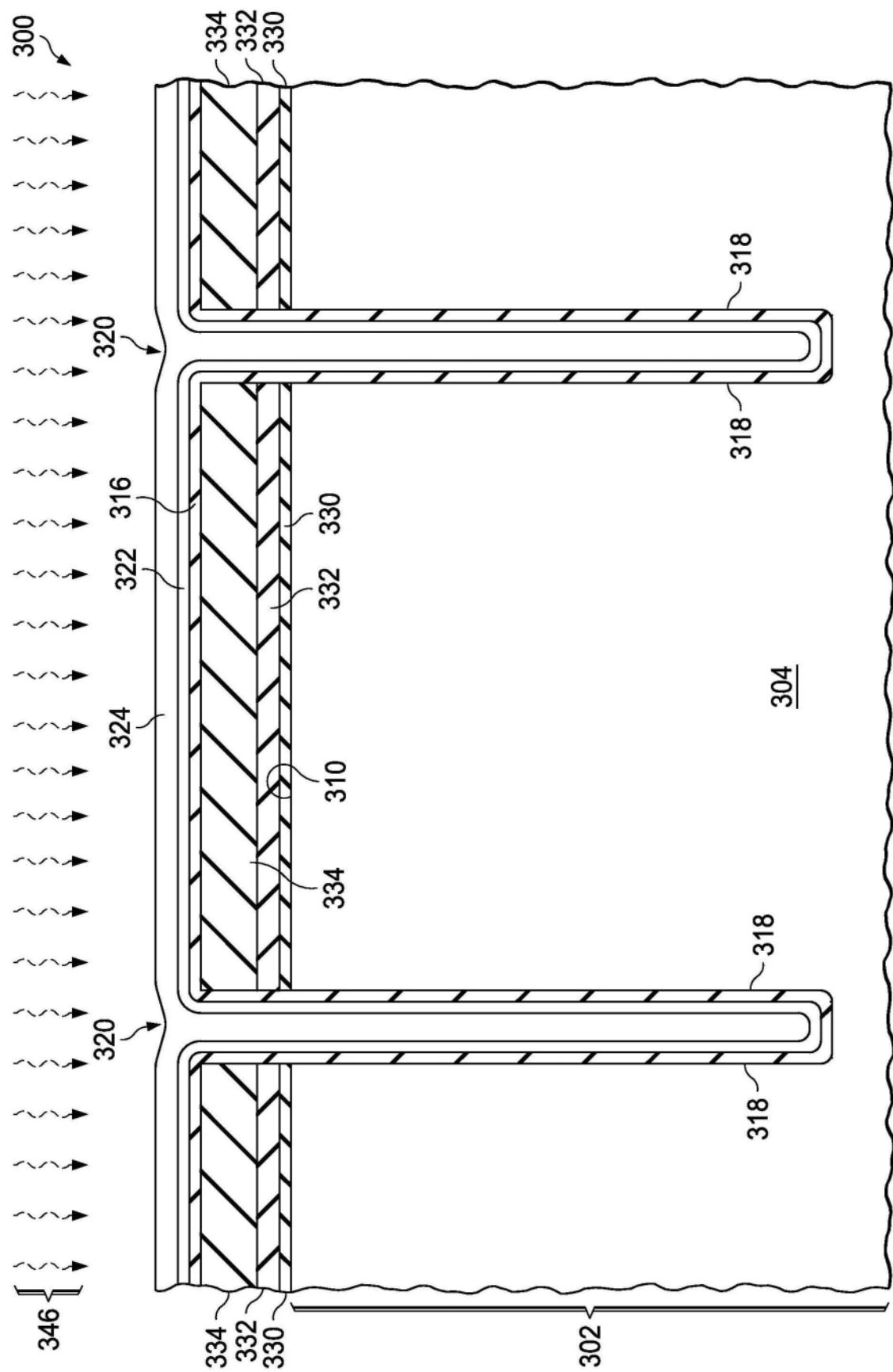


图4B

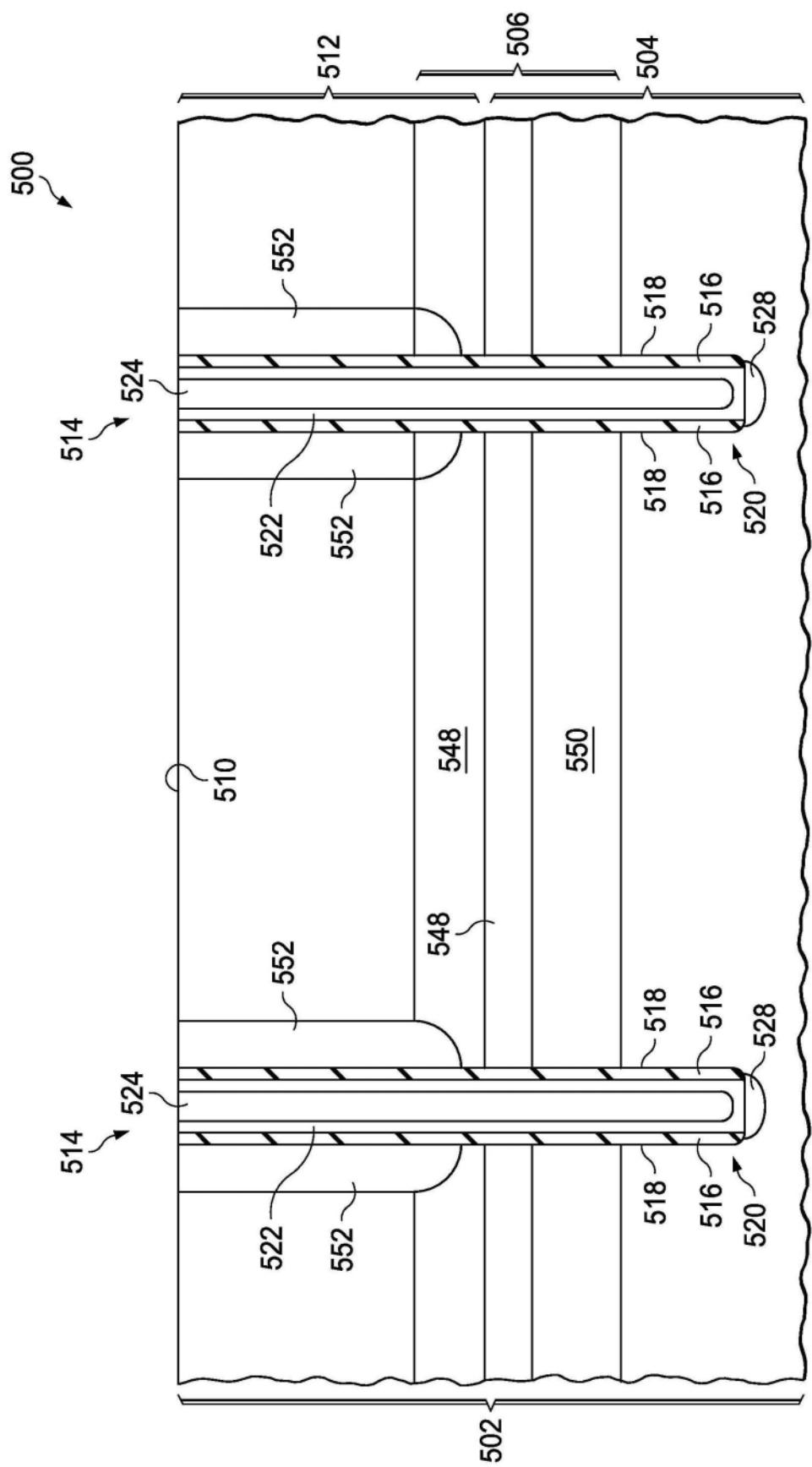


图5