



(45)授权公告日 2020.07.21

权利要求书2页 说明书9页 附图10页

1. 一种半导体发光装置,其特征在于包括:

发光体,包含:第1导电型的第1半导体层、第2导电型的第2半导体层以及设置在所述第1半导体层与所述第2半导体层之间的发光层;

衬底,配置在所述发光体的所述第2半导体层侧;

第1金属层,在所述衬底与所述发光体之间和所述第1半导体层及所述第2半导体层的任一层接触并且电连接,且从所述衬底与所述发光体之间沿着所述衬底向所述发光体的外侧延伸;

导电层,覆盖位于所述发光体的外侧的所述第1金属层的延伸部,并延伸在所述第1金属层的未和所述发光体接触的部分与所述发光体之间;以及

第2金属层,在所述衬底上与所述发光体并排设置,并隔着所述导电层设置在所述延伸部上;

所述发光体包括:上表面,包含所述第1半导体层的表面;下表面,包含所述第2半导体层的表面;以及侧面,包含所述第1半导体层的外缘;

所述发光体包括:在与所述上表面平行的方向上从所述侧面朝向内侧凹陷的凹陷部,

所述第2金属层设置在所述凹陷部,

所述凹陷部的侧壁经由曲面与所述侧面连接,

所述导电层对于去除所述第1半导体层的蚀刻液,比所述第1金属层更具有蚀刻耐受性。

2. 根据权利要求1所述的半导体发光装置,其特征在于:

所述曲面具有0微米以上且小于30微米的曲率半径。

3. 根据权利要求1或2所述的半导体发光装置,其特征在于:

所述发光体包括:

发光部,包含所述发光层;以及

非发光部,隔着从所述下表面到达所述第1半导体层的阶差而设置在所述发光部的周围;

所述第1金属层在所述非发光部电连接于所述第1半导体层。

4. 根据权利要求1或2所述的半导体发光装置,其特征在于:

所述发光体包括从所述下表面到达所述第1半导体层的凹部,

所述第1半导体层经由所述凹部电连接于所述衬底,

所述第1金属层在所述下表面上电连接于所述第2半导体层。

5. 根据权利要求1或2所述的半导体发光装置,其特征在于:

所述发光体的外缘与所述第2金属层之间的间隔为50微米以下。

6. 根据权利要求1或2所述的半导体发光装置,其特征在于:

所述导电层包含:比所述第1金属层更具耐蚀刻性的金属、具有导电性的金属氧化物及具有导电性的金属氮化物中的至少任一种。

7. 根据权利要求1或2所述的半导体发光装置,其特征在于:

还包括介电膜,所述介电膜设置在所述发光体与所述第1金属层的未与所述发光体相接的部分之间,

所述介电膜沿着所述导电层向所述发光体的外侧延伸,

所述第1金属层的延伸部在所述发光体的外侧未与所述介电膜相接。

半导体发光装置

[0001] [相关申请]

[0002] 本申请享有以日本专利申请2015-122754号(申请日:2015年6月18日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0003] 实施方式涉及一种半导体发光装置。

背景技术

[0004] 半导体发光装置例如具备将p型半导体层、发光层及n型半导体层积层而成的发光体、以及将发光体连接于外部电路的电极。而且,在半导体发光装置的制造过程中,需要适当地保护电极使其免受p型半导体层、n型半导体层及发光层的蚀刻的影响,以便提高其可靠性的手段。

发明内容

[0005] 本发明的实施方式提供一种提高了可靠性的半导体发光装置。

[0006] 实施方式的半导体发光装置包括:发光体,包含:第1导电型的第1半导体层、第2导电型的第2半导体层以及设置在所述第1半导体层与所述第2半导体层之间的发光层;衬底,配置在所述发光体的所述第2半导体层侧;第1金属层,在所述衬底与所述发光体之间电连接于所述第1半导体层及所述第2半导体层的任一层,且从所述衬底与所述发光体之间沿着所述衬底向所述发光体的外侧延伸;导电层,覆盖位于所述发光体的外侧的所述第1金属层的延伸部,并延伸在所述发光体与所述第1金属层之间;以及第2金属层,在所述衬底上与所述发光体并排设置,并隔着所述导电层设置在所述延伸部上;所述发光体包括:第1面,包含所述第1半导体层的表面;第2面,包含所述第2半导体层的表面;以及侧面,包含所述第1半导体层的外缘;所述发光体包括:在与所述第1面平行的方向上从所述侧面朝向内侧凹陷的凹陷部,所述第2金属层设置在所述凹陷部,所述凹陷部的侧壁经由曲面与所述侧面连接。

附图说明

[0007] 图1(a)是示意性表示第1实施方式的半导体发光装置的俯视图,(b)是第1实施方式的半导体发光装置的示意性剖视图。

[0008] 图2(a)是示意性表示第1实施方式的半导体发光装置的另一俯视图,(b)是半导体发光装置的主要部分的示意性剖视图。

[0009] 图3(a)~(c)是表示第1实施方式的半导体发光装置的制造过程的示意性剖视图。

[0010] 图4(a)~(c)是表示继图3(c)之后的制造过程的示意性剖视图。

[0011] 图5(a)及(b)是表示继图4(c)之后的制造过程的示意性剖视图。

[0012] 图6(a)及(b)是表示继图5(b)之后的制造过程的示意性剖视图。

[0013] 图7(a)及(b)是表示继图6(b)之后的制造过程的示意性剖视图。

[0014] 图8(a)是表示第1实施方式的半导体发光装置的特性的示意性剖视图,(b)是比较例的半导体发光装置的主要部分的示意性剖视图。

[0015] 图9(a)及(b)是示意性表示第1实施方式的半导体发光装置的主要部分的俯视图。

[0016] 图10(a)是示意性表示第2实施方式的半导体发光装置的俯视图,(b)及(c)是第2实施方式的半导体发光装置的示意性剖视图。

具体实施方式

[0017] 以下,一边参照附图,一边对实施方式进行说明。对于附图中的相同部分标注相同编号并适当省略其详细的说明,对不同的部分进行说明。此外,附图是示意图或概念图,各部分的厚度与宽度的关系、部分间的大小的比率等未必与实物相同。另外,即便是在表示相同部分的情况下,也存在根据附图将相互的尺寸或比率不同地表示的情况。

[0018] 此外,在以下的实施方式中说明的半导体发光装置为一例,并不限于这些实施方式。另外,在各半导体发光装置中说明的技术性特征在技术上能够应用的情况下能够在各实施方式中共通地应用。

[0019] (第1实施方式)

[0020] 图1(a)是示意性表示第1实施方式的半导体发光装置1的俯视图。图1(b)是沿图1(a)中所示的A-A线的半导体发光装置1的示意性剖视图。半导体发光装置1为片状光源,例如安装在安装衬底上。

[0021] 如图1(a)所示,半导体发光装置1具备发光体10与衬底20。发光体10设置在衬底20之上。半导体发光装置1在衬底20上具有与发光体10并排设置的接合垫31。

[0022] 如图1(b)所示,发光体10经由接合层25接合于衬底20。发光体10包含第1导电型的第1半导体层(以下称为n型半导体层11)、第2导电型的第2半导体层(以下称为p型半导体层12)以及发光层15。发光体10具有将n型半导体层11、发光层15及p型半导体层12依序积层而成的构造。以下,将第1导电型设为n型、将第2导电型设为p型进行说明,但并不限于此。实施方式也包含将第1导电型设为p型、将第2导电型设为n型的情况。

[0023] 发光体10具有包含n型半导体层11的表面的第1面10a、包含p型半导体层12的表面的第2面10b以及包含n型半导体层11的外缘的侧面10c。进而,发光体10具有非发光部50与发光部60。在非发光部50与发光部60之间设置着阶差,非发光部50具有设置在从第2面10b到达至n型半导体层11中的深度的表面50a。发光部60包含n型半导体层11、发光层15及p型半导体层12,非发光部50在与第2面10b平行的面内包围发光区域60(参照图2(a))。

[0024] 从发光层15放射的光主要从第1面10a向发光体10的外部放出。第1面10a具有光提取构造。光提取构造抑制放射光的全反射而提高光提取效率。例如,第1面10a设置着细微的突起而被粗面化。

[0025] 半导体发光装置1在发光体10的第2面10b侧具有n电极33(第1金属层)及p电极35、金属层37。n电极33在非发光部50的表面50a上电连接于n型半导体层11。p电极35在第2面10b上电连接于p型半导体层12。金属层37设置在p电极35上。n电极33、p电极35及金属层37优选为包含对发光层15的放射光的反射率高的材料。n电极33例如含有铝(Al)。p电极35及金属层37例如含有银(Ag)。此外,也可以为未设置金属层37的构造。

[0026] 半导体发光装置1具有介电膜41、45。介电膜41覆盖非发光部50与发光部60之间的

阶差、及非发光部50的表面50a上未设置n电极33的部分。介电膜41覆盖并保护发光层15的外缘。介电膜45覆盖整个非发光部50。介电膜45覆盖n电极33而将n电极33与衬底20及接合层25电绝缘。介电膜45的材料可以与介电膜41相同。

[0027] 金属层37延伸至介电膜45上并覆盖n电极33与p电极35之间的介电膜41及45。金属层37将在n电极33与p电极35之间通过介电膜41及45而向衬底20的方向传播的光反射,使其向朝第1面10a的方向返回。

[0028] 接合层25以覆盖金属层37及介电膜45的方式设置。接合层25例如为包含含有金锡(AuSn)、镍锡(NiSn)等焊料的接合金属的导电层。p电极35经由金属层37电连接于接合层25。另外,接合层25电连接于具有导电性的衬底20。接合层25例如包含钛(Ti)、钛-钨(TiW)等高熔点金属膜。高熔点金属膜是作为防止焊料扩散至p电极35、金属层37的障壁膜发挥功能。在衬底20的背面侧设置电极27。电极27例如为Ti/Pt/Au的积层膜,例如具有800nm的膜厚。电极27例如经由安装衬底连接于外部电路。

[0029] 相对于此,n电极33例如经由连接于接合垫31(第2金属层)的金或者铝等的金属导线连接于外部电路。n电极33具有从发光体10向外侧延伸的延伸部33p。接合垫31隔着导电层39设置在延伸部33p之上。导电层39覆盖延伸部33p,并延伸至发光体10与n电极33之间。另外,导电层39从接合垫31向芯片端1e的方向延伸,例如延伸至比延伸部33p的芯片端1e侧的端更靠外侧。

[0030] 延伸部33p沿衬底20的上表面20a延伸。在延伸部33p与衬底20之间介存着介电膜45及接合层25。延伸部33p通过介电膜45而与衬底20及接合层25电绝缘。

[0031] 图2(a)是示意性表示半导体发光装置1的另一俯视图。图2(b)是表示沿图2(a)中所示的B-B线的截面的示意图。

[0032] 图2(a)是表示发光体10之下的电极面的示意图。该图中所示的虚线表示发光体10的外缘。发光体10具有侧面10c沿与第2面10b平行的方向朝向内侧后退的凹陷部10R。n电极33设置在非发光部50的表面50a上。n电极33以在发光体10的正下方包围发光区域60的方式设置。

[0033] 半导体发光装置1例如具有五个发光区域60。在各发光区域60之上设置p电极35。发光区域60分别包含发光层15。例如,半导体发光装置1的驱动电流从衬底20的背面侧的电极27供给。驱动电流从电连接于衬底20的p电极35经由发光层15流向n电极33。由此,半导体发光装置1从五个发光区域60放射光。

[0034] n电极33具有延伸至发光体10的外侧的部分(延伸部33p)。延伸部33p位于凹陷部10R。导电层39覆盖整个延伸部33p。另外,导电层39延伸至发光体10之下。接合垫31设置在导电层39之上。接合垫31与发光体10之间的间隔 W_G 优选为50 μm 以下。

[0035] 如图2(b)所示,n电极33在发光体10的非发光部50的表面50a上与n型半导体层11相接地设置。n电极33包含延伸至发光体10的外侧的部分(延伸部33p)。延伸部33p隔着介电膜45及接合层25沿衬底20的上表面20a延伸。导电层39包含覆盖延伸部33p的第1部分39a以及延伸至发光体10与n电极33之间的第2部分39b。也就是说,从上方观察芯片面时,导电层39具有与发光体10重叠的部分。另外,从上方观察芯片面时,导电层39的外缘位于n电极33与n型半导体层11相接的部分(接触部33c)与发光体10的外缘之间。介电膜41位于发光体10与导电层39之间,并沿着导电层39延伸至发光体10的外侧。

[0036] 接下来,参照图3(a)~图7(b)对半导体发光装置1的制造方法进行说明。图3(a)~图7(b)是依序表示半导体发光装置1的制造过程的示意性剖视图。

[0037] 如图3(a)所示,在衬底101之上依序积层n型半导体层11、发光层15及p型半导体层12。在本说明书中,积层的状态除直接相接的状态以外,也包含在中间插入了其他要素的状态。

[0038] 衬底101例如为硅板或蓝宝石板。n型半导体层11、p型半导体层12及发光层15分别包含氮化物半导体。n型半导体层11、p型半导体层12及发光层15例如包含 $\text{Al}_x\text{Ga}_{1-x-y}\text{In}_y\text{N}$ ($x \geq 0, y \geq 0, x+y \leq 1$)。

[0039] n型半导体层11例如包含掺杂了Si的n型GaN接触层与掺杂了Si的n型AlGaIn包层。掺杂了Si的n型AlGaIn包层配置在掺杂了Si的n型GaN接触层与发光层15之间。n型半导体层11也可以还包含缓冲层,且掺杂了Si的n型GaN接触层配置在GaN缓冲层与掺杂了Si的n型AlGaIn包层之间。例如,缓冲层可以使用AlN、AlGaIn、GaIn中的任一种或它们的组合。

[0040] 发光层15例如具有多量子阱(MQW:Multiple Quantum Well)构造。在MQW构造中,例如多个障壁层与多个阱层交替地积层。例如,阱层使用AlGaInN。例如,阱层使用GaInN。

[0041] 障壁层例如使用掺杂了Si的n型AlGaIn。例如,障壁层使用掺杂了Si的n型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 。障壁层的厚度例如为2纳米(nm)以上且30nm以下。多个障壁层中最靠近p型半导体层12的障壁层(p侧障壁层)可以与其他障壁层不同,可以厚于或薄于其他障壁层。

[0042] 从发光层15放出的光(发出的光)的波长(峰值波长)例如为210nm以上且700nm以下。发出的光的峰值波长例如也可以为370nm以上且480nm以下。

[0043] p型半导体层12例如包含无掺杂AlGaIn间隔层、掺杂了Mg的p型AlGaIn包层、掺杂了Mg的p型GaIn接触层以及掺杂了高浓度Mg的p型GaIn接触层。掺杂了Mg的p型GaIn接触层配置在掺杂了高浓度Mg的p型GaIn接触层与发光层15之间。掺杂了Mg的p型AlGaIn包层配置在掺杂了Mg的p型GaIn接触层与发光层15之间。无掺杂AlGaIn间隔层配置在掺杂了Mg的p型AlGaIn包层与发光层15之间。例如,p型半导体层12包含无掺杂 $\text{Al}_{0.11}\text{Ga}_{0.89}\text{N}$ 间隔层、掺杂了Mg的p型 $\text{Al}_{0.28}\text{Ga}_{0.72}\text{N}$ 包层、掺杂了Mg的p型GaIn接触层及掺杂了高浓度Mg的p型GaIn接触层。

[0044] 此外,在所述半导体层中,组成、组成比、杂质的种类、杂质浓度及厚度为例示,能够进行各种变化。

[0045] 如图3(b)所示,形成非发光部50及发光部60。例如通过使用硬质掩模103选择性地对p型半导体层12的一部分与发光层15的一部分进行蚀刻而去除。硬质掩模103例如为氧化硅膜。蚀刻深度例如为0.1 μm 以上且100 μm 以下。蚀刻深度优选为0.4 μm 以上且2 μm 以下。非发光部50是以在其表面50a露出n型半导体层11的方式形成。

[0046] 如图3(c)所示,形成覆盖p型半导体层12的上表面、非发光部50与发光部60之间的阶差及非发光部50的表面50a的介电膜41。介电膜41例如为氧化硅膜或者氮化硅膜。另外,介电膜41例如具有积层构造,也可以具有将氧化硅膜与氮化硅膜积层而成的构造。硬质掩模103是在形成介电膜41之前通过蚀刻去除。

[0047] 如图4(a)所示,选择性地去除设置在非发光部50的表面50a上的介电膜41而使n型半导体层11露出。接着,形成电连接于n型半导体层11的n电极33。n电极33的材料例如兼具与n型半导体层11的欧姆接触性及高光反射率,且包含铝(Al)及银(Ag)的至少一种。

[0048] 另外,在介电膜41之上选择性地形成导电层39。导电层39设置在n电极33与n型半

导体层11相接的部分(接触部33c)附近,且覆盖之后接合垫31欲配置的部分。n电极33包含在导电层39上延伸的延伸部33p。导电层39例如为氮化钛(TiN)。另外,导电层39也可以为包含金属层、导电性的金属氮化物层及导电性的金属氧化物层的至少任一层的复合层。

[0049] 如图4(b)所示,形成覆盖n电极33、导电层39及介电膜41的介电膜45。介电膜45例如为氧化硅膜。

[0050] 如图4(c)所示,选择性地对介电膜45及41进行蚀刻而形成开口部45a及41a。由此,使p型半导体层12露出。在此阶段中,在非发光部50残留覆盖除与n电极33的接触部33c相接的部分以外的表面50a的介电膜41与覆盖n电极33、导电层39及介电膜41的介电膜45。接着,形成电连接于p型半导体层12的p电极35。p电极35例如含有Ag。

[0051] 如图5(a)所示,在p电极35上形成金属层37。金属层37延伸至介电膜45之上,并隔着介电膜41及45覆盖非发光部50与发光部60之间的阶差、及非发光部50的表面50a的一部分。金属层37覆盖n电极33与p电极35之间的介电膜41及45。金属层37例如含有Ag。

[0052] 进而,形成覆盖金属层37及介电膜45的接合层25a。接合层25a例如包含含有Ti、Pt、Ni中的至少任一种的高熔点金属膜与接合金属。接合金属例如包含Ni-Sn系、Au-Sn系、Bi-Sn系、Sn-Cu系、Sn-In系、Sn-Ag系、Sn-Pb系、Pb-Sn-Sb系、Sn-Sb系、Sn-Pb-Bi系、Sn-Pb-Cu系、Sn-Pb-Ag系及Pb-Ag系中的至少任一种。含有Ti、Pt及Ni中的至少任一种的高熔点金属膜设置在接合金属与金属层37之间及接合金属与介电膜45之间。

[0053] 如图5(b)所示,使形成着接合层25a的衬底101与衬底20对向。在衬底20的上表面形成着接合层25b。而且,衬底20的接合层25b是以与衬底101的接合层25a对向的方式配置。

[0054] 接合层25b例如包含含有Ti、Pt、Ni中的至少任一种的高熔点金属膜与接合金属。接合金属例如包含Ni-Sn系、Au-Sn系、Bi-Sn系、Sn-Cu系、Sn-In系、Sn-Ag系、Sn-Pb系、Pb-Sn-Sb系、Sn-Sb系、Sn-Pb-Bi系、Sn-Pb-Cu系、Sn-Pb-Ag系及Pb-Ag系中的至少任一种。含有Ti、Pt及Ni中的至少任一种的高熔点金属膜设置在接合金属与衬底20之间。

[0055] 如图6(a)所示,使接合层25a与25b接触并使衬底101与衬底20热压接合。由此,接合层25a与25b一体化而成为接合层25。此外,图6(a)是表示将图5(b)上下翻转而在衬底20之上隔着接合层25配置着各半导体层及衬底101的状态。

[0056] 如图6(b)所示,去除衬底101。例如在衬底101为硅板的情况下,使用研磨及干式蚀刻(例如RIE:Reactive Ion Etching)等方法去除。例如在衬底101为蓝宝石板的情况下,使用LLO(Laser Lift Off,激光剥离)去除。进而,在n型半导体层11的表面11a形成细微的突起而使表面11a粗面化。例如,通过使用碱的湿式处理或RIE使n型半导体层11的表面11a粗面化。

[0057] 如图7(a)所示,选择性地去除n型半导体层11而形成发光体10。例如使用RIE或湿式蚀刻等方法依序对n型半导体层11、发光层15及p型半导体层12进行蚀刻。此时,在发光体10的周围露出介电膜41的一部分。n型半导体层11、发光层15及p型半导体层12的蚀刻例如使用热磷酸。

[0058] 介电膜41例如对将n型半导体层11去除的蚀刻液具有耐受性而保护其正下方的构造。进而,选择性地去除形成接合垫31的部分的介电膜41而使导电层39露出。接着,在导电层39之上形成接合垫31。

[0059] 如图7(b)所示,选择性地去除发光体10周围的介电膜41、45而形成切割区域40e。

接着,例如使用切片机或者刻划器将接合层25及衬底20切断,而将半导体发光装置1制成小片。

[0060] 在所述例中,介电膜41、45除可以使用氧化硅膜以外,也可以使用氮化硅或氮氧化硅。另外,也可以使用Al、Zr、Ti、Nb及Hf等至少任一种金属的氧化物、所述至少任一种金属的氮化物或所述至少任一种金属的氮氧化物。

[0061] 接下来,参照图8(a)及(b)对导电层39的作用进行说明。图8(a)是表示半导体发光装置1的特性的示意性剖视图,图8(b)是比较例的半导体发光装置2的主要部分的示意性剖视图。

[0062] n型半导体层11、发光层15及p型半导体层12例如包含在经外延生长的状态下因与衬底101的热膨胀系数的差异所引起的内部应力。该内部应力的一部分在如图6(b)所示般去除了衬底101的状态下也是由衬底20保持。而且,在为了形成发光体10而选择性地去除n型半导体层11时,存在发光体10的正下方的部分与去除了n型半导体层11的部分之间的应力差会使介电膜41产生龟裂41c的情况。

[0063] 如图8(a)所示,在介电膜41的正下方,导电层39延伸至发光体10与n电极33之间。导电层39例如使用对用来去除n型半导体层11的蚀刻液具有耐受性的材料。由此,导电层39发挥防止热磷酸等蚀刻液经由龟裂41c渗透的作用。

[0064] 另一方面,在图8(b)所示的半导体发光装置2中,导电层39设置在供形成接合垫31的延伸部33p之上,但并未延伸至发光体10之下。而且,在发光体10的外缘,n电极33位于介电膜41的正下方。例如,极难选择欧姆接触于n型半导体层11、对发光层15的放射光具有高反射率且对n型半导体层11的蚀刻液具有耐受性的材料,因而n电极33使用耐蚀刻性低材料。因此,经由龟裂41c渗透的蚀刻液也会将n电极33蚀刻。结果,在n电极33的接触部33c与延伸部33p之间产生空腔33g,使接合垫31与n型半导体层11之间的电阻增大,从而使半导体发光元件2的动作电压上升。另外,在空腔33g内露出的含有Al的金属例如因与外部大气接触而产生离子迁移的可能性也会增大。

[0065] 这样一来,本实施方式中的导电层39在n型半导体层11的蚀刻过程保护n电极33,由此防止接合垫31与n型半导体层11之间的电阻增大,从而抑制离子迁移。由此,提高半导体发光装置1的制造良率及其可靠性。

[0066] 图9(a)及(b)是示意性表示半导体发光装置1的主要部分的俯视图。图9(a)及(b)表示设置接合垫31的凹陷部10Ra及10Rb。

[0067] 如图9(a)所示,凹陷部10Ra设置在发光体10。凹陷部10Ra是在第1面10a上向发光体10的内方向后退的部分。凹陷部10Ra是被后退至比侧面10c更靠内侧的壁面10rc及与侧面10c连接的壁面10ra包围的部分。接合垫31位于两个对向的壁面10ra之间。壁面10ra例如与侧面10c相接。

[0068] 另一方面,在图9(b)所示的例中,凹陷部10Rb设置在发光体10。凹陷部10Rb是在第1面10a上向发光体10的内方向后退的部分。凹陷部10Rb被后退至比侧面10c更靠内侧的壁面10rc及与侧面10c连接的壁面10rb包围。接合垫31位于两个对向的壁面10rb之间。壁面10rb是经由曲面10cr与侧面10c连接。

[0069] 在图9(b)的例中,例如在将曲面10cr的曲率半径设为30nm的情况下,其正下方的介电膜41产生龟裂41c(参照图8(a))。相对于此,在图9(a)所示的例中,介电膜41未产生龟

裂。图9(a)的示例相当于将曲面10cr的曲率半径设为0(零)的情况。也就是说,通过将曲面10cr的曲率半径设为 $0\mu\text{m}$ 以上且小于 $30\mu\text{m}$,能够抑制介电膜41产生龟裂41c。由此,能够进一步提高半导体发光装置1的可靠性。

[0070] (第2实施方式)

[0071] 图10(a)是示意性表示第2实施方式的半导体发光装置3的俯视图。图10(b)及(c)是半导体发光装置3的主要部分的示意性剖视图。图10(b)表示沿着图10(a)中所示的C-C线的截面,图10(c)表示沿着图10(a)中所示的D-D线的截面。

[0072] 半导体发光装置3具备发光体10与衬底20。发光体10设置在衬底20之上。图10(a)是表示发光体10之下的芯片面的俯视图。图10(a)中的虚线表示发光体10的外缘。

[0073] 如图10(a)所示,半导体发光装置3具备设置在发光体10之下的n电极33与p电极35(第1金属层)。在本实施方式中,p电极35具有延伸至发光体10外的部分(延伸部35p),接合垫32(第2金属层)设置在延伸部35p之上。在接合垫32与延伸部35p之间设置导电层39。导电层39具有覆盖延伸部35p的第1部分39a及延伸至发光体10与p电极35之间的第2部分39b。

[0074] 发光体10具有多个凹部55。凹部55在p电极35的内侧相互隔开地配置。n电极33分别设置在凹部55中。

[0075] 如图10(b)所示,发光体10经由接合层25设置在衬底20上。发光体10包含n型半导体层11、p型半导体层12以及发光层15。发光层15设置在n型半导体层11与p型半导体层12之间。发光体10具有包含n型半导体层11的表面的第1面10a、包含p型半导体层12的表面的第2面10b以及包含n型半导体层11的外缘的侧面10c。优选为在第1面10a上设置光提取构造。介电膜47覆盖第1面10a及侧面10c。在发光体10中设置从第2面10b到达至n型半导体层11的凹部55。

[0076] 在发光体10与接合层25之间设置n电极33、p电极35及介电膜41、45。介电膜41覆盖p型半导体层12的表面及凹部55的内表面。p电极35在选择性地去除了介电膜41的部分与p型半导体层12的表面相接。另外,n电极33在凹部55的底面与n型半导体层11相接。介电膜45覆盖p电极35、介电膜41及凹部55的内表面。介电膜45将p电极35与衬底20及接合层25绝缘。另一方面,接合层25延伸至凹部55中并与n电极33相接。n电极33经由接合层25电连接于衬底20。

[0077] 如图10(c)所示,p电极35具有隔着介电膜45在接合层25上延伸的延伸部35p。在延伸部35p之上隔着导电层39设置接合垫32。p电极35例如经由连接于接合垫32的金属导线而电连接于外部电路。

[0078] 导电层39在延伸部35p与介电膜41之间延伸至发光体10的正下方。从芯片的上方观察时,导电层39具有与发光体10重叠的部分。另外,从芯片的上表面观察时,导电层39的外缘位于发光体10的外缘与p电极35的接触部35c之间。由此,导电层39有效地保护p电极35,从而提高半导体发光装置3的可靠性。

[0079] 以上,一边参照具体例,一边对实施方式进行了说明。但是,实施方式并不限于这些具体例。也就是说,业者对这些具体例添加适当设计变更所得的发明只要具备实施方式的特征,那么也包含在实施方式的范围内。所述各具体例所具备的各要素及其配置、材料、条件、形状、尺寸等并不限于所例示的内容,而能够进行适当变更。

[0080] 另外,在实施方式中,所谓“氮化物半导体”包含在 $\text{B}_x\text{In}_y\text{Al}_z\text{Ga}_{1-x-y-z}\text{N}$ ($0 \leq x \leq 1, 0 \leq$

$y \leq 1, 0 \leq z \leq 1, x+y+z \leq 1$) 的化学式中使组成比 x, y 及 z 在各自的范围内变化的所有组成的半导体。而且, 进而如下半导体也包含在“氮化物半导体”中: 在所述化学式中还含有 N (氮) 以外的 V 族元素的半导体、还含有为了控制导电型等各种物性而添加的各种元素的半导体以及还含有意外包含的各种元素的半导体。

[0081] 在所述实施方式中, 表述为“部位 A 设置在部位 B 之上”时的“在...之上”除部位 A 与部位 B 接触而将部位 A 设置在部位 B 之上的情况以外, 也存在以部位 A 未与部位 B 接触而将部位 A 设置在部位 B 的上方的情况下的意义使用的情况。另外, “部位 A 设置在部位 B 之上”存在如下情况: 也能够应用在使部位 A 与部位 B 反转而使部位 A 位于部位 B 之下的情况、或部位 A 与部位 B 横向并排的情况。原因是即便使实施方式的半导体装置旋转, 在旋转前后半导体装置的构造也不会变化。

[0082] 已对本发明的若干实施方式进行了说明, 但这些实施方式是作为示例而提出的, 并非意图限定发明的范围。这些新颖的实施方式能以其它各种方式加以实施, 且能够在不脱离发明主旨的范围内进行各种省略、替换、变更。这些实施方式或其变化包含在发明的范围或主旨中, 并且包含在权利要求书所记载的发明及其均等的范围内。

[0083] [符号的说明]

[0084]	1~3	半导体发光装置
[0085]	10	发光体
[0086]	10R、10Ra、10Rb	凹陷部
[0087]	10a	第1面
[0088]	10b	第2面
[0089]	10c	侧面
[0090]	10cr	曲面
[0091]	10ra、10rb、10rc	壁面
[0092]	11	n型半导体层
[0093]	11a	表面
[0094]	12	p型半导体层
[0095]	15	发光层
[0096]	20	衬底
[0097]	20a	上表面
[0098]	25、25a、25b	接合层
[0099]	27	电极
[0100]	31、32	接合垫
[0101]	33	n电极
[0102]	33c、35c	接触部
[0103]	33g	空腔
[0104]	33p、35p	延伸部
[0105]	35	p电极
[0106]	37	金属层
[0107]	39	导电层

[0108]	39a	第1部分
[0109]	39b	第2部分
[0110]	40e	切割区域
[0111]	41、45	介电膜
[0112]	41c	龟裂
[0113]	41a、45a	开口部
[0114]	50	非发光区域
[0115]	55	凹部
[0116]	60	发光区域
[0117]	101	衬底
[0118]	103	硬质掩模

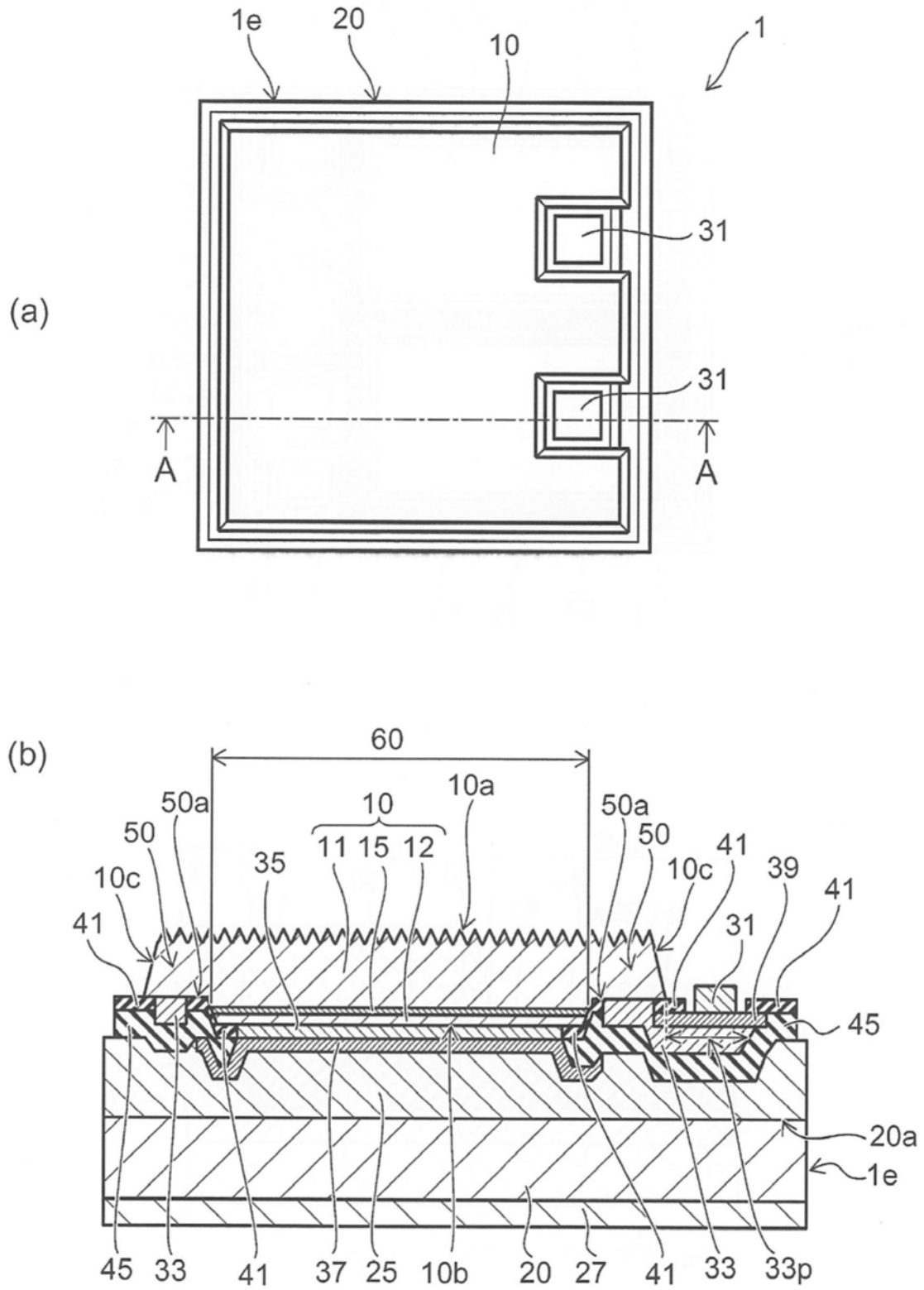


图1

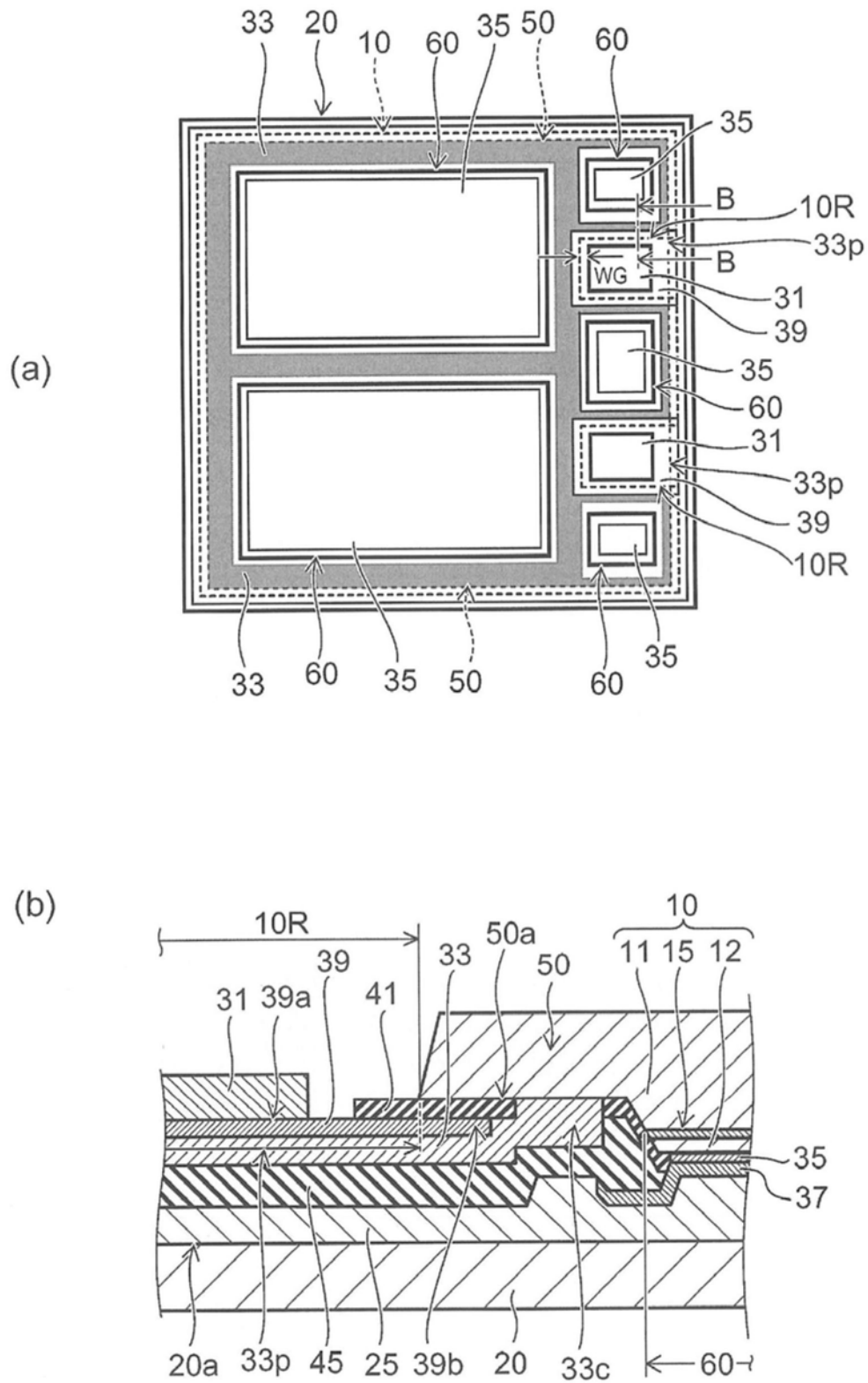


图2

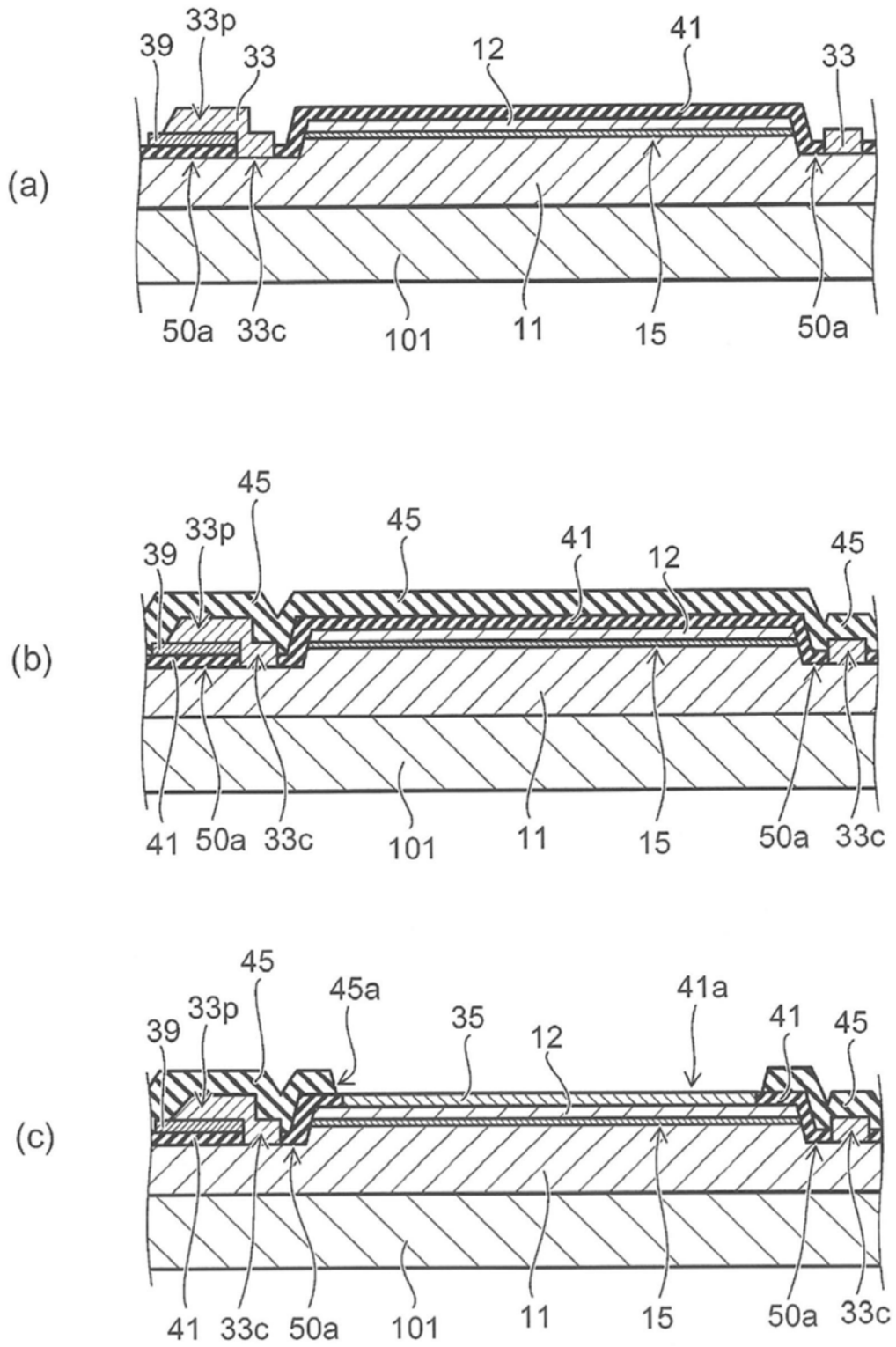
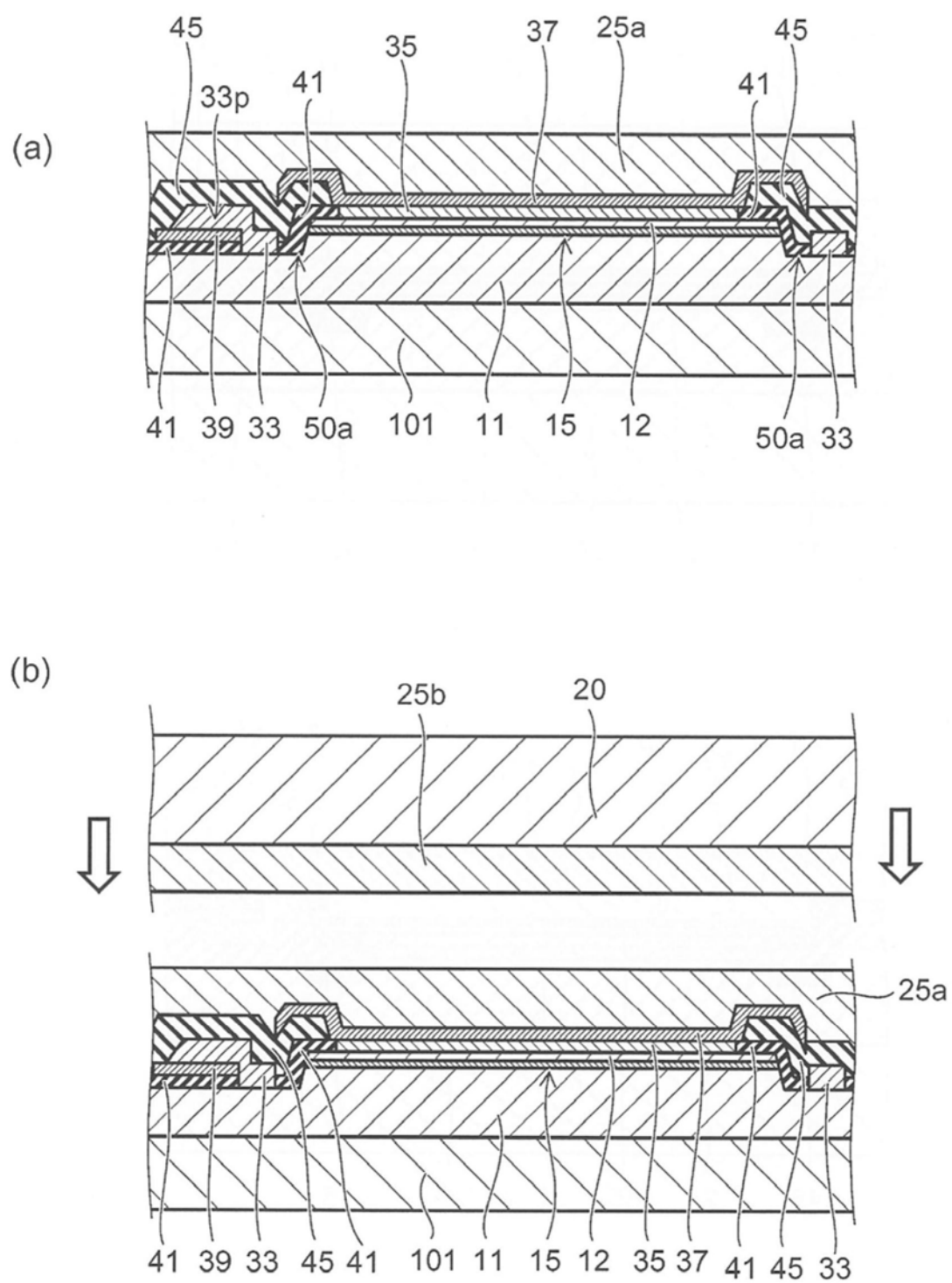


图4



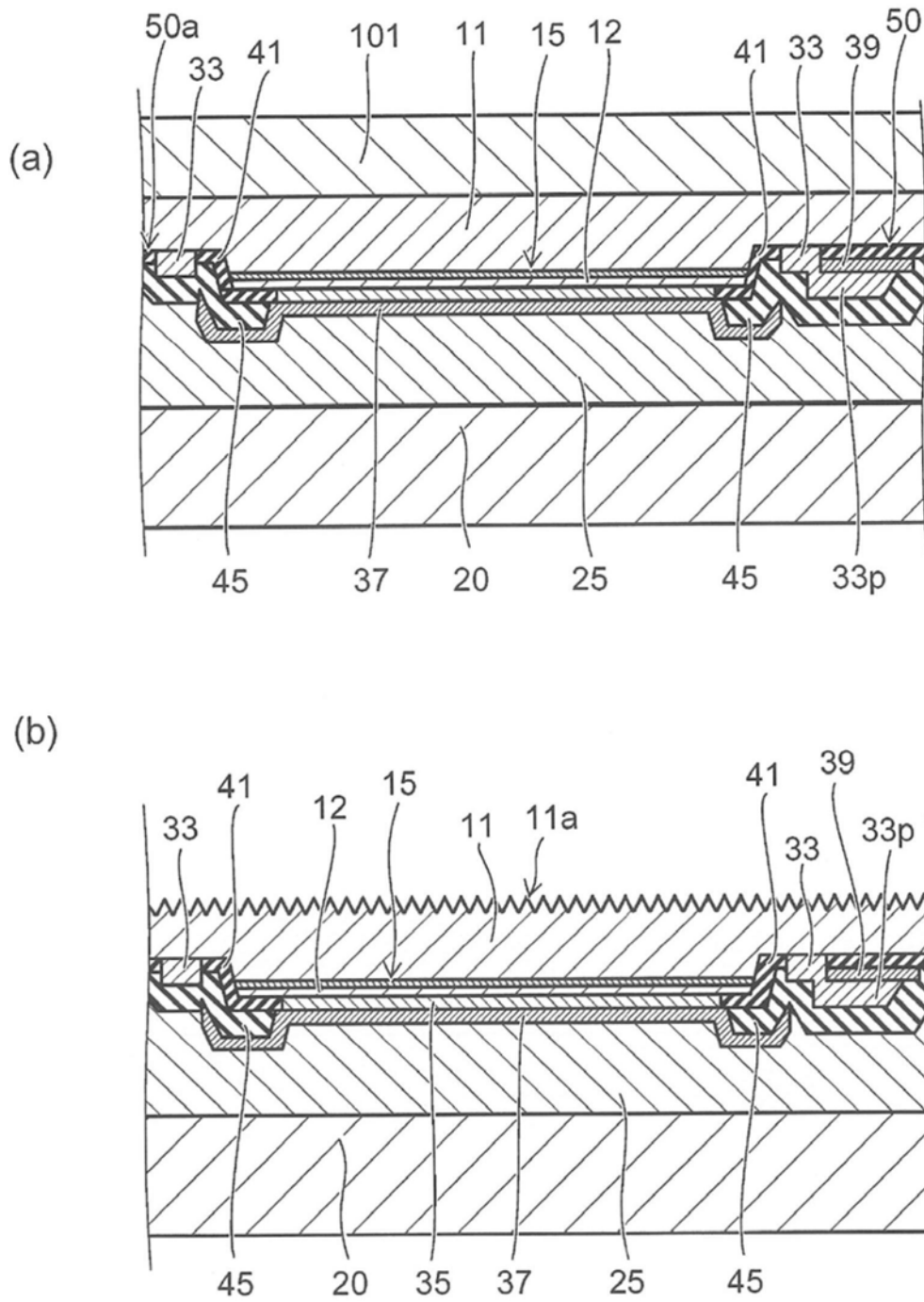


图6

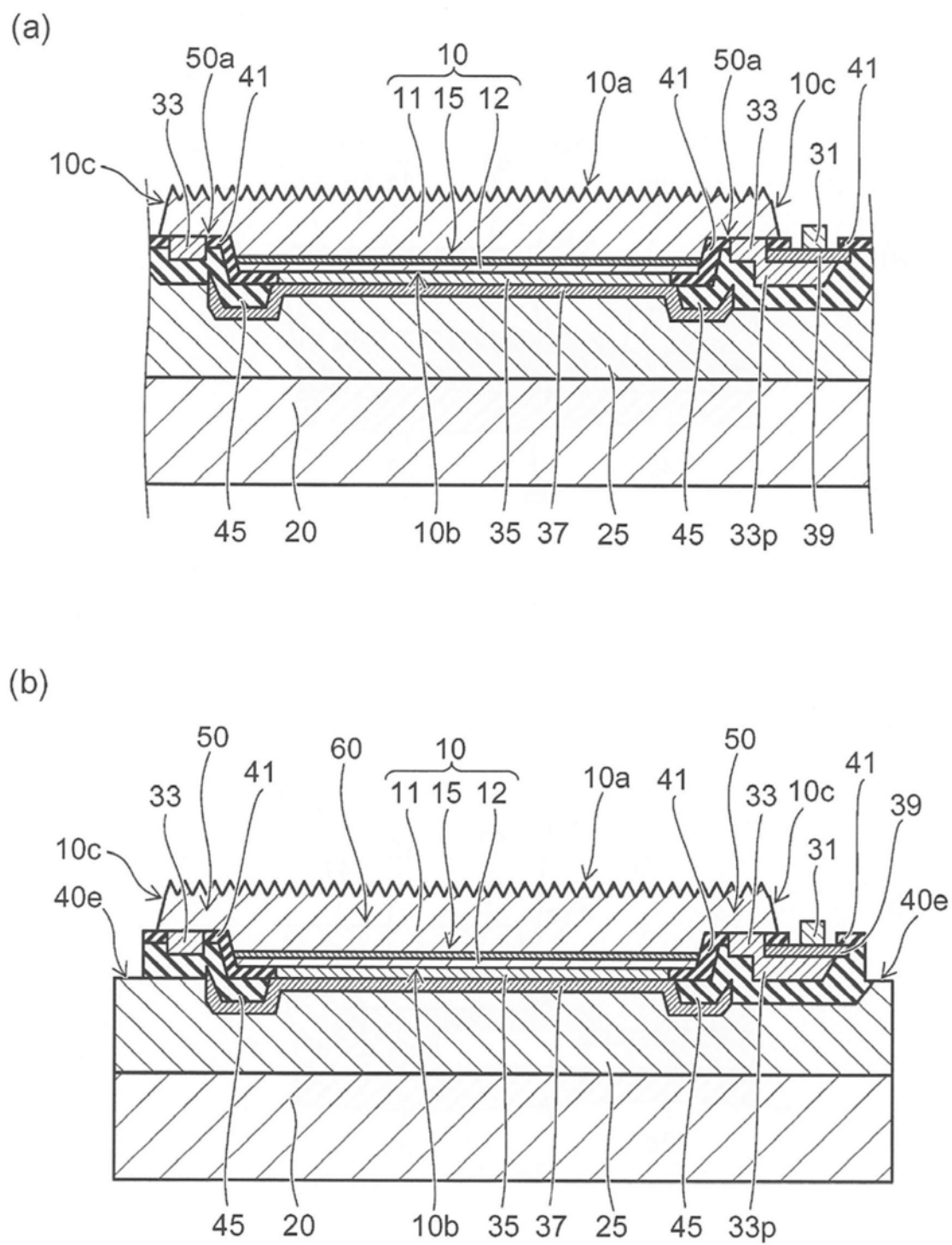


图7

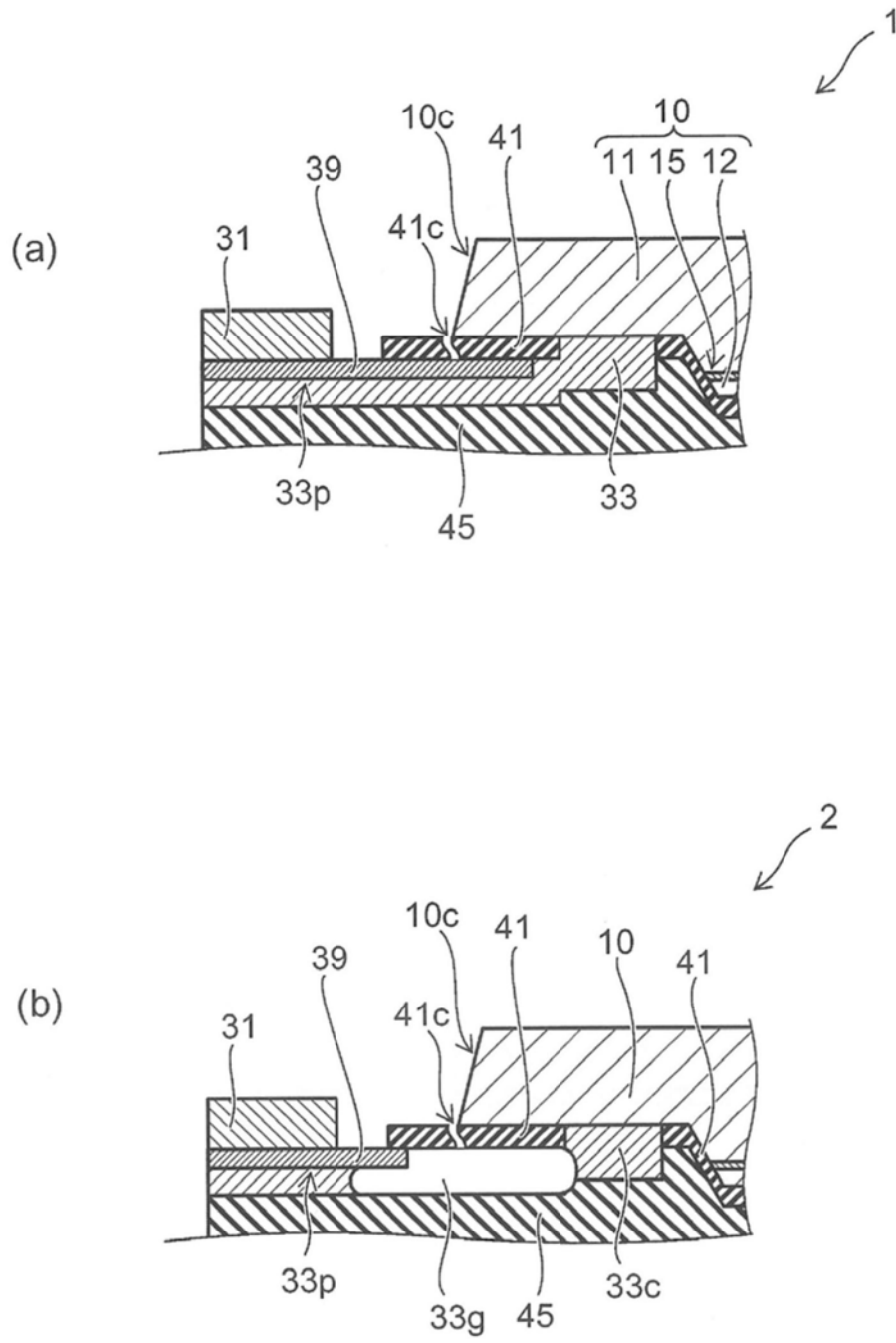


图8

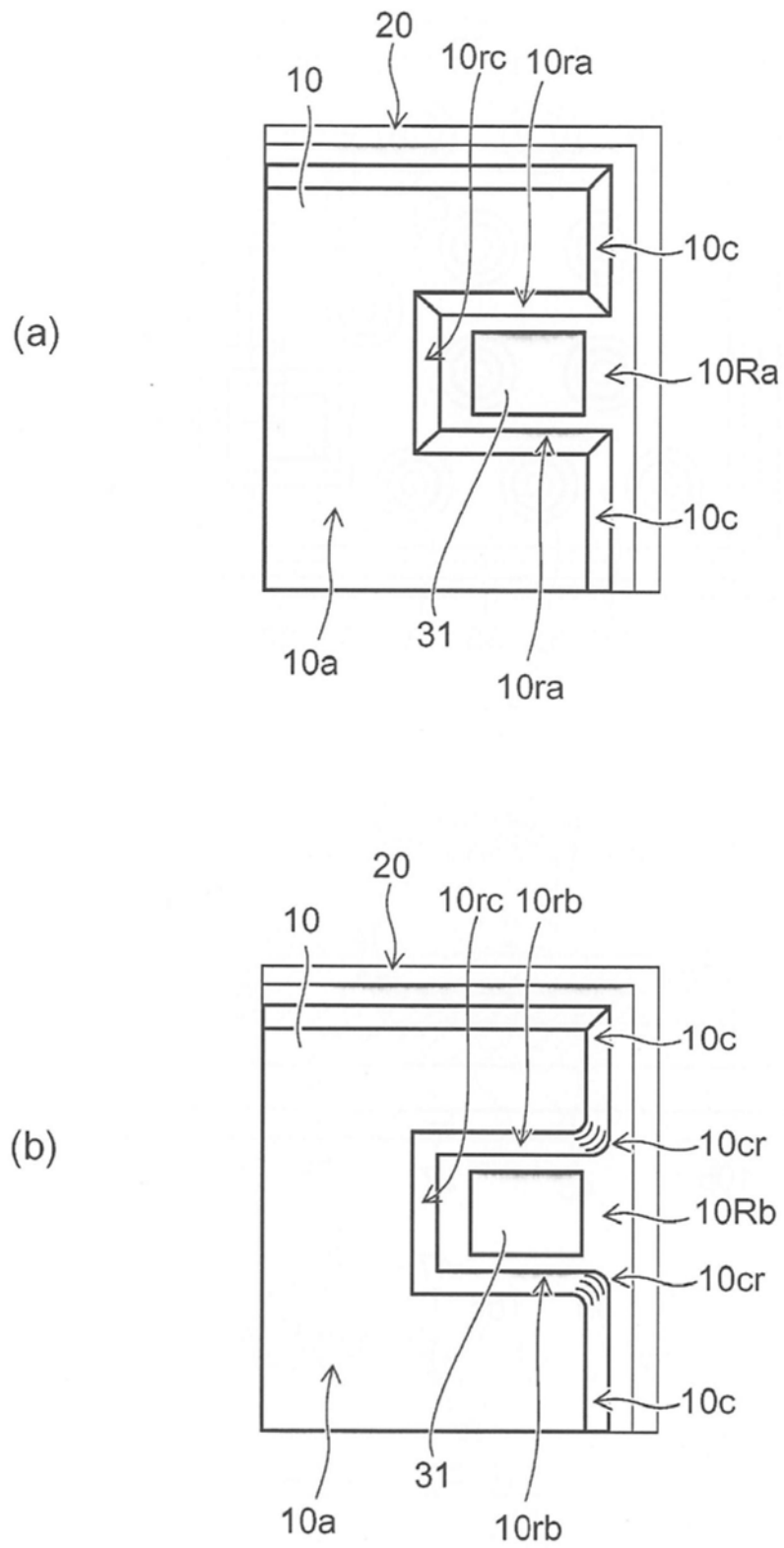


图9

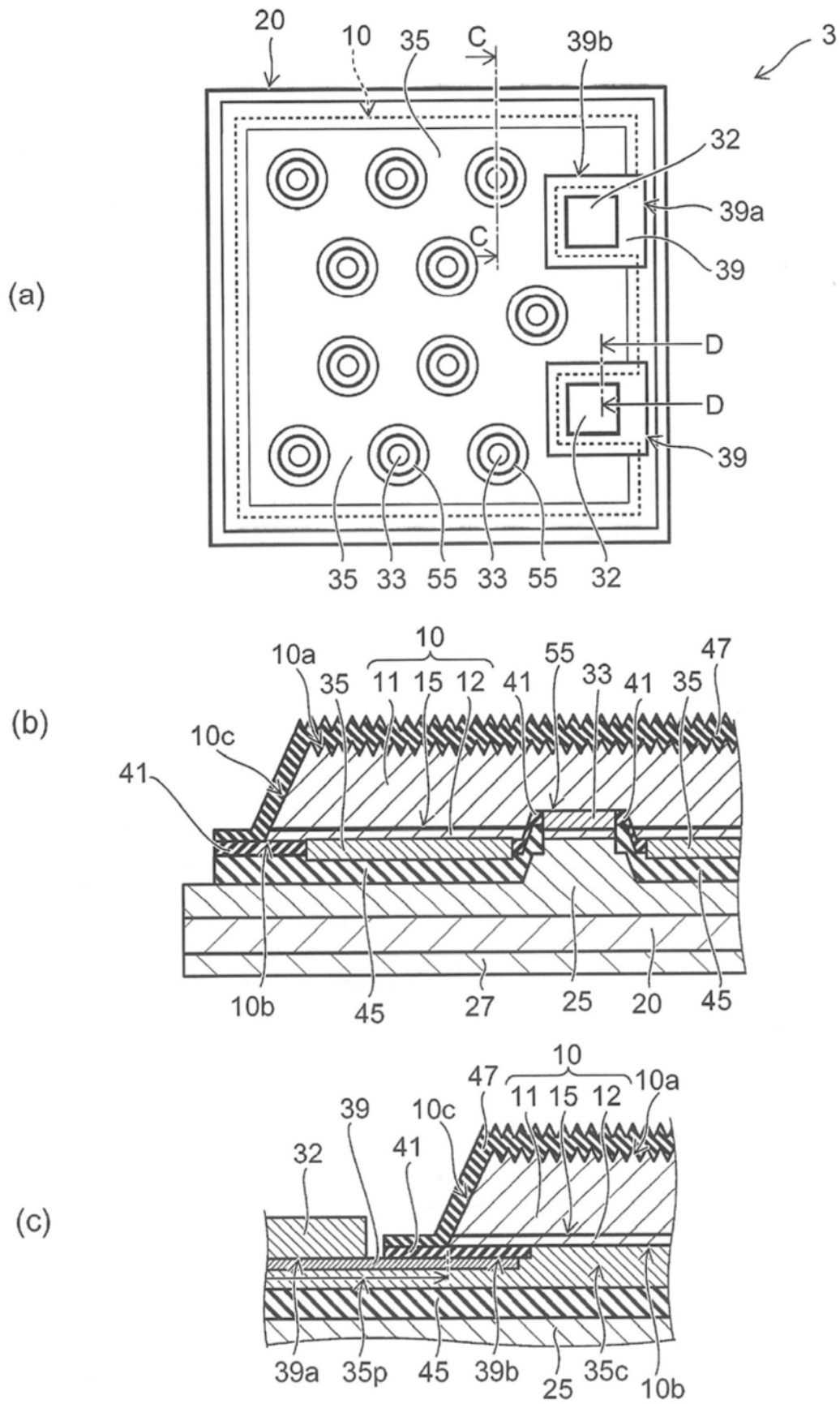


图10