(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3956401号

(P3956401)

(45)発行日　平成19年8月8日(2007.8.8)　(24)登録日　平成19年5月18日(2007.5.18)

(51)Int.Cl.		F I		
G11B 20/14	(2006.01)	G11B	20/14	351A
G11B 20/18	(2006.01)	G11B	20/18	534A
H04L 7/033	(2006.01)	H04L	7/02	B

請求項の数 7　(全 18 頁)

(21)出願番号　特願平8-35492
(22)出願日　平成8年1月30日(1996.1.30)
(65)公開番号　特開平9-204740
(43)公開日　平成9年8月5日(1997.8.5)
審査請求日　平成14年7月22日(2002.7.22)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100082762
弁理士　杉浦　正知
(72)発明者　林　信裕
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　島野　嘉治
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　山崎　達也

最終頁に続く

(54)【発明の名称】ディジタル情報記録再生同期装置

(57)【特許請求の範囲】

【請求項１】

パーシャルレスポンス，トレリス符号化，および最尤復号化を組み合わせたディジタル情報記録再生に用いられ、記録媒体から再生された再生データの復号化の際に、該再生データの同期を取るようなディジタル情報記録再生同期装置において、

位相検出手段とループフィルタとＶＣＯとからなるＰＬＬにより上記再生データからクロックを生成するクロック生成手段と、

上記再生データをパーシャルレスポンスにて等化するパーシャルレスポンス等化手段と、

上記パーシャルレスポンス等化手段で等化されたサンプルデータを所定の閾値に基づき検出する閾値検出手段と、上記検出されたデータをパラレルデータに変換するシフトレジスタと、上記パラレルデータを所定の系列と比較する系列比較手段と、上記系列比較手段による比較結果に基づき上記サンプルデータにディレイを与えるデータセレクタとを備え、上記クロックで動作する状態同期手段と、

上記状態同期手段から出力された上記サンプルデータが最尤復号入力として供給され、該最尤復号入力に対して最尤復号を行う最尤復号手段と

を有することを特徴とするディジタル情報記録再生同期装置。

【請求項２】

請求項１に記載のディジタル情報記録再生同期装置において、

上記系列比較手段は、上記記録媒体から再生された再生信号における位相同期のための

信号パターンに対する上記閾値検出手段による検出結果に基づくパラレルデータと、上記所定の系列とを比較する
ことを特徴とするディジタル情報記録再生同期装置。
【請求項３】
請求項２に記載のディジタル情報記録再生同期装置において、
上記信号パターンは、再生サンプル振幅が＋１，＋１，－１，－１の繰り返し系列であり、該繰り返し系列Ｍビット中、Ｍ≧ＮであるＮビットが一致したタイミングに基づき上記最尤復号入力との状態の同期を取る
ことを特徴とするディジタル情報記録再生同期装置。
【請求項４】
請求項３に記載のディジタル情報記録再生同期装置において、
Ｍ＝６，Ｎ＝５であることを特徴とするディジタル情報記録再生同期装置。
【請求項５】
パーシャルレスポンス，トレリス符号化，および最尤復号化を組み合わせたディジタル情報記録再生に用いられ、記録媒体から再生された再生データの復号化の際に、該再生データの同期を取るようなディジタル情報記録再生同期装置において、
上記再生データのゼロクロス点を検出し、検出結果に基づきリスタート信号をアクティブにするゼロフェーズリスタート手段と、
上記再生データ中の所定の位相同期パターンに基づいて位相のための同期検出を行う既知系列位相検出手段と、ループフィルタと、上記ゼロフェーズリスタート手段による上記ゼロクロス点の検出結果に基づきクロック出力が開始されるＶＣＯとからなるＰＬＬにより上記再生データからクロックを生成するクロック生成手段と、
上記再生データをパーシャルレスポンスにて等化するパーシャルレスポンス等化手段と、
上記パーシャルレスポンス等化手段の出力が最尤復号入力として供給され、該最尤復号入力に対して上記クロックに基づき最尤復号を行う最尤復号手段と、
上記リスタート信号がアクティブにされたタイミングに基づき、上記最尤復号入力との状態の同期を取る状態同期手段と
を有する
ことを特徴とするディジタル情報記録再生同期装置。
【請求項６】
請求項５に記載のディジタル情報記録再生同期装置において、
上記状態同期手段は、上記リスタート信号がアクティブとされるまで出力を所定の固定サンプル値に保持するＡ／Ｄ変換手段を有し、上記固定サンプル値以外のデータが出力されたタイミングに基づき、上記最尤復号入力との状態の同期を取る
ことを特徴とするディジタル情報記録再生同期装置。
【請求項７】
請求項６に記載のディジタル情報記録再生同期装置において、
上記保持されるサンプル値が０であることを特徴とするディジタル情報記録再生同期装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、トレリス符号化とパーシャルレスポンスを用いた例えば磁気記録や光記録といったディジタル記録再生装置において、復号時の同期を行うためのディジタル情報記録再生同期装置に関する。
【０００２】
【従来の技術】
磁気記録などにおける高密度記録再生を実現する手法として、トレリス符号化（以降、ＴＣと称する）とパーシャルレスポンス（以降、ＰＲと称する）とを組み合わせた記録再生

系（以降、ＴＣＰＲと称する）が知られている。これは、ＰＲの持つ特徴をそのまま活かしながら、さらにＴＣによる帯域制限を持たせることでゲインを稼ぐものである。

【０００３】

帯域制限された情報伝達系においては、符号化方式と変調方式を適切に組み合わせることによって、限られた帯域、Ｓ／Ｎをより有効に利用できることが知られている。ホワイトガウシアンノイズを仮定した系では、ビットエラーレートＰｅは、数式（１）のように表される。ここで、σ^2 はノイズの分散、d_{min} は取りうる任意の系列間の最小距離、Ｎは各系列に対してその距離をもつ系列個数の平均値である。また、Ｑ（）は補誤差関数である。この式から分かるように、符号語間の最小距離を大きくすることにより、符号化利得を稼ぐことができる。

【０００４】

【数１】

$$P_e = NQ\left(\frac{d_{min}}{2\sigma}\right) \qquad (1)$$

【０００５】

ところで、ＰＲに組合せ可能なＴＣとしては、代表的なものに、ＭＳＮ(Matched Spectral Null) 符号がある。このＭＳＮ符号の特徴は、チャネル伝達特性のヌル点と、符号の持つパワースペクトラムのヌル点を一致させたところにある。例えば、ＰＲ４（パーシャルレスポンスクラス４）に対しては、直流成分とナイキスト周波数とにヌル点があるＭＳＮ符号が使用される。

【０００６】

信号検出には、最尤系列推定を再帰的におこなう軟判定ビタビアルゴリズムを用いるが、このＭＳＮ符号は、取り得る系列同士の最小ユークリッド距離を大きくすることができるため、ビタビ復号後のビットエラーレートを下げることができる。チャネル出力点での符号の最小ユークリッド距離は、符号の持つスペクトラルヌルの次数Ｋと、チャネルの持つスペクトラルヌルの次数Ｌによって、数式（２）で表される。

【０００７】

【数２】

$$d^2_{min} \geq 2(k+L) \qquad (2)$$

【０００８】

ここで、符号のパワースペクトルが周波数でＫ次の微分まで０であるような次数Ｋを、スペクトラルヌルの次数Ｋと称する。ＰＲ４におけるＰＲチャネルは、Ｌ＝１であるから、Ｋ＝１となるＭＳＮ符号を使えば、d^2_{min} は２倍となり、符号化利得が３ｄＢ得られることになる。

【０００９】

ここでは、ダイコードチャネル用に設計された８／１０ＭＳＮ符号(US Patent No.4,888,779)を例にとって説明する。ダイコードチャネルとは、システム多項式がｈ（Ｄ）＝１－ＤであるＰＲチャネルであり、これをビットごとにインターリーブすることにより、ＰＲ４となる。ここで取り上げる８／１０ＭＳＮ符号は、従来磁気テープを媒体とする磁気記録系などでよく用いられてきた８／１０ＤＣフリー符号に、ビタビ復号器のパスメモリを有限長に制限する制約条件を付加するものである。

【００１０】

この８／１０ＭＳＮ符号では、ＤＳＶ(Digital Sum Variation) が６以下であるようなバイナリデータ系列であることを符号語の条件とする。ここで、符号$\alpha = \alpha_1, \cdots, \alpha_n$のＤＳＶとは、数式（３）で示すＲＤＳ(Runnning Digital Sum)の最大値である。

【００１１】

【数３】

$$RDS = \sum_{i=1}^{n} (-1)^{a_i} \qquad (3)$$

【００１２】
この制約により、符号は常にオフセットを小さくする状態に進むため、大局的にみるとＤＣフリーの符号となる。またゼロ走長の最大値を５に制限することができ、ＰＬＬ(Phase Locked Loop) やＡＧＣ(Auto Gain Control) には都合がよい。また、ＴＣＰＲでは、ゼロ走長の制限だけではパスが閉じないので、符号語の選び方としては、さらに、ビタビデコーダの平行パスが有限長のパスメモリで閉じるように選ばれる。そして、さらにその符号をインターリーブすることにより、ＰＲ４チャネル用の符号として使用することができる。
【００１３】
ＤＳＶを６に制限する符号系列は、状態数を７とする有限状態マシンで表現することができる。図７は、この状態数が７である有限状態マシンにおける状態遷移図を示す。ここで、偶数と奇数の状態を分けて考えると、２ビットごとに取り得る状態は偶数から始まったときは常に偶数、奇数から始まったときは常に奇数である。したがって、この図７の状態遷移図は、２ビット単位の状態遷移に直すことができ、状態数を半分にすることができる。図８は、図７に示された状態遷移図を、状態２，４，６から始まる入力２ビットを単位として書き直した状態遷移図を示す。エンコーダの出力は１０ビット単位であり、これは偶数ビットであるから、この例では、バイトの区切りで必ず状態２，４，６のいずれかの状態をとる。
【００１４】
ＭＳＮ符号の最尤復号は、上述の図７に示したＤＳＶの制約を追跡することによって行われる。実際のトレリスは、図８に示された状態遷移に、ダイコードチャネルのＰＲ（１，－１）の状態遷移を組み合わせて表現した状態遷移図から導くことができる。この状態遷移図を図９に示す。この図において、上段の６状態（すなわち状態２ａ～７ａ）は、ＰＲ（１，－１）の状態１、下段の６状態（すなわち状態１ｂ～６ｂ）は、ＰＲ（１，－１）の状態－１を表している。状態１ａおよび７ｂは、この状態に来るパスがないため除外され、状態数は１２となる。
【００１５】
このまますべての状態におけるパスメトリックを計算し、生き残りを決定するようなビタビデコーダを構成することは可能ではあるが、状態数の多さからいって現実的な規模での実現は非常に困難である。ビタビデコーダのハードウェア規模は、状態数やパスメモリ長の増加に従って増加するため、実際的にハードウェアを構成するには、状態数とパスメモリ長の削減が必須となる。
【００１６】
ここで、上述の図８と同様にして、図９に示される状態遷移図を状態２ａ，２ｂ，４ａ，４ｂ，６ａ，６ｂを開始点とする２ビットをまとめた状態遷移に書き直すと、図１０のようになる。さらに、この状態２ａ，２ｂ，４ａ，４ｂ，６ａ，６ｂをそれぞれ状態１，２，３，４，５，６と置き換え、トレリスにしたものを図１１に示す。この図１１において、状態の左にある記号は、ビタビデコーダの検出結果／デコーダ入力を２ビット単位で示したものである。例えば、０１／－１１とあるのは、ビタビデコーダに入力された値が（－１，１）の２ビットのとき、検出結果が（０，１）の２ビットとなることを表している。
【００１７】
これにより、状態数は半分に減るため、ビタビデコーダのハードウェア規模としても半分程度で済む。さらに、２ビットごとの処理で良いため、ビットレートの半分のスピードでよい。つまり、最高動作スピードや消費電力の面でも有利になる。
【００１８】

この図１１に示されたトレリスから符号間の最小ユークリッド距離を求めると、d^2_{min}＝４であることがわかる。（図中太線で示したように、状態３から最短距離で状態３に戻る２つのパスがその例である。）符号化されないダイコードチャネルの最小ユークリッド距離は２であるから、従来のダイコードチャネルおよび最尤復号の構成に対して３ｄＢのゲインがあることを示している。

【００１９】

ここで、デジタル記録再生装置における位相同期およびデータ同期に関する事柄について説明する。一般的な磁気記録のデータフォーマットは、例えば１セクタ分のデータがプリアンブルおよびユーザデータから構成される。プリアンブルは、セクタの先頭から配され、データやクロックの位置合わせを行うための既知系列が書き込まれる。このプリアンブルは、例えば、先頭に配されるクロック位相を合わせるための位相同期パターン、および、この位相同期パターンの後に配される、データ開始位置を知るためのデータ同期パターン（シンクバイト）から成る。

【００２０】

位相同期には、ＰＬＬと呼ばれるフィードバック制御系が一般的に用いられる。このＰＬＬにおいては、再生データからデータ存在点とサンプリングクロックとの位相差を検出し、それをＶＣＯ(Voltage Controled Oscillater)にフィードバックすることによってクロックの位相を補正する。このときに、位相差の検出を行うための位相同期パターンとしてよく用いられるのは、＋１，＋１，－１，－１の繰り返しデータである。ここでは、この繰り返しデータを４Ｔパターンと呼ぶ。

【００２１】

図１２は、このＰＬＬの構成の一例を示す。アナログ信号として入力された再生信号がＡ／Ｄ変換回路１００でディジタル変換され、位相ずれ計算回路１０１に供給される。この位相ずれ計算回路１０１には、後述するＶＣＯ１０２からの出力がフィードバックされて供給されており、Ａ／Ｄ変換回路１００の出力およびＶＣＯ１０２の出力が比較され両者の位相ずれが算出される。この位相ずれがＤ／Ａ変換回路１０３およびループフィルタ１０４を介してＶＣＯ１０２に供給される。そして、このＶＣＯ１０２の出力がＡ／Ｄ変換回路１００に供給されサンプリング周波数とされ、また、位相ずれ計算回路１０１に供給され再生信号と比較される。

【００２２】

位相ずれ計算回路１０１で位相ずれの算出のために用いられる計算式の例を数式（４）に示す。

【００２３】

【数４】

$$\Delta\gamma_n = y_{n-1}\hat{y}_n - y_n\hat{y}_{n-1} \qquad (4)$$

但し、　y_n　：再生デジタルサンプル値

$\hat{y}_n$ ($\in \{-1, 0, +1\}$)：識別結果

【００２４】

ここで、識別にしきい値検出を用いた場合、ノイズによる識別誤りがあると、位相の引込みが遅くなることがある。特に、初期位相誤差がπ／４周期あると、ノイズによっては前後どちらに引込まれるか不定になり、引き込みが遅れるケースも出てくる。

【００２５】

それに対し、既知系列であることを利用して、識別をせずに既知データとの計算を行うこともできる。この場合、位相情報の誤りは生じないので引込みは前述の方式に比較して速い。しかしながら、初期位相誤差が過大になる可能性がある。

【００２６】

また、ＰＬＬとよく組み合わせて用いられるのが、ゼロフェーズリスタート（ＺＰＲ）回

路である。このＺＰＲ回路は、一旦ＰＬＬによるクロックを停止させ、再生信号のゼロクロス点を利用して位相差０のポイントで停止させたクロックを再スタートさせるものである。クロック生成再開後は、通常どおり位相同期を行う。この方法を用いることによって、初期位相誤差が小さくなり、位相同期にかかる時間が短くて済む利点がある。上述の、既知系列から位相検出する方法と組み合わせると、互いの検出方法の欠点がカバーでき、性能向上が期待できる。

【００２７】

【発明が解決しようとする課題】

ところで、上述のＭＳＮ符号を用いたＰＲ記録再生系において、２ビット毎にメトリック計算を行う最尤復号化を実際のデータ記録再生装置に適用する場合、再生時には、データの２ビットの区切りが合っていなければならない。若しこの区切りがずれると、上述の図７に示される偶数状態と奇数状態が入れ替わってしまう。偶数状態と奇数状態では取り得るパスの入力が異なるため、通常在りえないパスが生き残ってエラーが頻発する可能性があるという問題点があった。

【００２８】

再生時、再生データをビタビデコーダに単に入力するだけでは、当然ながら境界が合っている保証はないため、データ先頭で同期をとるような何らかの手段を持たなければならない。そこで、正しく復号化を行うために、通常、データの始まりが偶数状態か奇数状態かを予め決めておいてそこからパスを始めるようにする。つまりこの場合、最尤復号器が誤らないためには２択の境界合わせが必要である。データ先頭で常に同じパスメトリック計算を行うようにすることから、いわば状態の同期をとることになる。

【００２９】

図１３にビタビ入力部分の構成の例を示す。図１３Ａに示されるダイコードチャネルでは、２ビット毎の入力となるため、１対２のシリアル－パラレル変換となり、１／２クロックの位相を選択することになる。具体的には、その位相を決めるための基準信号が必要となる。また、ＰＲ４用に前述のＭＳＮ符号をインターリーブした場合、さらに奇数系列、偶数系列に振り分けられるので、４択の境界合わせが必要となり、図１３Ｂに示されるような構成となる。このときには、１／４クロックの位相を選択することになる。

【００３０】

なお、データ先頭で同期をとる手段としてシンクバイトを検出する方法があるが、このシンクバイトを検出する方法の目的は、主にハードディスクコントローラなどのコントローラＩＣにデータバイトの先頭を認識させることにある。したがって、最尤復号に必要なビット単位の同期検出には、必ずしもこのシンクバイト検出が適しているとはいえない。

【００３１】

したがって、この発明の目的は、ＴＣＰＲによる情報記録再生装置において必要な、最尤復号化のための状態の同期を行うようなディジタル情報記録再生同期装置を提供することにある。

【００３２】

【課題を解決するための手段】

この発明は、上述した課題を解決するために、パーシャルレスポンス，トレリス符号化，および最尤復号化を組み合わせたディジタル情報記録再生に用いられ、記録媒体から再生された再生データの復号化の際に、再生データの同期を取るようなディジタル情報記録再生同期装置において、位相検出手段とループフィルタとＶＣＯとからなるＰＬＬにより再生データからクロックを生成するクロック生成手段と、再生データをパーシャルレスポンスにて等化するパーシャルレスポンス等化手段と、パーシャルレスポンス等化手段で等化されたサンプルデータを所定の閾値に基づき検出する閾値検出手段と、検出されたデータをパラレルデータに変換するシフトレジスタと、パラレルデータを所定の系列と比較する系列比較手段と、系列比較手段による比較結果に基づきサンプルデータにディレイを与えるデータセレクタとを備え、クロックで動作する状態同期手段と、状態同期手段から出力されたサンプルデータが最尤復号入力として供給され、最尤復号入力に対して最尤復号

を行う最尤復号手段とを有することを特徴とするディジタル情報記録再生同期装置である。

また、この発明は、パーシャルレスポンス，トレリス符号化，および最尤復号化を組み合わせたディジタル情報記録再生に用いられ、記録媒体から再生された再生データの復号化の際に、再生データの同期を取るようなディジタル情報記録再生同期装置において、再生データのゼロクロス点を検出し、検出結果に基づきリスタート信号をアクティブにするゼロフェーズリスタート手段と、再生データ中の所定の位相同期パターンに基づいて位相のための同期検出を行う既知系列位相検出手段と、ループフィルタと、ゼロフェーズリスタート手段によるゼロクロス点の検出結果に基づきクロック出力が開始されるＶＣＯとからなるＰＬＬにより再生データからクロックを生成するクロック生成手段と、再生データをパーシャルレスポンスにて等化するパーシャルレスポンス等化手段と、パーシャルレスポンス等化手段の出力が最尤復号入力として供給され、最尤復号入力に対してクロックに基づき最尤復号を行う最尤復号手段と、リスタート信号がアクティブにされたタイミングに基づき、最尤復号入力との状態の同期を取る状態同期手段とを有することを特徴とするディジタル情報記録再生同期装置である。

【００３３】

上述したように、この発明は、最尤復号入力の先頭と時変なトレリスの初期状態とを合わせることによって同期を取る状態同期手段を有するために、最尤復号入力のデータの２ビットの区切りを合わせることができる。

【００３４】

【発明の実施の形態】

以下、この発明の実施の形態について説明する。この発明においては、最尤復号化のための同期手段として、位相同期用の＋１，＋１，－１，－１の繰り返しデータである４Ｔパターンが用いられる。そこで、この４Ｔパターンが４ビットの繰り返しであることを利用して、データの先頭のやってくるタイミング信号を生成する。

【００３５】

この発明においては、ディレイラインからの正しい順番のデータおよびタイミング信号とを最尤復号器に入力する。あるいは、この発明の第２および第３の形態においては、タイミング信号によって分周カウンタを動作させ、各系列の最尤復号器の入力ラッチにちょうど意図するデータが入った時に立ち上がるようなクロックを生成する。

【００３６】

これらの方法によれば、データ同期パターン（シンクバイト）を検出するまでユーザデータの始まりを知ることはできないが、データの２ビットずつの境界は合っているので、正しく復号化を行うことができる。

【００３７】

タイミングをとる具体的な方法としては、例えば、以下に示す２つの方法が考えられる。すなわち、第１の方法は、この発明の実施の第１の形態において説明される方法で、繰り返しパターンを系列で識別し、系列が一致したらその系列に応じてある順番でビタビデコーダに入力する方法である。

【００３８】

また、第２の方法は、第２および第３の形態において説明される方法で、ゼロフェーズリスタート（ＺＰＲ）のタイミング信号を利用する方法である。これは、ＺＰＲ開始直後のデータは、＋１，＋１，－１，－１の先頭の＋１であるため、このＺＰＲ後、４ビット毎にアクティブとなる信号を生成すれば、その信号は、シンクバイトが４の倍数ビットならば、ユーザデータの先頭位置に合っていることになる。なお、シンクバイトが４の倍数ビットでなくとも、余り分に応じて信号を遅らせれば、簡単に位置合わせを行うことが可能である。

【００３９】

次に、この発明の実施の第１の形態について、図面を参照しながら説明する。図１は、この実施の第１の形態によるディジタル情報記録再生同期装置の構成の一例を示す。パーシ

ャルレスポンスクラス４（以下、ＰＲ４と称する）で記録媒体に記録されたデータが例えばハードディスクといった記録媒体から再生され、この再生データがＡ／Ｄ変換回路１に供給される。

【００４０】

図２は、このとき供給される再生データの例を、１セクタ分示す。図２Ａのように、再生データは、位相同期パターンとデータ同期パターンとから構成されるプリアンブル、およびユーザデータから成る。位相同期パターンは、クロック位相を合わせるためのもので、例えば図２Ｂに示されるような単純な波形から成る。この位相同期パターンは、例えば、上述の従来技術において説明した４Ｔパターン、すなわち、＋１，＋１，－１，－１の繰り返しパターンが用いられる。また、データ同期パターンは、ユーザデータの開始位置を示すためのもので、シンクバイトとも称される。この再生データが、リードゲートがアクティブにされることにより、Ａ／Ｄ変換回路１に供給される。

【００４１】

Ａ／Ｄ変換回路１に供給された再生データは、例えば８ビットパラレルのディジタル信号に変換される。この変換は、後述するＶＣＯ２において発生された信号に基づいたサンプリング周波数で行われる。図２Ｂ中の黒点は、再生信号に存在するデータ点を示し、Ａ／Ｄ変換回路１におけるサンプリングは、これらの点に対して行われる。このＡ／Ｄ変換回路１でディジタル変換された再生データは、パーシャルレスポンス（ＰＲ）等化器３に供給される。

【００４２】

ＰＲ等化器３に供給された再生データは、ＰＲ４に規定の波形形状に等化され、等化サンプルデータとされる。すなわち、この等化サンプルデータは、クロックタイミングでサンプリングされた等化データのデジタル値である。この等化サンプルデータは、状態同期回路４に供給されると共に、位相検出回路５に供給される。この位相検出回路５において、供給された等化サンプルデータから位相ずれが検出される。このときの検出は、上述の従来技術において説明した数式（４）に基づいて行われる。

【００４３】

例えば、等化サンプルデータのあるサンプリング点y_nおよびその前のサンプリング点y_{n-1}において、これらサンプリングデータの所定のしきい値に対する大小が識別される。この例では、しきい値が０とされ、サンプリングデータｐがｐ＞０であれば１，ｐ≦０であれば－１であると識別される。そして、y_nおよびy_{n-1}に対してこれらそれぞれの識別値がたすき掛けで掛け合わされ、その差分が位相差Δγとして求められる。その結果、Δγ＝０であれば位相差が無いとされ、Δγ≠０であれば位相差が出力される。

【００４４】

このようにして求められた位相検出回路５における検出結果がＤ／Ａ変換回路６に供給される。このＤ／Ａ変換回路６において、供給された検出結果がアナログ変換され、ループフィルタ７を介し低域透過され、ＶＣＯ(Voltage Controled Oscilater) ２に供給される。ＶＣＯ２は、供給された電圧に応じた周波数の発振信号を出力する。したがって、この例では、位相検出回路５における位相ずれの検出結果に基づいた周波数の発振信号が出力される。そして、上述したように、この発振出力がＡ／Ｄ変換回路１におけるサンプリング周波数としてＡ／Ｄ変換回路１に供給される。

【００４５】

このように、位相検出回路５，ループフィルタ６，およびＶＣＯ２によってＰＬＬ(Phase Locked Loop) が構成され、安定したクロックを得ることができる。このクロックは、ＶＣＯ２から取り出され、例えば後段の状態同期回路４や最尤復号器８に供給される。

【００４６】

一方、ＰＲ等化器３から出力された等化サンプルデータは、この発明の主題を成す、状態同期回路４に供給される。図３は、この状態同期回路４のより詳細な構成を示す。この状態同期回路４は、上述したＰＬＬによって得られたクロックに基づき動作するもので、入力された等化サンプルデータの系列のパターンを検出し、検出されたパターンによってデ

ータに対するディレイ量を変え、ユーザデータが常に同じタイミングでラッチされるようにするものである。

【００４７】

すなわち、状態同期回路４に供給された等化サンプルデータがしきい値検出されビットデータとされる。しきい値検出されたビットデータは、シフトレジスタによってＭビットのパラレルデータとされ、系列比較器に供給される。この系列比較器において、Ｍビットから成る比較系列が予め所定の数だけ設定されている。供給されたＭビットのパラレルデータは、これらＭビットの比較系列のうちＮビットが一致したらその比較系列に一致していると見做される。そして、一致した比較系列の種類に応じて、等化サンプルデータに対するディレイ量が変えられ、等化サンプルデータが出力される。

【００４８】

なお、この実施の第１の形態においては、Ｍ＝６，Ｎ＝５とされる。上述したように、この例においては、位相同期パターンに＋１，＋１，－１，－１の繰り返しパターンである４Ｔパターンが用いられている。したがって、Ｍ＝６である比較系列は、‘１１００１１’，‘０１１００１’，‘００１１００’，‘１００１１０’の４種類が設定される。後述するように、このように比較系列を設定することで、４Ｔパターンにおける全てのビットずれに対応できる。そして、これら比較系列のうちの何れかに対してＮ＝５ビットが一致すれば、再生データがその比較系列に一致しているとされる。

【００４９】

状態同期回路４に供給された等化サンプルデータは、６個のレジスタ２０ａ，２０ｂ，２０ｃ，２０ｄ，２０ｅ，２０ｆから成るシフトレジスタ２０に供給されると共に、しきい値検出回路２１に供給される。このしきい値検出回路２１においては、上述のＰＬＬによって得られた１クロックを費やし、０をしきい値としたしきい値判別が行われる。すなわち、供給された等化サンプルデータの値が０を越えるか、あるいは０以下かで２値判別がなされる。したがって、等化サンプルデータの値が０を越える場合には検出出力が‘１’とされ、０以下であれば‘０’とされることにより、等化サンプルデータがビットデータに変換される。

【００５０】

この実施の第１の形態においては、等化サンプルデータのしきい値判別をこのように２値判別で行っている。そのため、等化サンプルデータにおける＋１，－１を判別するためにはデータの極性だけを見ればよく、しきい値判別に要する回路構成が非常に簡単なものになる。

【００５１】

このようにして等化サンプルデータから得られたビットデータが５個のレジスタ２２ａ，２２ｂ，２２ｃ，２２ｄ，２２ｅから成り、クロックタイミングでデータがシフトされるシフトレジスタ２２に供給され、６ビットのパラレルデータとされる。すなわち、最初のビットデータ（ｄｅｔ［０］とする）がしきい値検出回路２１から出力され、レジスタ２２ａに送られる。そして、次のクロックタイミングで以てビットデータ（ｄｅｔ［１］とする）がしきい値検出回路２１から出力され、同時に、最初にレジスタ２２ａに供給されたｄｅｔ［０］がレジスタ２２ｂに送られ、ｄｅｔ［１］がレジスタ２２ａに送られる。このように、ｄｅｔ［０］，ｄｅｔ［１］，・・・がクロックタイミングで以て順にレジスタ２２ａ，２２ｂ，・・・と送られ、６番目のビットであるｄｅｔ［５］がしきい値検出回路２１から出力されシフトレジスタ２２に供給されると、これらｄｅｔ［０］，ｄｅｔ［１］，・・・，ｄｅｔ［５］が被比較系列として系列比較器２３に供給される。

【００５２】

系列比較器２３では、これら供給された被比較系列が上述した４種類の比較系列とが比較され、被比較系列が４種類の比較系列のどれと一致するかが判断される。若し、被比較系列が比較系列‘１１００１１’と一致するとされれば、比較結果を表す値ｓｅｑ＝０とされる。同様にして、被比較系列が比較系列‘０１１００１’と一致すればｓｅｑ＝１、比較系列‘００１１００’と一致すればｓｅｑ＝２、比較系列‘１００１１０’と一致すれ

ばｓｅｑ＝３とされる。なお、この判断の際には、被比較系列６ビットのうち５ビットがどれかの比較系列との一致をみれば、被比較系列とその比較系列が一致していると見做される。また、この例では、比較系列において左側が先頭側とする。このようにして得られた、供給データ系列の種類を表すｓｅｑ値は、データセレクタ２４に渡される。

【００５３】

一方、６個のレジスタ２０ａ，２０ｂ，２０ｃ，２０ｄ，２０ｅ，２０ｆから成り、クロックタイミングでデータがシフトされるシフトレジスタ２０に供給された等化サンプルデータは、パラレル化されてデータセレクタ２４に送られる。すなわち、最初に状態同期回路４に供給された等化サンプルデータ（s_0とする）がレジスタ２０ａに供給される。そして、次のクロックタイミングで以て等化サンプルデータ（s_1とする）が供給され、同時に、最初にレジスタ２０ａに供給されたs_0がレジスタ２０ｂに送られ、s_1がレジスタ２０ａに送られる。このように、s_1，s_2，・・・がクロックタイミングで以て順にレジスタ２０ａ，２０ｂ，・・・と送られ、７番目のビットであるs_6が状態同期回路４に供給されると、これらs_0，s_1，・・・，s_6がデータセレクタ２４に供給される。

【００５４】

上述したように、このデータセレクタ２４には、供給データ系列の種類を表すｓｅｑ値が供給されている。データセレクタ２４では、このｓｅｑ値に基づいて、シフトレジスタ２０から供給された等化サンプルデータs_0～s_6から４データを選択し、この選択された４データを同時出力する。このとき、ｓｅｑ＝０に対してs_0，s_1，s_2，s_3が選択され、ｓｅｑ＝１に対してs_1，s_2，s_3，s_4が選択され、ｓｅｑ＝２に対してs_2，s_3，s_4，s_5が選択され、ｓｅｑ＝３に対してs_3，s_4，s_5，s_6が選択され、出力される。

【００５５】

このように、系列比較回路２３から出力されたｓｅｑ値によって、データセレクタ２４において等化サンプルデータに対してディレイが適宜与えられる。それにより、データセレクタ２４によってこのｓｅｑ値に基づいて選択され出力された４データは、常に同じタイミングのデータとされる。

【００５６】

すなわち、この状態同期回路４に供給された等化サンプルデータは、しきい値検出回路２１において処理に１クロック分費やされ、系列比較回路２３におけるｄｅｔ［０］，ｄｅｔ［１］，ｄｅｔ［２］，ｄｅｔ［３］，ｄｅｔ［４］，ｄｅｔ［５］がデータセレクタ２４におけるs_0，s_1，s_2，s_3，s_4，s_5にそれぞれ対応する。したがって、例えばｓｅｑ＝１であれば、ｄｅｔ［１］（＝‘１’），ｄｅｔ［２］（＝‘１’），ｄｅｔ［３］（＝‘０’），ｄｅｔ［４］（＝‘０’）に対応するs_1，s_2，s_3，s_4が出力される。また、ｓｅｑ＝２であれば、ｄｅｔ［２］（＝‘１’），ｄｅｔ［３］（＝‘１’），ｄｅｔ［４］（＝‘０’），ｄｅｔ［５］（＝‘０’）に対応するs_2，s_3，s_4，s_5が出力される。

【００５７】

このように、データセレクタ２４からは、系列パターン‘１１００’に対応する等化サンプルデータが出力される。したがって、この状態同期回路４からは、常にデータの境界に対して同期がとれた出力が得られる。

【００５８】

この状態同期回路４から出力された４つの等化サンプルデータは、最尤復号器８に供給される。この最尤復号器８においては、例えばビタビアルゴリズムによる最尤復号が行われる。この場合、データが４ビット同時出力であるため、例えば、上述の従来技術における図１３Ｂで示した構成から最初のシフトレジスタが除かれた構成のビタビデコーダが適用できる。

【００５９】

なお、上述したように、この例においては、Ｍ＝６，Ｎ＝５とされ、６ビットの系列で５ビットの一致を見ている。こうすることによって、最尤復号器８の入力同期部での誤り確

率は、ビットエラーレートに比べ、十分に低い値が得られる。

【００６０】

また、上述したように、状態同期回路４において、等化サンプルデータがデータ境界に対して同期をとられており、順序合わせを行ってからこの最尤復号器８における最尤復号を行うことができるため、最尤復号における、境界誤りによるエラーレート低下が回避される。

【００６１】

なお、上述の説明においては、状態同期回路４に供給されるデータが等化サンプルデータであるとしたが、これはこの例に限定されるものではない。例えば、この状態同期回路４には、データの先頭に正負を表すビットが付された符号付きバイナリデータを供給するようにしてもよい。この場合には、位相同期パターンの２値判別は、その符号ビットを見るだけでよいので、しきい値検出回路２１が不要とされる。また、データが既にビット列で供給されているために、シフトレジスタ２２をシフトレジスタ２０に含めることができる。このときには、系列比較を行うために用いられたデータが直接的に選択され出力される。

【００６２】

次に、この発明の実施の第２の形態について、図面を参照しながら説明する。図４は、この実施の第２の形態によるディジタル情報記録再生同期装置の構成の一例を示す。なお、この図４において、上述の図１と共通する部分には同一の番号を付し、詳細な説明を省略する。

【００６３】

この実施の第２の形態は、上述の従来技術において説明した、ＺＰＲ(Zero Phase Restart)回路５０を用い、アナログ的に位相ずれを無くすことを利用して、上述の実施の第１の形態において再生データの系列の一致をとるための状態同期回路を用いずに状態同期を行う例である。

【００６４】

ＶＣＯ２は、ＺＰＲ回路５０から供給された制御信号によって、最初クロック出力を停止されている。したがって、このＶＣＯ２によって生成されるクロックに基づき動作する、例えばＡ／Ｄ変換回路１やＰＲ等化器３，クロック分周器５１といったディジタル回路は、動作していない。また、この実施の第２の形態においては、最尤復号器８は、クロック分周器５１から供給される分周されたクロックに基づいて復号動作を行う。

【００６５】

ＺＰＲ回路５０には、記録媒体からの再生信号が供給される。供給された再生信号に対して、このＺＰＲ回路５０でゼロクロス点の検出が行われる。また、このＺＰＲ回路５０からは、ゼロクロス点が検出されると同時にアクティブとされるリスタート信号が出力される。このリスタート信号は、ディレイ５２を介して、このリスタート信号をリセット信号としてクロック分周を開始するクロック分周器５１に供給される。

【００６６】

図５は、この実施の第２の形態における、各部の信号のタイミングチャートの一例を示す。図５Ａのようにリードゲートがアクティブとされると、記録媒体からの再生信号がＺＰＲ回路５０に対して供給される。このとき、図５Ｂに示されるように、先ず＋１，＋１，－１，－１の４Ｔパターンである位相同期パターンが供給される。また、それと共に、この再生信号は、Ａ／Ｄ変換回路１に対しても供給されるが、上述したように、ＺＰＲ回路５０によってＡ／Ｄ変換回路１の動作が停止されているため、Ａ／Ｄ変換回路１においては、再生信号に対する処理は行われない。また、図５Ｅに示されるリスタート信号もアクティブとされていない。

【００６７】

ＺＰＲ回路５０において、供給された再生信号の４Ｔパターンから最初の＋１へのゼロクロス点が検出されると、ディレイ５２を介してクロック分周器５１に供給されているリスタート信号がアクティブとされると共に、ＶＣＯ２に対してクロックを開始させるように

制御信号が送られる。この制御信号に基づきＶＣＯ２においてクロック生成が開始され、例えば図５Ｄに示されるようなクロックが出力される。このクロックは、Ａ／Ｄ変換回路１およびＰＲ等化回路３に供給されると共に、クロック分周器５１に供給される。

【００６８】

クロック分周器５１は、ＺＰＲ回路５０からディレイ５２を介して供給されるリスタート信号をリセット信号として動作が開始される。したがって、上述のように、図５Ｅに示す如くリスタート信号がアクティブとされると、クロック分周器５１の動作が開始される。そして、ＶＣＯ２から供給されたクロックが分周され（図５Ｆ）、この分周クロック５３が最尤復号器８に対して供給される。

【００６９】

最尤復号器８には、再生信号がＡ／Ｄ変換回路１でディジタル変換されＰＲ等化回路３によって規定の形状に等化され、等化サンプリングデータとされ最尤復号器８に対して供給される。また、この等化サンプリングデータは、同時に、既知系列位相検出回路５４にも供給される。最尤復号器８において、供給されたこの等化サンプリングデータに対して、クロック分周器５１から供給された分周クロック５３に基づき復号化が行われる。

【００７０】

このように、この実施の第２の形態においては、最尤復号器８に対して供給される分周クロック５３の位相を等化サンプリングデータの位相に合わせることによって、最尤復号器８における復号データの同期を取る。

【００７１】

なお、ＺＰＲ回路５０およびクロック分周器５１との間に挿入されたディレイ５２は、分周クロック５３および最尤復号器８に供給された再生データとの同期がとれるように、クロック分周器５１の動作開始のタイミングを調整するためのものである。したがって、これらの信号間で同期がとれるような場合には、省略することができる。

【００７２】

一方、既知系列位相検出回路５４において、供給された再生データに対して位相の検出が行われる。この実施の第２の形態において、上述の第１の形態と同様なしきい値検出による位相同期を行うと、同期検出において誤検出を行う確率がＺＰＲ回路５０の性能に依存してしまう。これは、ＺＰＲ回路５０において、供給された再生信号のゼロクロス点を正確に検出することができないと、再生データにおけるしきい値検出のためのサンプリング点がずれてしまうためである。そのため、場合によっては位相が再生データに対して４５°近くずれてしまい、この場合１ビットずれて同期がかかってしまう。

【００７３】

そこで、このＺＰＲ回路５０を用いた実施の第２の形態においては、位相同期のための同期検出に、既知系列による同期検出を用いている。すなわち、この方法では、位相同期パターンの信号が＋１，＋１，－１，－１の既知のパターンであることを利用し、数式（４）における識別結果を表す変数y_n＾およびy_{n-1}＾にこの既知パターンを代入し、位相ずれの計算を行う。こうして求められた位相ずれを表す信号がＤ／Ａ変換回路６に供給されアナログ信号とされ、ループフィルタ７を介してＶＣＯ２に供給される。そして、ＶＣＯ２においてクロックが生成され、この生成されたクロックが上述のクロック分周器５１に供給される。

【００７４】

なお、この実施の第２の形態における位相同期方法では、初期における位相誤差が大きくなってしまうという欠点があるが、時間の経過に伴い必ず正しい位相に収束するため、ビットずれが生じるおそれがない。

【００７５】

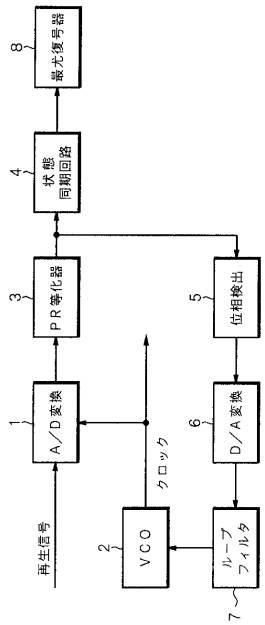
次に、この発明の実施の第３の形態について、図面を参照しながら説明する。図６は、この実施の第３の形態によるディジタル情報記録再生同期装置の構成の一例を示す。なお、この図６において、上述の図１および図５と共通する部分には同一の番号を付し、詳細な説明を省略する。

【００７６】
この実施の第３の形態は、上述の実施の第２の形態において、リードゲートがアクティブになり、且つ、クロックがリスタートするまである任意の固定値を出力するようなＡ／Ｄ変換回路を用いた例である。なお、以下の説明において、供給された再生信号を単にデジタル変換するＡ／Ｄ変換回路１と区別するために、このＡ／Ｄ変換回路をＡＤＣと称する。
【００７７】
最初、ＶＣＯ２におけるクロック生成は、ＺＰＲ回路５０からの制御信号によって停止されている。記録媒体からの再生信号がＡ／Ｄ変換回路１およびＺＰＲ回路５０に共に供給される。Ａ／Ｄ変換回路１において、供給された再生信号が例えば８ビットのパラレルデータとしてディジタル変換され再生データとされる。この再生データは、ＡＮＤゲート６０の入力端に供給される。このＡＮＤゲート６０は、図では省略されているが、実際にはＡ／Ｄ変換回路１のパラレル出力のビット数に対応する数（この例では８個）だけ並列接続されている。したがって、Ａ／Ｄ変換回路１から出力された再生データの各桁は、それぞれ対応するＡＮＤゲートの一方の入力端に供給される。
【００７８】
一方、ＡＮＤゲート６０のそれぞれの他方の入力端は、結合されており、ＺＰＲ回路５０からのリスタート信号が供給される。このリスタート信号は、ＺＰＲ回路５０で、供給された再生信号における、＋１方向に向かうゼロクロス点が検出されるまでアクティブとはされず、‘Ｌ’レベルとされる。このように、ＡＮＤゲート６０において、Ａ／Ｄ変換回路１からの出力とＺＰＲ回路５０からの利したーと信号とで論理積がとられているため、ＺＰＲ回路５０において、再生信号のゼロクロス点が検出されリスタート信号がアクティブとされるまで、ＡＮＤゲート６０の各桁に対応する出力は、強制的に０とされる。
【００７９】
ＺＰＲ回路５０では、供給された再生信号に対してゼロクロス点の検出が行われる。このＺＰＲ回路５０において＋１方向に向かうゼロクロス点が検出されると、ＡＮＤゲート６０の一方の入力端に供給されているリスタート信号がアクティブとされ、‘Ｈ’レベルとされる。上述したように、ＡＮＤゲート６０において、このリスタート信号とＡ／Ｄ変換回路１から出力された再生データとの間で論理積が取られている。そのため、このように、リスタート信号がアクティブとされるとＡＮＤゲート６０から再生データが出力される。
【００８０】
ＡＮＤゲート６０から出力された再生データは、Ｄフリップフロップ６２のＤ入力端に供給される。このＤフリップフロップ６２も、図では省略されているが、ＡＮＤゲート６０と同様に、Ａ／Ｄ変換回路１の出力の各桁に対応する数（この例では８個）だけ存在する。したがって、各ＡＮＤゲート６０の出力は、それぞれ対応するＤフリップフロップ６２のＤ入力端に供給される。このＤフリップフロップ６２で、供給された再生データがクロックタイミングでラッチされる。このように、Ａ／Ｄ変換回路１，ＡＮＤゲート６０，およびＤフリップフロップ６２とで、上述したような、ＺＰＲ回路５０のリスタート信号がアクティブとされることでディジタル信号を出力するようなＡＤＣ６１が構成される。図５Ｇは、クロックがリスタートされた後にデータがラッチされたＡＤＣ６１の出力の一例を示す。
【００８１】
Ｄフリップフロップ６２でラッチされた再生データは、ＰＲ等化回路３を介して規定の形状に等化されシリアルデータに変換され、等化サンプリングデータとされ最尤復号器８に供給される。また、それと共に、Ｄフリップフロップ６２から出力されたこの再生データは、パラレルデータである再生データのビット数に対応する数（この例では８個）の入力端を有するＯＲゲート６３に供給される。このＯＲゲート６３において、再生データの各桁に対して論理和が取られる。このＯＲゲート６３の出力は、ディレイ５２を介してクロック分周回路５１に供給される。なお、このクロック分周回路５１には、後述するように

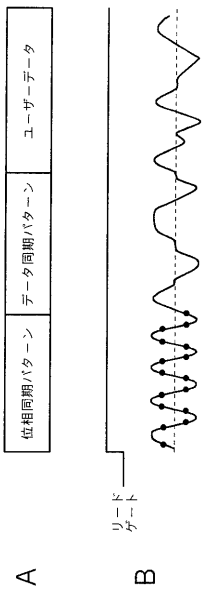
、ＶＣＯ２からクロックが供給される。
【００８２】
上述の実施の第２の形態と同様に、このクロック分周回路５１は、ＯＲゲート６３から、ディレイ５２を介して供給される信号をリセット信号としてクロック分周を開始し、分周クロック５３を最尤復号器８に対して供給する。したがって、再生信号の位相同期パターンにおける、＋１，＋１，－１，－１から成る４Ｔパターンの最初の＋１に対するゼロクロス点がＺＰＲ回路５０で検出され、且つ、この４Ｔパターンの最初の＋１の信号がＡ／Ｄ変換回路１を介してＡＮＤゲート６０に対して供給されることによって、最尤復号器８に対して分周クロック５３が供給され、この最尤復号器８における復号処理が開始される。
【００８３】
そのため、この実施の第３の形態においても、上述の第２の形態と同様に、最尤復号器８に対して供給される分周クロック５３の位相を、等化サンプリングデータに対して合わせることによって、最尤復号器８における復号データの同期を取ることができる。
【００８４】
一方、ＰＲ等化回路３の出力は、最尤復号器８に供給されると共に、既知位相検出回路５４，Ｄ／Ａ変換回路６，ループフィルタ７，およびＶＣＯ２から成るＰＬＬに供給される。この実施の第３の形態でもＺＰＲ回路５０が用いられているため、上述の第２の形態と同様に、位相同期パターンが既知パターンの４Ｔパターンであることを利用して、しきい値による識別を行わずに位相同期を行う。そのため、若し、ＺＰＲ回路５０によるリスタート直後にＡＤＣ６１の出力がＡＬＬ‘０’であったり、位相がずれていても、正しい位相に引き込むことができる。そのため、最尤復号器８における復号時にデータ位置がずれる可能性を著しく抑えることができる。
【００８５】
【発明の効果】
以上説明したように、この発明によれば、例えばビタビ復号器といった最尤復号器の入力には、常に状態の同期が合った供給することができる。したがって、最尤復号器において正しいトレリス遷移を行わせることができる効果がある。そのため、最尤復号器におけるエラーレートの悪化を回避することができる効果がある。また、それにより、この発明は、ＴＣＰＲビタビデコーダの現実的な回路実現に大きく貢献することができる。
【００８６】
また、この発明の実施の第１の形態によれば、ＴＣＰＲにおいて問題となるデータ境界を、データ系列の比較を行うことによって、復号以前に知ることができる。したがって、復号データに対して順序合わせを行ってから復号を行うことができるため、境界誤りによるエラーレートの低下を回避できる効果がある。
【００８７】
また、この発明の実施の第２の形態によれば、データ境界の検出を、アナログ的にゼロ位相にすることによって行っている。そのため、上述の第１の形態におけるデータ系列の比較を行う必要がない。したがって、上述の第１と同様な効果を有する構成が、よりディジタル部分が簡略化された構成によって実現できる効果がある。
【００８８】
さらに、この発明の実施の第３の形態によれば、リードゲートがアクティブになり、且つ、クロックがリスタートするまである任意の固定値を出力するようにされたＡＤＣが用いられている。そのため、上述の実施の第２の形態よりもアナログ／ディジタル間の伝送線が１本少ない構成で、同等の性能を出すことができる効果がある。
【図面の簡単な説明】
【図１】この実施の第１の形態によるディジタル情報記録再生同期装置の構成の一例を示すブロック図である。
【図２】ディジタル情報記録再生同期装置に供給される再生データの一例を示す略線図である。

【図３】状態同期回路のより詳細な構成の一例を示すブロック図である。
【図４】実施の第２の形態によるディジタル情報記録再生同期装置の構成の一例を示すブロック図である。
【図５】実施の第２の形態によるディジタル情報記録再生同期装置の構成の各部分における信号のタイミングチャートの一例である。
【図６】実施の第３の形態によるディジタル情報記録再生同期装置の構成の一例を示す略線図である。
【図７】状態数が７である有限状態マシンにおける状態遷移図である。
【図８】状態数が７である有限状態マシンにおける状態遷移図である。
【図９】状態数が７である有限状態マシンにおける状態遷移図である。
【図１０】状態数が７である有限状態マシンにおける状態遷移図である。
【図１１】状態数が７である有限状態マシンにおけるトレリス遷移図である。
【図１２】ＰＬＬの構成の一例を示すブロック図である。
【図１３】ビタビデコーダの入力部分の構成の一例を示すブロック図である。
【符号の説明】
１・・・Ａ／Ｄ変換回路、２・・・ＶＣＯ、３・・・ＰＲ等化回路、４・・・状態同期回路、５・・・位相検出回路、８・・・最尤復号器、２０，２２・・・シフトレジスタ、２１・・・しきい値検出回路、２３・・・系列比較回路、２４・・・データセレクタ、５０・・・ＺＰＲ回路、５１・・・クロック分周回路、５４・・・既知系列位相検出回路、６１・・・ＡＤＣ

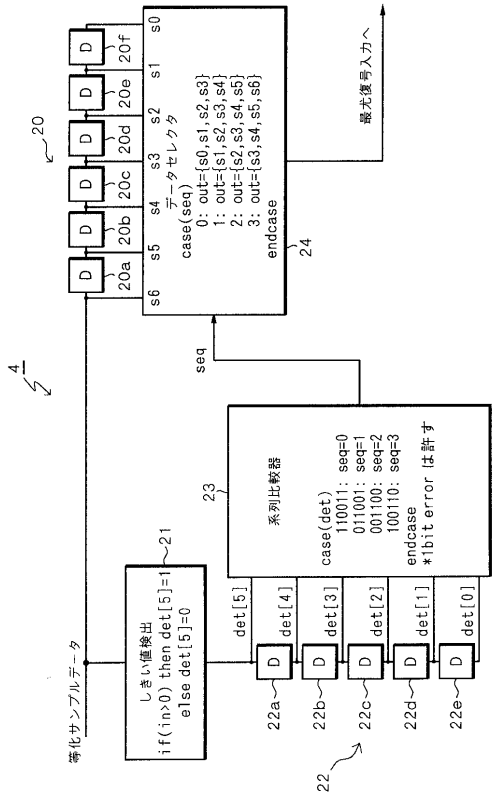
【図１】



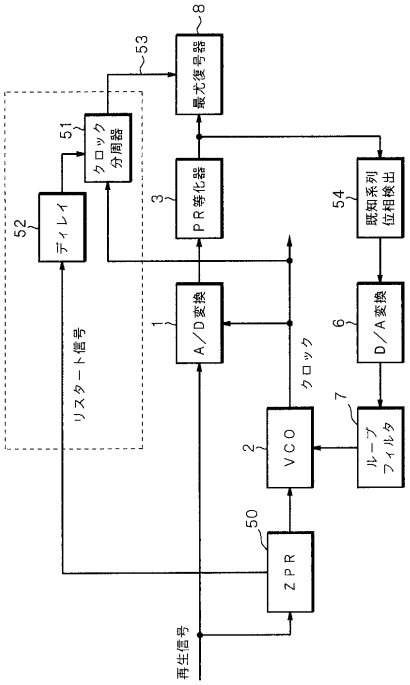
【図２】



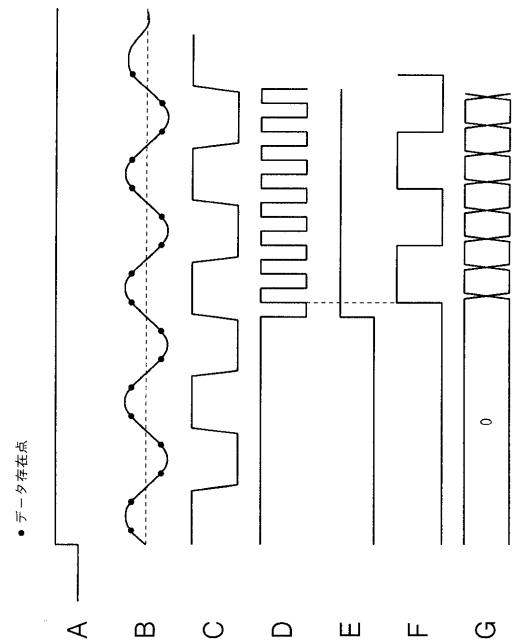
【図３】


4
20
20a
20b
20c
20d
20e
20f
D
s0
s1
s2
s3
s4
s5
s6
データセレクタ
case(seq)
0: out={s0,s1,s2,s3}
1: out={s1,s2,s3,s4}
2: out={s2,s3,s4,s5}
3: out={s3,s4,s5,s6}
endcase
24
最尤復号入力へ
seq
23
系列比較器
case(det)
110011: seq=0
011001: seq=1
001100: seq=2
100110: seq=3
endcase
*1bit error は許す
21
しきい値検出
if(in>0) then det[5]=1
else det[5]=0
det[5]
det[4]
det[3]
det[2]
det[1]
det[0]
22a
22b
22c
22d
22e
22
等化サンプルデータ

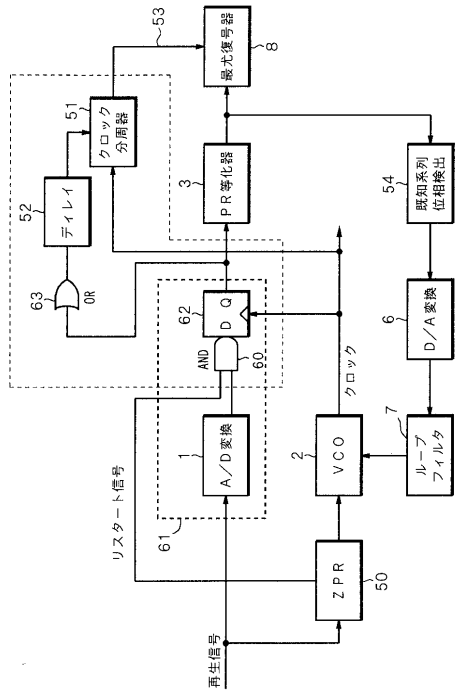
【図４】


8
最尤復号器
53
51
クロック分周器
52
ディレイ
3
PR等化器
54
既知系列位相検出
1
A/D変換
6
D/A変換
リスタート信号
クロック
2
VCO
7
ループフィルタ
50
ZPR
再生信号

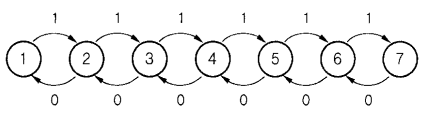
【図５】


•データ存在点
A
B
C
D
E
F
G
0

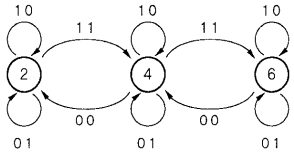
【図６】


53
8
最尤復号器
51
クロック分周器
52
ディレイ
3
PR等化器
54
既知系列位相検出
63
OR
62
D Q
AND
60
6
D/A変換
1
A/D変換
クロック
2
VCO
7
ループフィルタ
リスタート信号
61
50
ZPR
再生信号

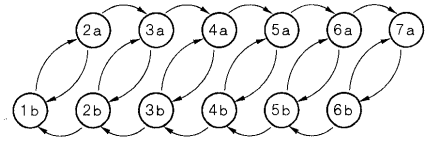
【図７】


1
1
1
1
1
1
1
2
3
4
5
6
7
0
0
0
0
0
0

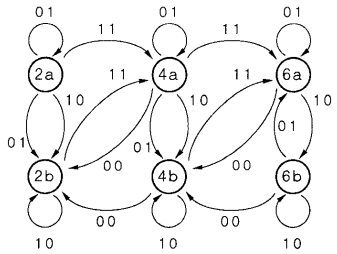
【図８】



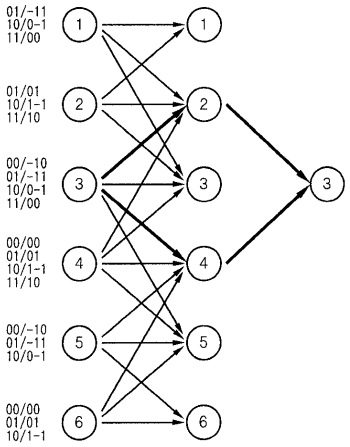
【図９】



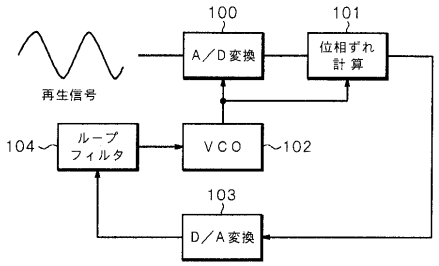
【図１０】



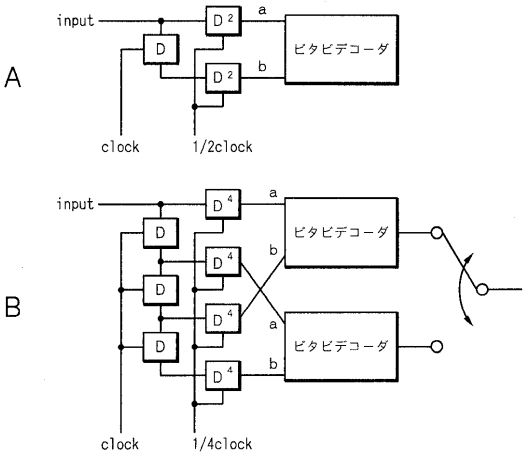
【図１１】



【図１２】



【図１３】



フロントページの続き

(56)参考文献 特開平０７－３１２０３６（ＪＰ，Ａ）
特開平０８－０６５１７６（ＪＰ，Ａ）
特開平０９－１３９６７８（ＪＰ，Ａ）
特開昭６４－０４９１７３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11B 20/14
G11B 20/18