

明 細 書

発明の名称：表示装置ならびにその駆動回路および駆動方法

技術分野

[0001] 本発明は、複数の走査信号線とそれらに交差する複数のデータ信号線を備えるアクティブマトリクス型の液晶表示装置等の表示装置に関し、更に詳しくは、当該複数の走査信号線の選択順すなわち走査方向を切り換えることができるアクティブマトリクス型表示装置およびその駆動回路および駆動方法に関する。

背景技術

[0002] アクティブマトリクス型の液晶表示装置は、複数のデータ信号線と、それらに交差する複数の走査信号線と、当該複数のデータ信号線および当該複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部とを備えており、各画素形成部は、画素容量とスイッチング素子とを含んでいる。ここで、スイッチング素子としては、通常、薄膜トランジスタ（以下「TFT」という）が使用される。各画素形成部における画素容量は、画素電極と、液晶を挟んでその画素電極と対向する共通電極（「対向電極」ともいう）とによって形成されており、当該画素電極は、上記スイッチング素子としてのTFTを介して対応するデータ信号線に接続され、そのTFTのゲート端子には対応する走査信号線が接続される。

[0003] 液晶表示装置では、液晶の劣化を防止するために交流駆動が行われる。すなわち、液晶への印加電圧を交流化するために、共通電極に与えられる電圧を基準として正極性の電圧と負極性の電圧とが交互に画素電極に与えられる。これら正極性の電圧と負極性の電圧は各データ信号線に印加すべきデータ信号を構成する。したがって、データ信号の中心値に相当する電圧を共通電極に与えればよいことになる。

[0004] しかし、各画素形成部におけるスイッチング素子としてのTFTがON状態からOFF状態へと遷移するときの対応する走査信号線の電圧変化（TFT

Tをオンさせるゲート電圧 V_{on} からTFTをオフさせる電圧 V_{off} への変化)が寄生容量を介して画素電極の電圧に影響を与える。すなわち、例えば上記スイッチング素子としてのTFTがNチャネル形である場合、そのTFTがON状態のときに画素電極に与えられる電圧が、TFTがON状態からOFF状態へと遷移したときに ΔV_p だけ低下する。この電圧 ΔV_p (> 0)は「突き下げ電圧」、「引き込み電圧」、または「フィールドスルー電圧」等と呼ばれる。液晶表示装置において共通電極に与えるべき電圧(以下「対向電圧」といい、以下では直流電圧であるものとする)から「対向DC電圧」ともいう)は、液晶への印加電圧を交流化すべく、このような引き込み電圧 ΔV_p を考慮して決定される。

[0005] なお、寄生容量のために他の信号線の電圧変化が画素電極の電圧に影響するという問題に関連する発明として、特開2009-58595号公報には、画素間寄生容量が存在する場合であっても画質を向上することができるアクティブマトリクス型表示装置の発明が記載されている。この発明では、画素間寄生容量の影響が抑制されるように走査信号ラインの駆動が工夫された構成となっている。

[0006] また、特開2009-25667号公報には、パネル温度が変動しても対向電圧を最適値に設定することを目的として、温度検出手段によるパネル温度の検出結果に応じて、データバスラインに出力するデータ信号の電圧レベルの範囲の中央値を設定する電圧レベル中央値設定手段を備えた液晶表示装置が開示されている。

先行技術文献

特許文献

- [0007] 特許文献1：日本国特開2009-58595号公報
特許文献2：日本国特開2009-25667号公報

発明の概要

発明が解決しようとする課題

[0008] アクティブマトリクス型の表示装置では、その画面の上下方向が逆になるように配置されても視聴者に正しい向きの画像を表示できるようにすること等を目的として、走査信号線の走査方向（走査信号線の選択順）を変更できるように構成されることがある。しかし、この構成では、走査信号線の走査方向によっては液晶への印加電圧が正しく交流化されずに直流成分が印加される場合がある。この場合、液晶表示装置における表示画像にフリッカーが発生し、液晶の劣化によって焼き付きやが残像が生じるおそれがある。

[0009] そこで本発明では、走査信号線の選択順に対応する走査方向を変更しても正しく交流駆動を行うことができるアクティブマトリクス型の表示装置ならびにその駆動回路および駆動方法を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極と対向するように配置された共通電極と、各画素電極に対応するデータ信号線に接続するために画素電極毎に設けられ対応する走査信号線に接続された制御端子を有するスイッチング素子とを含む交流駆動方式の表示装置の駆動回路であって、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動部と、

前記複数の走査信号線を順次活性化し、かつ、前記複数の走査信号線の活性化順に対応する走査方向を互いに逆方向である第1方向と第2方向との間で切り替えることができる走査信号線駆動部と、

前記共通電極に印加すべき対向電圧を出力する対向電圧供給部と、

前記走査方向として前記第1方向と前記第2方向のうちいずれかを選択し、当該選択された走査方向に応じた順に前記複数の走査信号が活性化されるように前記走査信号線駆動部を制御し、前記第1方向用の第1対向電圧と前記第2方向用の第2対向電圧とからなる2つの異なる対向電圧のうち当該選

択された走査方向に応じた対向電圧が出力されるように前記対向電圧供給部を制御する制御部とを備えることを特徴とする。

[0011] 本発明の第2の局面は、本発明の第1の局面において、

前記走査信号線駆動部は、互いに隣接する走査信号線がそれぞれ活性化される期間が部分的に重複するように前記複数の走査信号線を駆動することを特徴とする。

[0012] 本発明の第3の局面は、本発明の第2の局面において、

前記走査信号線駆動部は、

前記第1方向が前記走査方向として選択されている場合には、各画素電極に隣接する2つの走査信号線のうち当該画素電極に対応するスイッチング素子の制御端子に接続された第1の走査信号線を活性化する前に当該2つの走査信号線のうち当該スイッチング素子の制御端子に接続されていない第2の走査信号線を活性化し、

前記第2方向が前記走査方向として選択されている場合には、前記第1の走査信号線を活性化した後に前記第2の走査信号線を活性化し、

前記第1対向電圧は、前記第1の走査信号線が活性化状態から非活性化状態へと変化する時の前記第1の走査信号線における電圧変化量および前記第1の走査信号線と前記画素電極との間における寄生容量に応じて前記データ信号の中心電圧を増減することにより得られる電圧であり、

前記第2対向電圧は、前記第2の走査信号線が活性化状態から非活性化状態へと変化する時の前記第2の走査信号線における電圧変化量および前記第2の走査信号線と前記画素電極との間の寄生容量に応じて前記第1対向電圧を増減することにより得られる電圧であることを特徴とする。

[0013] 本発明の第4の局面は、本発明の第2または第3の局面において、

前記走査信号線駆動部は、各画素電極に対応するスイッチング素子の制御端子に接続された走査信号線を、前記表示すべき画像のうち当該画素電極に対応する画素を示す前記データ信号を当該画素電極に印加すべき本充電期間と当該本充電期間の直前の所定期間である予備充電期間とからなる期間にお

いて連続的に活性化状態とし、

前記データ信号線駆動部は、前記複数のデータ信号のそれぞれの極性が同一フレーム期間内では変化しないように前記複数のデータ信号を生成することを特徴とする。

[0014] 本発明の第5の局面は、本発明の第1から第4の局面のいずれかにおいて、

前記対向電圧供給部は、

前記第1および第2対向電圧を生成する電圧生成器と、

前記制御部からの制御信号に基づき、前記共通電極に印加すべき対向電圧として前記第1および第2対向電圧のいずれかを選択する選択器とを含むことを特徴とする。

[0015] 本発明の第6の局面は、本発明の第1から第4の局面のいずれかにおいて、

前記第1および第2対向電圧の少なくとも一方は外部から入力され、

前記対向電圧供給部は、前記制御部からの制御信号に基づき、前記共通電極に印加すべき対向電圧として前記第1および第2対向電圧のいずれかを選択する選択器を含むことを特徴とする。

[0016] 本発明の第7の局面は、表示装置であって、本発明の第1から第4の局面のいずれかの局面に係る駆動回路を備えることを特徴とする。

[0017] 本発明の第8の局面は、本発明の第7の局面において、

前記スイッチング素子は、酸化物半導体により形成されたチャネル層を含む薄膜トランジスタであることを特徴とする。

[0018] 本発明の第9の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極と対向するように配置された共通電極と、各画素電極に対応するデータ信号線に接続するために画素電極毎に設けられ対応する走査信号線に接続された制御端子を有するスイッチング素子とを含む交流駆動方式の表

示装置の駆動方法であって、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップと、

前記複数の走査信号線を順次活性化する走査信号線駆動ステップと、

前記共通電極に印加すべき対向電圧を出力する対向電圧供給ステップと、

前記複数の走査信号線の活性化順に対応する走査方向として、互いに逆方向である第1方向と第2方向のうちいずれかを選択する走査方向選択ステップと

を備え、

前記走査信号線駆動ステップでは、前記走査方向選択ステップで選択された走査方向に応じた順に前記複数の走査信号が活性化され、

前記対向電圧供給ステップでは、前記第1方向用の第1対向電圧と前記第2方向用の第2対向電圧とからなる2つの異なる対向電圧のうち前記走査方向選択ステップで選択された走査方向に応じた対向電圧が出力されることを特徴とする。

[0019] 本発明の他の局面については、本発明の上記局面および下記実施形態についての説明から明らかとなるので、説明を省略する。

発明の効果

[0020] 本発明の第1の局面によれば、共通電極に対し、第1方向に走査が行われる場合には第1対向電圧が印加され、第2方向に走査が行われる場合には第2対向電圧が印加される。すなわち、共通電極に印加される対向電圧が、走査信号線の活性化順に対応する走査方向に応じて切り替えられる。これにより、第1および第2方向のいずれの方向に走査が行われる場合であっても、表示装置が適切に交流駆動され、各画素電極と共通電極の間への印加電圧における直流成分が抑制される。その結果、表示画像におけるフリッカーの発生を抑えることができ、本発明が液晶表示装置に適用される場合には液晶の劣化を防止することができる。

[0021] 本発明の第2の局面によれば、隣接する2本の走査信号線がそれぞれ活性

化される2つの期間が部分的に重複することから、各画素電極に隣接する走査信号線における電圧変化による各画素電極の電圧（各画素電極と共通電極とによって形成される容量に保持される電圧）に対する影響が走査信号線の活性化順（走査方向）によって異なる。すなわち、各画素電極とそれに隣接する2つの走査信号線との間にはそれぞれ寄生容量が存在し、当該2つの走査信号線のうち一方は当該画素電極に対応するスイッチング素子の制御端子に接続されているが他方は当該制御端子には接続されず、当該他方の走査信号線における電圧変化による当該画素電極の電圧に対する影響は、当該2つの走査信号線のうちいずれが先に活性化されるかによって異なる（図5参照）。このため、正しく交流駆動するために共通電極に印加すべき電圧が走査方向によって異なる。これに対し本発明の第2の局面では、第1および第2対向電圧をこのような走査方向による相違を考慮した値にそれぞれ設定しておくことにより、第1および第2方向のいずれの方向に走査が行われる場合であっても、表示装置が適切に交流駆動され、各画素電極と共通電極の間への印加電圧における直流成分が抑制される。

[0022] 本発明の第3の局面によれば、第1方向に走査される場合に共通電極に印加される第1対向電圧は、第1の走査信号線が活性化状態から非活性化状態へと変化する時の第1の走査信号線における電圧変化量および第1の走査信号線と画素電極との間における寄生容量に応じてデータ信号の中心電圧を増減することにより得られる電圧であり、また、第2方向に走査される場合に共通電極に印加される第2対向電圧は、第2の走査信号線が活性化状態から非活性化状態へと変化する時の第2の走査信号線における電圧変化量および第2の走査信号線と画素電極との間における寄生容量に応じて第1対向電圧を増減することにより得られる電圧である。これにより、第1および第2方向のいずれの方向に走査が行われる場合であっても、表示装置が適切に交流駆動され、各画素電極と共通電極の間への印加電圧における直流成分が抑制される。

[0023] 本発明の第4の局面によれば、各画素電極に対応するスイッチング素子の

制御端子に接続された走査信号線は、表示すべき画像のうち当該画素電極に対応する画素を示すデータ信号を当該画素電極に印加すべき本充電期間（すなわち当該画素電極と共通電極とによって形成される容量を当該データ信号の電圧で充電するための期間）で活性化状態となるだけでなく、その直前の予備充電期間においても活性化状態となり、これに加えて、各データ信号の極性が同一フレーム期間内では変化しないように各データ信号が生成される。このため、各画素電極に対しその予備充電期間に対応データ信号線から対応スイッチング素子を介して与えられる電圧の極性は、その直後の本充電期間に当該データ信号線から当該スイッチング素子を介して当該画素電極に与えられる電圧（当該画素電極に対応する画素を示す電圧）の極性と一致する。これにより、各画素電極と共通電極とによって形成される容量の本充電期間での充電率を向上させ、表示画面の大型化または高解像度化が進んでも充電不足を防止することができる。また、本発明の第4の局面は、本発明の第2または3の局面と同様の構成も有しているので、上記のような駆動による充電率の向上という効果を奏しつつ、表示装置が適切に交流駆動され各画素電極と共通電極の間への印加電圧における直流成分が抑制されるという効果も奏する。

[0024] 本発明の第5の局面によれば、対向電圧供給部において、第1および第2対向電圧が生成され、制御部からの制御信号に基づき、第1方向に走査が行われる場合には第1対向電圧が選択され、第2方向に走査が行われる場合には第2対向電圧が選択される。このようにして選択された対向電圧が共通電極に印加されることにより、表示装置が適切に交流駆動され各画素電極と共通電極の間への印加電圧における直流成分が抑制される。

[0025] 本発明の第6の局面によれば、第1および第2対向電圧の少なくとも一方は外部から入力され、制御部からの制御信号に基づき、これら第1および第2対向電圧のいずれかが選択される。このようにして選択された対向電圧が共通電極に印加されることにより、表示装置が適切に交流駆動され各画素電極と共通電極の間への印加電圧における直流成分が抑制される。

[0026] 本発明の第7の局面によれば、本発明の第1から4の局面のいずれかと同様の効果を奏する表示装置が提供される。

[0027] 本発明の第8の局面によれば、画素電極毎に設けられるスイッチング素子は、酸化物半導体により形成されたチャネル層を含む薄膜トランジスタであり、そのオフリーク電流は小さいので、当該スイッチング素子を介して各画素電極に与えられた電圧を当該画素電極と共通電極により形成される容量に確実に保持することができる。

[0028] 本発明の第9の局面によれば、本発明の第1の局面と同様の効果を奏する。

[0029] 本発明の他の局面の効果については、本発明の上記局面の効果および下記実施形態についての説明から明らかであるので、説明を省略する。

図面の簡単な説明

[0030] [図1]本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図2]上記第1の実施形態に係る液晶表示装置の正方向走査時の動作を説明するためのタイミングチャートである。

[図3]上記第1の実施形態に係る液晶表示装置の逆方向走査時の動作を説明するためのタイミングチャートである。

[図4]上記第1の実施形態におけるTFT基板の画素回路の構成を模式的に示す図である。

[図5]上記第1の実施形態に係る液晶表示装置における走査方向と対向DC電圧との関係を説明するための信号波形図（A～D）である。

[図6]本発明の第2の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図7]本発明の第3の実施形態に係る液晶表示装置の構成を示すブロック図である。

発明を実施するための形態

[0031] <1. 第1の実施形態>

< 1. 1 全体構成および動作概要 >

図1は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。図1に示すように、この液晶表示装置は、表示パネルとしての液晶パネル100と、データ信号線駆動部としてのソースドライバ300と、走査信号線駆動部としてのゲートドライバ400と、対向電圧供給部としての共通電極駆動回路500と、表示制御回路200とを備えている。また、液晶パネル100において画像を表示するにはその背面に光を照射するためのバックライトが必要であり、この液晶表示装置は、このようなバックライト（不図示）も備えている。なお、ソースドライバ300とゲートドライバ400と共通電極駆動回路500と表示制御回路200とは、本実施形態に係る液晶表示装置の駆動回路を構成する。

[0032] 液晶パネル100は、TFT基板と呼ばれる絶縁性の第1の基板とCF基板と呼ばれる絶縁性の第2の基板と、それら第1および第2の基板の間に挟持された液晶層とを含む。TFT基板およびCF基板は典型的にはガラス基板であり、TFT基板には、複数（M本）のデータ信号線としてのソースラインSL1～SLMと、当該複数（M本）のソースラインSLsと交差する複数（N+1本）の走査信号線としてのゲートラインGL0～GLNと、当該複数のソースラインSL1～SLMおよび複数のゲートラインGL1～GLNに沿ってマトリクス状に配置された複数（N×M）個の画素回路とが形成されている。ここで、各画素回路は、上記複数のソースラインSL1～SLMのいずれかに対応すると共に、上記複数のゲートラインGL1～GLNのいずれかに対応し、対応するソースラインSLjおよび対応するゲートラインGLiに接続されている。各画素回路110には画素電極Epが含まれており（後述の図4参照）、液晶パネル100におけるN×M個の画素回路110の画素電極Epは、表示すべき画像を構成する画素にそれぞれ対応している。なお、ゲートラインGL0は、画素電極の電圧に対する寄生容量による影響が画素回路によって異ならないようにするために設けられたものである（詳細は後述）。

[0033] 一方、CF基板には、共通電極COMが形成されると共に、カラー表示のための各原色に対応するカラーフィルタ（例えば3原色である赤、緑、青のカラーフィルタ）や各種光学補償フィルム（偏光板等）が貼り付けられている。

[0034] このような液晶パネル100において表示すべき画像の各画素を形成するための画素形成部Pxは、上記TFT基板に形成された画素回路、上記の液晶層、上記の共通電極COM、および、上記カラー表示のためのカラーフィルタ等から構成されている。ただし、上記の液晶層および共通電極COMは、上記複数（ $N \times M$ ）個の画素形成部Pxに共通的に設けられている。 $N \times M$ 個の画素形成部Pxは、N本のゲートラインGL1～GLNおよびM本のデータ信号線SL1～SLMとの対応関係については $N \times M$ 個の画素形成部Pxにそれぞれ含まれる画素回路110と同様であり、また、 $N \times M$ 個の画素回路110にそれぞれ含まれる画素電極Epとも同様である。

[0035] 図4は、上記TFT基板に形成された画素回路110の構成を模式的に示している。図4に示すように画素回路110は、スイッチング素子としてのNチャネル形のTFT10と、表示すべき画像の画素に対応する画素電極Epとを含み、画素電極EpはTFT10を介して対応するソースラインSLjに接続され、TFT10のゲート端子は対応するゲートラインGLiに接続されている。また、画素電極Epに隣接する2つのゲートラインGLi-1, GLiのうち、対応するゲートライン（以下「対応隣接ゲートライン」という）GLiと画素電極Epとの間に第1の寄生容量Cgd1が存在すると共に、他方のゲートライン（以下「非対応隣接ゲートライン」という）GLi-1と画素電極Epとの間にも第2の寄生容量Cgd2が存在する。なお、画素（の輝度）を示す電圧を保持するための画素容量Cpは、画素電極EpとCF基板における共通電極COMとの間に形成される液晶容量C_{lc}からなる。ただし、当該電圧をより確実に保持すべくTFT基板に補助容量線が形成される場合には、画素電極Epと補助容量線との間に補助容量Ccsが形成され、この補助容量Ccsも画素容量Cpに含まれる。この補助容量Ccs

は本発明には直接的には関係しないので、以下では補助容量 C_{cs} に関する記載や図示を省略するものとする。

[0036] 図1では、液晶パネル100における画素形成部 P_x の電氣的構成も描かれている。なお以下では、ゲートライン GL_i およびソースライン SL_j に対応する画素形成部を記号“ P_x ”に代えて記号“ $P_x(i, j)$ ”で示すことがある。画素形成部 $P_x(i, j)$ は、既述のように、TFT基板上的画素回路(図4参照)、液晶層、CF基板上的共通電極COM、および、カラーフィルタ等から構成されるが、電氣的には図1に示すように、TFT10と、画素容量 C_p (液晶容量 C_{lc})と、第1および第2の寄生容量 C_{gd1} , C_{gd2} とを含み、画素電極 E_p は、画素容量 C_p を介して共通電極COMに接続されるだけでなく、第1の寄生容量 C_{gd1} を介して対応隣接ゲートライン GL_i と容量的に結合していると共に、第2の寄生容量 C_{gd2} を介して非対応隣接ゲートライン GL_{i-1} とも容量的に結合している。なお本実施形態では、いずれの画素回路110にも対応しないゲートライン GL_0 が1番目のゲートライン GL_1 に対応する各画素回路の画素電極 E_p についての非対応隣接ゲートラインとしてTFT基板に形成されている。その結果、1番目のゲートライン GL_1 に対応する各画素回路においても画素電極 E_p と対応隣接ゲートライン GL_1 との間に第1の寄生容量 C_{gd1} が存在するだけでなく、当該画素電極と非対応隣接ゲートライン GL_0 との間に第2の寄生容量 C_{gd2} が存在する。これにより、すべての画素回路において画素電極 E_p の電圧は、第1の寄生容量 C_{gd1} を介して対応隣接ゲートライン GL_i の電圧変化の影響を受けるだけでなく、第2の寄生容量 C_{gd2} を介して非対応隣接ゲートライン GL_{i-1} の電圧変化の影響も受ける。

[0037] 表示制御回路200は、表示すべき画像を表す画像信号 D_v とタイミング制御信号 C_t とを外部から受け取り、その画像信号 D_v に基づく画像データ信号およびソースドライバ用のタイミング制御信号からなるソースドライバ制御信号 S_{ct} を生成してソースドライバ300に与えると共に、ゲートドライバ制御信号 G_{ct} を生成してゲートドライバ400に与える。また、表

示制御回路200は、ゲートラインGL0～GLNの選択順（活性化順）に対応する走査方向を指定するための方向指定信号Cudを生成しゲートドライバ400および共通電極駆動回路500に与える。ここで、方向指定信号Cudは、ゲートラインGLiを $i = 0, 1, 2, \dots, N$ の順に所定期間ずつ活性化する走査すなわちゲートラインGLiを昇順に選択する走査（以下「正方向走査」という）と、ゲートラインGLiを $i = N, N-1, \dots, 1, 0$ の順に所定期間ずつ活性化する走査すなわちゲートラインGLiを降順に選択する走査（以下「逆方向走査」という）のうちのいずれかを指定する。この方向指定信号Cudの値すなわち正方向走査と逆方向走査のうちいずれの走査方向を指定するかは、例えば、外部から表示制御回路200に与えられる信号に基づいて決定されるように構成することができる。また、これに代えて、走査方向を設定するための切替スイッチを本実施形態に係る液晶表示装置に設けておき、このスイッチの操作により方向指定信号Cudの値が決定されるように構成されていてもよい。以下では、方向指定信号Cudがハイレベル（Hレベル）のときには正方向走査が指定され、方向指定信号Cudがローレベル（Lレベル）のときには逆方向走査が指定されているものとする。

[0038] ソースドライバ300は、上記のソースドライバ用制御信号Sctに基づき、液晶パネル100を駆動するためのアナログ電圧をデータ信号S1, S2, ..., SMとして生成し、これらを液晶パネル100におけるM本のソースラインSL1～SLMにそれぞれ印加する。

[0039] ゲートドライバ400は、双方向シフトレジスタを内蔵しており、この双方向シフトレジスタを使用して、ゲートラインGL0～GLNを活性化する順序を切り替えることができるように構成されており、正方向走査と逆方向走査との双方が可能である。このゲートドライバ400は、上記のゲートドライバ用制御信号Gctおよび方向制御信号Cudに基づき走査信号G0, G1, ..., GNを生成し、これらを液晶パネル100におけるN+1本のゲートラインGL0, GL1, ..., GLNにそれぞれ印加することにより、方

向指定信号 Cud が示す順に、当該 $N+1$ 本のゲートライン $GL0 \sim GLN$ を所定期間ずつ（本実施形態では 2 水平期間ずつ）選択的に活性化する。

[0040] 共通電極駆動回路 500 は、図 1 に示すように、正方向走査用の対向 DC 電圧である第 1 対向電圧 $VcomA$ を生成する第 1 対向電圧生成回路 51 と、逆方向走査用の対向 DC 電圧である第 2 対向電圧 $VcomB$ を生成する第 2 対向電圧生成回路 52 と、第 1 対向電圧 $VcomA$ と第 2 対向電圧 $VcomB$ のうちいずれかを選択するための選択器としての切替スイッチ 54 とを含んでおり、切替スイッチ 54 の制御信号として表示制御回路 200 から方向指定信号 Cud を受け取る。この切替スイッチ 54 は、方向指定信号 Cud が H レベルのときには第 1 対向電圧 $VcomA$ を選択し、方向指定信号 Cud が L レベルのときには第 2 対向電圧 $VcomB$ を選択する。このようにして選択された対向 DC 電圧は、選定対向 DC 電圧 $Vcom$ として共通電極駆動回路 500 から出力され、液晶パネル 100 の共通電極 COM に与えられる。

[0041] 上記のようにして液晶パネル 100 では、外部から入力された画像信号 Dv に基づくデータ信号 $S1 \sim SM$ がソースライン $SL1 \sim SLM$ に印加され、表示制御回路 200 からの方向指定信号 Cud で指定される走査方向に対応した走査信号 $G0 \sim GN$ がゲートライン $GL0 \sim GLN$ に印加される。また、共通電極 COM には、方向指定信号 Cud で指定される走査方向に対応した選定対向 DC 電圧 $Vcom$ が共通電極駆動回路 500 から共通電極 COM に印加される。これにより、液晶パネル 100 における各画素形成部 $Px(i, j)$ は、それに対応するゲートライン GLi が活性化されているときに、それに対応するソースライン SLj のデータ信号 Sj （当該ソースライン SLj の電圧）を TFT10 を介して取り込み、画素容量 Cp に与える。その後、その対応ゲートライン GLi が非活性化されると、このデータ信号 Sj に相当する電圧は、次のフレーム期間においてその対応するゲートライン GLi が再び活性化されるまで、そのまま当該画素容量 Cp に保持される。このようにしてデータ信号 Sj に相当する電圧が各画素容量 Cp に与えら

れて保持されることにより、液晶パネル100は、上記画像信号Dvに応じた電圧を液晶層に印加されて光の透過率を変化させ、上記画像信号Dvの表示画像を表示する。

[0042] なお、図1に示した液晶表示装置では、ソースドライバ300や、ゲートドライバ400、共通電極駆動回路500は、液晶パネル100とは別個の構成要素とされているが、これに代えて、ソースドライバ300、ゲートドライバ400、および共通電極駆動回路500の少なくとも一部が液晶パネル100のTFT基板上にTFTを用いて画素回路と一体的に（同一プロセスで同時に）形成された構成であってもよい。例えば、ゲートドライバ400がTFT基板上に画素回路と一体的に形成された液晶パネルであるゲートドライバモノリシックパネルを使用した構成であってもよい。

[0043] <1. 2 動作>

図2は、方向指定信号CudがHレベルの場合すなわち正方向走査が指定されている場合の本実施形態に係る液晶表示装置の動作を説明するためのタイミングチャートである。この場合、ゲートドライバ400は、各フレーム期間において走査信号G0～GNを1水平期間間隔で順次Hレベルとし、Hレベルとした走査信号Gi（ $i = 0 \sim N$ ）を2水平期間だけHレベルに維持した後にLレベルとし、その後、次のフレーム期間で再びHレベルとするまでLレベルに維持する。これにより、 $N + 1$ 本のゲートラインGLiは各フレーム期間において $i = 0, 1, \dots, N - 1, N$ の順に1水平期間間隔で順次活性化され、活性化されたゲートラインGLiは、2水平期間だけ活性化状態を維持した後に非活性化され、その後、次のフレーム期間で再び活性化されるまで非アクティブ状態に維持される。

[0044] また、この場合、ソースドライバ300は、図2に示すように、各ソースラインSLj（ $j = 1 \sim M$ ）に対し、それに接続される画素形成部Px（ i, j ）が取り込んで保持すべき電圧すなわち当該画素形成部Px（ i, j ）が形成すべき画素を示す電圧をデータ信号Sjとして出力し、出力されるデータ信号Sjの極性を1フレーム期間毎に反転すると共に、各フレーム期間

におけるデータ信号 $S_1 \sim S_M$ の極性を 1 ソースライン毎に反転する（隣接する 2 つのソースライン SL_{j-1} , SL_j には互いに異なる極性のデータ信号 S_{j-1} , S_j が印加される）。なお、図 2 に示すデータ信号 $S_1 \sim S_4$ のタイミングチャートはそれぞれ上下 2 段から構成されており、上段はそのデータ信号 S_j の極性を示し、下段はそのデータ信号 S_j の値を示しており、 d_{ij} ($i = 1, 2, \dots, N$; $j = 1, 2, \dots, M$) は、画素形成部 $P_x(i, j)$ が取り込んで保持すべき電圧に相当する値を表している（データ信号 $S_1 \sim S_4$ のタイミングチャートについてのこのような表記法は、以下で言及する他の図のタイミングチャートにおいても同様である）。図 2 に示すデータ信号 $S_1 \sim S_4$ からわかるように、各画素形成部 $P_x(i, j)$ が取り込むべき電圧に相当するデータ信号 S_j は、対応するゲートライン GL_i が各フレーム期間で活性化状態となる 2 水平期間のうち後半の 1 水平期間に、対応するソースライン SL_j に印加される。

[0045] また、この場合、共通電極駆動回路 500 は、切替スイッチ 54 により第 1 対向電圧 V_{comA} を選択し、これを選定対向 DC 電圧 V_{com} として液晶パネル 100 の共通電極 COM に印加する。したがって、各画素形成部 $P_{ix}(i, j)$ では、この選定対向 DC 電圧 $V_{com} = V_{comA}$ を基準とした電圧極性で、画素電極 E_p に印加されるデータ信号 S_j の電圧と選定対向 DC 電圧 V_{com} との差に相当する電圧が液晶に印加される。

[0046] 図 3 は、方向指定信号 Cud が L レベルの場合すなわち逆方向走査が指定されている場合の本実施形態に係る液晶表示装置の動作を説明するためのタイミングチャートである。この場合、ゲートドライバ 400 は、各フレーム期間において走査信号 $G_0 \sim G_N$ を 1 水平期間間隔で正方向走査（図 2）の場合とは逆の方向に 2 水平期間ずつ順次 H レベルとする。これにより、 $N+1$ 本のゲートライン GL_i は、各フレーム期間において $i = N, N-1, \dots, 1, 0$ の順に 1 水平期間間隔で 2 水平期間ずつ活性化される。

[0047] また、この場合、ソースドライバ 300 は、図 3 に示すように、各ソースライン SL_j ($j = 1 \sim M$) に対し、それに接続される画素形成部 $P_x(i$

、 j ）（ $i = 1 \sim N$ ）が取り込んで保持すべき電圧をデータ信号 S_j として出力し、出力されるデータ信号 S_j の極性を 1 フレーム期間毎に反転すると共に、各フレーム期間におけるデータ信号 $S_1 \sim S_M$ の極性を 1 ソースライン毎に反転する。図 3 に示すデータ信号 $S_1 \sim S_4$ からわかるように、各画素形成部 $P_x(i, j)$ が取り込むべき電圧に相当するデータ信号 S_j は、対応するゲートライン GL_i が各フレーム期間で活性化状態となる 2 水平期間のうち後半の 1 水平期間に、対応するソースライン SL_j に印加される。

[0048] また、この場合、共通電極駆動回路 500 は、切替スイッチ 54 により第 2 対向電圧 V_{comB} を選択し、これを選定対向 DC 電圧 V_{com} として液晶パネル 100 の共通電極 COM に印加する。したがって、各画素形成部 $P_{ix}(i, j)$ では、この選定対向 DC 電圧 $V_{com} = V_{comB}$ を基準とした電圧極性で、画素電極 E_p に印加されるデータ信号 S_j の電圧と選定対向 DC 電圧 V_{com} との差に相当する電圧が液晶に印加される。

[0049] 図 2 および図 3 に示す走査信号 $G_1 \sim G_4$ からわかるように、ゲートドライバ 400 は、各走査信号 G_i が 2 水平期間に相当する幅のパルスを有し、かつ、隣接する 2 つのゲートライン GL_{i-1} と GL_i にそれぞれ印加すべき 2 つの走査信号 G_{i-1} と G_i との間でパルスが 1 水平期間だけ重なるように、走査信号 $G_0 \sim G_N$ を生成する。また、本実施形態では、1 フレーム期間毎にデータ信号 $S_1 \sim S_M$ の極性が反転するが同一フレーム期間内ではデータ信号 $S_1 \sim S_M$ の極性が変化しない反転駆動（図 2 および図 3 に示す例ではいわゆる「ソース反転駆動」または「カラム反転駆動」と呼ばれる反転駆動方式）が採用されている。ソースドライバ 300 は、このような反転駆動に対応したデータ信号 $S_1 \sim S_M$ を生成する。

[0050] このような構成によれば、各走査信号 G_i に含まれるパルスの幅が従来の 2 倍（2 水平期間）となり、このパルス幅の期間では各データ信号 S_j が同一極性となる。すなわち、各画素形成部 $P_x(i, j)$ が対応ソースライン SL_j の電圧を表示すべき画像の画素値として取り込むように液晶パネル 100 のゲートライン $G_0 \sim G_N$ が正方向または逆方向に順次に 1 水平期間ず

つ活性化されだけでなく、活性化状態の当該 1 水平期間（以下「本充電期間」という）の直前の 1 水平期間においてもゲートライン GL_j が活性化され、しかも、当該直前の 1 水平期間におけるソースライン SL_j の電圧極性は、本充電期間としての 1 水平期間におけるソースライン SL_j の電圧極性と同じである。したがって、当該直前の 1 水平期間すなわち各フレーム期間においてゲートライン GL_j が活性化状態となる 2 水平期間のうち前半の 1 水平期間は、予備充電期間として機能する。これにより、画素容量 C_p の充電率を向上させることができる。

[0051] < 1. 3 対向 DC 電圧の設定 >

図 5 は、本実施形態に係る液晶表示装置における走査方向と対向 DC 電圧との関係を説明するための信号波形図である。以下、画素回路の構成を模式的に示す図 4 と共にこの図 5 を参照して、ゲートライン $GL_0 \sim GL_N$ の走査方向に応じた対向 DC 電圧の設定について説明する。

[0052] 図 5 (A) は、正方向走査が指定されている場合（方向指定信号 $Cud = H$ の場合）において正極性のデータ信号 S_j が画素形成部 $P_x(i, j)$ （画素回路 110）の画素電極 E_p に印加されときの走査信号 $Gi-1$, Gi および当該画素電極 E_p の電圧（以下「画素電圧 $V_p(i, j)$ 」という）の波形を模式的に示している。このとき、画素形成部 $P_x(i, j)$ の当該画素電極 E_p に着目すると、非対応隣接ゲートライン GL_{i-1} の走査信号（以下「非対応隣接走査信号」という） $Gi-1$ が L レベルから H レベルへと変化した時点から 1 水平期間だけ経過すると、対応隣接ゲートライン GL_i の走査信号（以下「対応走査信号」という） Gi が L レベルから H レベルへと変化する。これにより対応隣接ゲートライン GL_i が活性化し、対応ソースライン SL_j の電圧（データ信号 S_j の電圧）が画素電極 E_p に印加される。ここで、対応隣接ゲートライン GL_i が活性化状態となる 2 水平期間（走査信号 Gi が H レベルとなる 2 水平期間）のうち前半の 1 水平期間すなわち予備充電期間では、非対応隣接ゲートライン GL_{i-1} に対応する画素形成部 $P_x(i-1, j)$ で形成すべき画素を示す電圧が対応ソースライン SL_j に印加さ

れる。

[0053] 対応走査信号 G_i が L レベルから H レベルへと変化した時点から 1 水平期間が経過すると、非対応隣接走査信号 G_{i-1} は H レベルから L レベルへと変換し、非対応隣接ゲートライン GL_{i-1} は非活性化される。このとき非対応隣接走査信号 G_{i-1} の H レベルから L レベルへの変化は、第 2 の寄生容量 C_{gd2} を介して画素電圧 $V_p(i, j)$ に影響を与える。しかし、この時点では対応走査信号 G_i は H レベルであって TFT10 はオン状態であるので、この影響は画素電圧 $V_p(i, j)$ を一時的に低下させるだけである。そして、このとき対応ソースライン SL_j には、画素形成部 $P_x(i, j)$ で形成すべき画素を示すデータ信号 S_j が印加される。これにより、当該画素を示すデータ信号 S_j の電圧が対応ソースライン SL_j から TFT10 を介して画素形成部 $P_x(i, j)$ の画素電極 E_p に与えられる。すなわち、画素形成部 $P_x(i, j)$ の画素容量 C_p に対する本充電期間が開始される。その後、非対応隣接走査信号 G_{i-1} が H レベルから L レベルへと変化した時点から 1 水平期間が経過すると、対応走査信号 G_i が H レベルから L レベルへと変換し、対応ゲートライン GL_i は非活性化される。これにより本充電期間が終了する。

[0054] この本充電期間の終了時における対応走査信号 G_i の H レベルから L レベルへの変化は、第 1 の寄生容量 C_{gd1} を介して画素電圧 $V_p(i, j)$ に影響を与える。すなわち、この対応走査信号 G_i の H レベルから L レベルへの変化に応じて画素電圧 $V_p(i, j)$ が $\Delta V_p (> 0)$ だけ低下する。この低下分の電圧 ΔV_p は引き込み電圧等と呼ばれ、その大きさは、この対応走査信号 G_i の H レベルから L レベルへの変化時におけるゲートライン GL_i の電圧変化量および第 1 の寄生容量 C_{gd1} 等によって決まる。この後、画素電圧 $V_p(i, j)$ は、次のフレーム期間で対応走査信号 G_i が再び H レベルとなるまで（対応ゲートライン GL_i が再び活性化されるまで）、本充電期間終了直前の画素電圧 $V_p(i, j) = V_{wP}$ から引き込み電圧 ΔV_p だけ低下した電圧 ($V_{wP} - \Delta V_p$) を維持する。

[0055] 図5 (B) は、正方向走査が指定されている場合（方向指定信号 $C_{ud} = H$ の場合）において負極性のデータ信号 S_j が画素形成部 $P_x(i, j)$ （画素回路 110）の画素電極 E_p に印加されるときに走査信号 G_{i-1} , G_i および画素電圧 $V_p(i, j)$ の波形を模式的に示している。このときも、画素電圧 $V_p(i, j)$ は、対応走査信号 G_i が H レベルである 2 水平期間のうちの後半の 1 水平期間（本充電期間）において、画素形成部 $P_x(i, j)$ で形成すべき画素を示すデータ信号 S_j が対応ソースライン SL_j に印加される。これにより、当該画素を示す負極性のデータ信号 S_j の電圧が対応ソースライン SL_j から TFT10 を介して画素形成部 $P_x(i, j)$ の画素電極 E_p に与えられる。そして、この本充電期間の終了時に対応走査信号 G_i が H レベルから L レベルへと変化し、この変化は第 1 の寄生容量 C_{gd1} を介して画素電圧 $V_p(i, j)$ に影響を与える。すなわち、この対応走査信号 G_i の H レベルから L レベルへの変化に応じて画素電圧 $V_p(i, j)$ が引き込み電圧 $\Delta V_p (> 0)$ だけ低下する。この後、画素電圧 $V_p(i, j)$ は、次のフレーム期間で対応走査信号 G_i が再び H レベルとなるまで、本充電期間終了直前の画素電圧 $V_p(i, j) = V_{wN} (< 0)$ から引き込み電圧 ΔV_p だけ低下した電圧 ($V_{wN} - \Delta V_p$) を維持する。この引き込み電圧 ΔV_p の大きさは、正極性のデータ信号 S_j が画素形成部 $P_x(i, j)$ の画素電極 E_p に印加されるときと同じである（図5 (A)）。

[0056] したがって、図5 (A) および図5 (B) からわかるように、データ信号 S_j が取り得る電圧範囲における中心に相当する電圧（以下「ソースセンター電圧」または「データ信号の中心電圧」という） V_{cen} を対向 DC 電圧として共通電極 COM に与えると、上記引き込み電圧 ΔV_p のために液晶パネル 100 が正しく交流駆動されず、液晶パネル 100 の液晶に印加される電圧に直流成分が含まれる。その結果、表示画像においてフリッカーが発生し、液晶が劣化するおそれがある。

[0057] そこで本実施形態では、正方向走査が指定されている場合に共通電極 COM に印加される対向 DC 電圧すなわち第 1 対向電圧 V_{comA} は、ソースセ

ンター電圧 V_{cen} を上記の引き込み電圧 Δp (> 0) に応じて低下させた電圧に設定されている。

[0058] 図 5 (C) は、逆方向走査が指定されている場合 (方向指定信号 $Cud = L$ の場合) において正極性のデータ信号 S_j が画素形成部 $P_x(i, j)$ (画素回路 110) の画素電極 E_p に印加されるときに走査信号 G_{i-1} , G_i および画素電圧 $V_p(i, j)$ の波形を模式的に示している。このとき、画素形成部 $P_x(i, j)$ の画素電極 E_p に着目すると、対応隣接ゲートライン GL_i の走査信号である対応走査信号 G_i が L レベルから H レベルへと変化して 2 水平期間だけ H レベルを維持し、その 2 水平期間、対応隣接ゲートライン GL_i が活性化状態となる。この 2 水平期間のうち前半の 1 水平期間は予備充電期間であり、この予備充電期間では、 $i + 1$ 番目のゲートライン GL_{i+1} に対応する画素形成部 $P_x(i + 1, j)$ で形成すべき画素を示す電圧が対応ソースライン SL_j に印加される。

[0059] 対応走査信号 G_i が L レベルから H レベルへと変化した時点から 1 水平期間が経過すると、非対応隣接走査信号 G_{i-1} は L レベルから H レベルへと変化し、非対応隣接ゲートライン GL_{i-1} は活性化される。このとき非対応隣接走査信号 G_i の L レベルから H レベルへの変化は第 2 の寄生容量 C_{gd2} を介して画素電圧 $V_p(i, j)$ に影響を与える。しかし、この時点では対応走査信号 G_i は H レベルであって $TFT10$ はオン状態であるので、この影響は画素電圧 $V_p(i, j)$ を一時的に上昇させるだけである。そして、このとき対応ソースライン SL_j には、画素形成部 $P_x(i, j)$ で形成すべき画素を示すデータ信号 S_j が印加される。これにより、当該画素を示すデータ信号 S_j の電圧が対応ソースライン SL_j から $TFT10$ を介して画素形成部 $P_x(i, j)$ の画素電極 E_p に与えられる。すなわち、画素形成部 $P_x(i, j)$ の画素容量 C_p に対する本充電期間が開始される。その後、非対応隣接走査信号 G_{i-1} が L レベルから H レベルへと変化した時点から 1 水平期間が経過すると、対応走査信号 G_i が H レベルから L レベルへと変化し、対応ゲートライン GL_i は非活性化される。これにより本充電期間が終了す

る。

[0060] この本充電期間の終了時における対応走査信号 G_i のHレベルからLレベルへの変化は、第1の寄生容量 C_{gd1} を介して画素電圧 $V_p(i, j)$ に影響を与える。すなわち、この対応走査信号 G_i のHレベルからLレベルへの変化に応じて画素電圧 $V_p(i, j)$ が $\Delta V_{p1} (>0)$ だけ低下する。この低下分の電圧（以下「第1の引き込み電圧」という） ΔV_{p1} の大きさは、この対応走査信号 G_i のHレベルからLレベルへの変化時におけるゲートライン GL_i の電圧変化量および第1の寄生容量 C_{gd1} 等によって決まる。

[0061] 対応走査信号 G_i がHレベルからLレベルへと変化した時点から1水平期間が経過すると、非対応隣接走査信号 G_{i-1} はHレベルからLレベルへと変換し、非対応隣接ゲートライン GL_{i-1} は非活性化される。このとき非対応隣接走査信号 G_{i-1} のHレベルからLレベルへの変化は、第2の寄生容量 C_{gd2} を介して画素電圧 $V_p(i, j)$ に影響を与える。すなわち、この非対応隣接走査信号 G_{i-1} のHレベルからLレベルへの変化に応じて画素電圧 $V_p(i, j)$ は更に $\Delta V_{p2} (>0)$ だけ低下する。この低下分の電圧（以下「第2の引き込み電圧」という） ΔV_{p2} の大きさは、この非対応隣接走査信号 G_{i-1} のHレベルからLレベルへの変化時におけるゲートライン GL_{i-1} の電圧変化量および第2の寄生容量 C_{gd2} 等によって決まる。この後、画素電圧 $V_p(i, j)$ は、次のフレーム期間で対応走査信号 G_i が再びHレベルとなるまで、本充電期間終了直前の画素電圧 $V_p(i, j) = V_{wP}$ から第1の引き込み電圧 ΔV_{p1} および第2の引き込み電圧 ΔV_{p2} だけ低下した電圧（ $V_{wP} - \Delta V_{p1} - \Delta V_{p2}$ ）を維持する。

[0062] 図5（D）は、逆方向走査が指定されている場合（方向指定信号 $C_{ud} = L$ の場合）において負極性のデータ信号 S_j が画素形成部 $P_x(i, j)$ （画素回路110）の画素電極 E_p に印加されるときに走査信号 G_{i-1} 、 G_i および画素電圧 $V_p(i, j)$ の波形を模式的に示している。このときも、画素電圧 $V_p(i, j)$ は、対応走査信号 G_i がHレベルである2水平期間の

うちの後半の1水平期間（本充電期間）において、画素形成部 $P_x(i, j)$ で形成すべき画素を示すデータ信号 S_j が対応ソースライン SL_j に印加される。これにより、当該画素を示す負極性のデータ信号 S_j の電圧が対応ソースライン SL_j からTFT10を介して画素形成部 $P_x(i, j)$ の画素電極 E_p に与えられる。そして、この本充電期間の終了時に対応走査信号 G_i がHレベルからLレベルへと変化し、この変化は第1の寄生容量 C_{gd1} を介して画素電圧 $V_p(i, j)$ に影響を与える。すなわち、この対応走査信号 G_i のHレベルからLレベルへの変化に応じて画素電圧 $V_p(i, j)$ が第1の引き込み電圧 $\Delta V_{p1} (> 0)$ だけ低下する。

[0063] 対応走査信号 G_i がHレベルからLレベルへと変化した時点から1水平期間が経過すると、非対応隣接走査信号 G_{i-1} はHレベルからLレベルへと変化し、非対応隣接ゲートライン GL_{i-1} は非活性化される。このとき非対応隣接走査信号 G_{i-1} のHレベルからLレベルへの変化は、第2の寄生容量 C_{gd2} を介して画素電圧 $V_p(i, j)$ に影響を与える。すなわち、この非対応隣接走査信号 G_{i-1} のHレベルからLレベルへの変化に応じて画素電圧 $V_p(i, j)$ は更に第2の引き込み電圧 $\Delta V_{p2} (> 0)$ だけ低下する。この後、画素電圧 $V_p(i, j)$ は、次のフレーム期間で対応走査信号 G_i が再びHレベルとなるまで、本充電期間終了直前の画素電圧 $V_p(i, j) = V_{wN} (< 0)$ から第1の引き込み電圧 ΔV_{p1} および第2の引き込み電圧 ΔV_{p2} だけ低下した電圧 $(V_{wN} - \Delta V_{p1} - \Delta V_{p2})$ を維持する。

[0064] ここで、第1の引き込み電圧 ΔV_{p1} は、対応走査信号 G_i のHレベルからLレベルへの変化時におけるゲートライン GL_i の電圧変化量および第1の寄生容量 C_{gd1} 等によって決まることから、正方向走査が指定されている場合における既述の引き込み電圧 ΔV_p に等しい（図5（A）および図5（B）参照）。したがって、図5（C）および図5（D）からわかるように、逆方向走査が指定されている場合に画素形成部 $P_x(i, j)$ で画素を形成するために画素電極 E_p に実質的に与えられる電圧は、正方向走査が指定されている場合に比べて第2の引き込み電圧 ΔV_{p2} だけ低くなる。

[0065] そこで本実施形態では、逆方向走査が指定されている場合においても液晶への印加電圧に直流成分が含まれないようにするために、逆方向走査が指定されている場合に共通電極COMに印加される対向DC電圧すなわち第2対向電圧 V_{comB} は、第1対向電圧 V_{comA} を第2の引き込み電圧 Δp_2 (>0) に応じて低下させた電圧に設定されている。

[0066] 上記のようにして本実施形態では、正方向走査が指定されている場合（正方向DirAにゲートラインGL0～GLNが走査される場合）に共通電極COMに印加される対向DC電圧すなわち第1対向電圧 V_{comA} は、ソースセンター電圧 V_{cen} を引き込み電圧 ΔV_p に応じて低下させた電圧値に設定され（図5（A）および図5（B））、逆方向走査が指定されている場合（逆方向DirBにゲートラインGL0～GLNが走査される場合）に共通電極COMに印加される対向DC電圧すなわち第2対向電圧 V_{comB} は、第1対向電圧 V_{comA} を第2の引き込み電圧 ΔV_{p2} に応じて低下させた電圧値に設定されている（図5（C）および図5（D））。これにより、液晶への印加電圧に含まれる直流成分を抑制することができる。このように液晶への印加電圧において直流成分を抑制するためには、より一般的には、非対応隣接ゲートラインが活性化された後に対応隣接ゲートラインが活性化されるような順序（図4の方向DirA）で走査が行われる場合に共通電極COMに印加される対向DC電圧は、ソースセンター電圧 V_{cen} を上記引き込み電圧 Δp (>0) に応じて低下させた電圧値に設定し、対応隣接ゲートラインが活性化された後に非対応隣接ゲートラインが活性化されるような順序（図4の方向DirB）で走査が行われる場合に共通電極COMに印加される対向DC電圧は、ソースセンター電圧 V_{cen} を第1の引き込み電圧 ΔV_{p1} および第2の引き込み電圧 ΔV_{p2} に応じて低下させた電圧値に設定すればよい。

[0067] <1. 4 効果>

上記のような本実施形態によれば、表示すべき画像のうち各画素形成部 $P_x(i, j)$ で形成すべき画素を示すデータ信号 S_j の電圧（ソースライン

$S_L j$ の電圧) を当該画素形成部 $P_x(i, j)$ の画素電極 E_p に印加するために対応するゲートライン GL_i が 1 水平期間活性化されるだけでなく、その直前の 1 水平期間においても活性化される (図 2 および図 3 参照)。すなわち、各フレーム期間において走査信号 $G_0 \sim G_N$ は 1 水平期間間隔で 2 水平期間ずつ順次 H レベルとなり、隣接する走査信号 G_i と G_{i-1} とが H レベルとなる期間は 1 水平期間だけ重複している (以下、このような走査信号 $G_0 \sim G_N$ によるゲートライン $GL_0 \sim GL_N$ の駆動を「重複連続ゲートパルス駆動」という)。また本実施形態では、液晶パネル 100 の反転駆動の方式としてソース反転駆動が採用されていることから (図 2 および図 3)、当該 2 水平期間のうち前半の 1 水平期間に当該画素形成部 $P_x(i, j)$ の画素電極 E_p に与えられる電圧は、後半の 1 水平期間に当該画素形成部 $P_x(i, j)$ の画素電極 E_p に与えられる電圧すなわち当該画素形成部 $P_x(i, j)$ で形成すべき画素を示すデータ信号 S_j の電圧とは、必ずしも値は一致しないが極性は一致する。このため、当該 2 水平期間のうち前半の 1 水平期間は予備充電期間として機能する。これにより、各画素形成部 $P_x(i, j)$ における画素容量 C_p の充電率を向上させ、液晶パネル 100 の大型化または高解像度化が進んでも充電不足を防止することができる。

[0068] しかし、上記のような重複連続ゲートパルス駆動を行う場合、既述のように、液晶への印加電圧が正しく交流化されるように共通電極 COM に印加すべき電圧 (以下「最適対向 DC 電圧」という) は、ゲートライン $GL_0 \sim GL_N$ の選択順すなわち走査方向によって異なる (図 5)。これに対し本実施形態では、共通電極 COM に印加すべき対向 DC 電圧 V_{com} として、正方向走査が行われる場合の最適対向 DC 電圧に相当する第 1 対向電圧 V_{comA} と、逆方向走査が行われる場合の最適対向 DC 電圧に相当する第 2 対向電圧 V_{comB} とが生成され、方向指定信号 Cud に基づき、正方向走査が行われる場合には第 1 対向電圧 V_{comA} が共通電極 COM に印加され、逆方向走査が行われる場合には第 2 対向電圧 V_{comB} が共通電極 COM に印加される。これにより、正方向走査と逆方向走査のいずれの場合であっても、

液晶への印加電圧において直流成分が抑制されるように液晶パネル１００が正しく交流駆動される。その結果、正方向走査と逆方向走査のいずれの場合であっても、表示画像におけるフリッカーの発生を抑え、液晶の劣化を防止することができる。

[0069] < ２．第２の実施形態 >

図６は、本発明の第２の実施形態に係る液晶表示装置の構成を示すブロック図である。図６では、上記第１の実施形態における構成要素と同一または対応する構成要素には同一の参照符号が付されている。

[0070] 本実施形態に係る液晶表示装置は、上記第１の実施形態と同様、ゲートライン GL_i を $i = 0, 1, 2, \dots, N$ の順に活性化する正方向走査と、ゲートライン GL_i を $i = N, N-1, \dots, 1, 0$ の順に活性化する逆方向走査とを行えるように構成されており、重複連続ゲートパルス駆動を行うと共にソース反転駆動を行う（図２および図３）。

[0071] 図６に示すように、本実施形態における共通電極駆動回路５０２は、第１対向電圧生成回路５１を備えているが、第２対向電圧生成回路を備えず、この点で上記第１の実施形態における共通電極駆動回路５００とは異なる（図１参照）。本実施形態では、共通電極駆動回路５０２内の選択器としての切替スイッチ５４に対し、正方向走査の場合の最適対向ＤＣ電圧に相当する第１対向電圧 V_{comA} が第１対向電圧生成回路５１から与えられると共に、逆方向走査の場合の最適対向ＤＣ電圧に相当する第２対向電圧 V_{comB} が液晶表示装置の外部から与えられる。この切替スイッチ５４は、上記第１の実施形態の場合と同様、正方向走査のときには第１対向電圧 V_{comA} を選択し、逆方向走査のときには第２対向電圧 V_{comB} を選択する。このようにして選択された対向ＤＣ電圧は、液晶パネル１００の共通電極ＣＯＭに与えられる。

[0072] 上記のような本実施形態においても、ソース反転駆動を前提とした重複連続ゲートパルス駆動により予備充電が行われる共に、共通電極ＣＯＭに印加される対向ＤＣ電圧が走査方向に応じて第１対向電圧 V_{comA} と第２対向

電圧 V_{comB} との間で切り替えられる。したがって本実施形態によれば、上記第 1 の実施形態と同様、液晶パネル 100 の大型化または高解像度化が進んでも充電不足を防止できると共に、正方向走査と逆方向走査のいずれの場合であっても表示画像におけるフリッカーの発生を抑えかつ液晶の劣化を防止することができる。

[0073] なお、上記第 2 の実施形態では、第 1 対向電圧 V_{comA} が液晶表示装置（の共通電極駆動回路 502）内で生成され、第 2 対向電圧 V_{comB} は液晶表示装置の外部から入力されるが、これに代えて、第 1 対向電圧 V_{comA} が液晶表示装置の外部から入力され、第 2 対向電圧 V_{comB} が液晶表示装置（の共通電極駆動回路 502）内で生成される構成としてもよい。ここで、第 1 および第 2 対向電圧 V_{comA} 、 V_{comB} のうち外部から入力される対向 DC 電圧はその値の設定の自由度が高いので、この点を考慮して、第 1 および第 2 対向電圧 V_{comA} 、 V_{comB} のうちいずれを外部から入力するか決定すればよい。

[0074] <3. 第 3 の実施形態>

図 7 は、本発明の第 3 の実施形態に係る液晶表示装置の構成を示すブロック図である。図 7 では、上記第 1 の実施形態における構成要素と同一または対応する構成要素には同一の参照符号が付されている。

[0075] 本実施形態に係る液晶表示装置も、上記第 1 の実施形態と同様、ゲートライン GL_i を $i = 0, 1, 2, \dots, N$ の順に活性化する正方向走査と、ゲートライン GL_i を $i = N, N-1, \dots, 1, 0$ の順に活性化する逆方向走査とを行えるように構成されており、重複連続ゲートパルス駆動を行うと共にソース反転駆動を行う（図 2 および図 3）。

[0076] 図 7 に示すように、本実施形態における共通電極駆動回路 503 は、第 1 対向電圧生成回路および第 2 対向電圧生成回路のいずれも備えず、選択器としての切替スイッチ 54 のみを備えている。本実施形態における切替スイッチ 54 には、正方向走査の場合の最適対向 DC 電圧に相当する第 1 対向電圧 V_{comA} および逆方向走査の場合の最適対向 DC 電圧に相当する第 2 対向

電圧 V_{comB} が共に液晶表示装置の外部から入力される。この切替スイッチ 54 は、上記第 1 の実施形態の場合と同様、正方向走査のときには第 1 対向電圧 V_{comA} を選択し、逆方向走査のときには第 2 対向電圧 V_{comB} を選択する。このようにして選択された対向 DC 電圧は、液晶パネル 100 の共通電極 COM に与えられる。

[0077] 上記のような本実施形態においても、ソース反転駆動を前提とした重複連続ゲートパルス駆動により予備充電が行われる共に、共通電極 COM に印加される対向 DC 電圧が走査方向に応じて第 1 対向電圧 V_{comA} と第 2 対向電圧 V_{comB} との間で切り替えられる。したがって本実施形態によれば、上記第 1 の実施形態と同様、液晶パネル 100 の大型化または高解像度化が進んでも充電不足を防止できると共に、正方向走査と逆方向走査のいずれの場合であっても表示画像におけるフリッカーの発生を抑えかつ液晶の劣化を防止することができる。なお本実施形態では、正方向走査の場合の最適対向 DC 電圧に相当する第 1 対向電圧 V_{comA} および逆方向走査の場合の最適対向 DC 電圧に相当する第 2 対向電圧 V_{comB} が共に液晶表示装置の外部から入力されるので、正方向走査および逆方向走査のいずれの場合においても対向 DC 電圧の値の設定の自由度が高い。例えば本実施形態によれば、液晶表示装置の周囲温度に応じて第 1 および第 2 対応電圧 V_{comA} 、 V_{comB} の値を変更するための回路を外部に設けることができる。

[0078] <4. 変形例>

上記第 1 から第 3 の実施形態では、ソース反転駆動を前提とした重複連続ゲートパルス駆動による予備充電が行われ、本充電期間の直前の 1 水平期間が予備充電期間とされているが（図 2 および図 3）、予備充電期間の長さはこれに限定されるものではなく、例えば 2 水平期間またはそれ以上の予備充電期間を設けてもよい。

[0079] 上記第 1 から第 3 の実施形態では、反転駆動方式としてソース反転駆動が採用されているが（図 2 および図 3）、本発明はこれに限定されるものではなく、同一フレーム期間において同一ソースライン SL_j に印加されるデー

タ信号 S_j の電圧極性が同一であればよく、ソース反転駆動に代えて例えばフレーム反転駆動を採用してもよい。

[0080] 上記第1から第3の実施形態では、重複連続ゲートパルス駆動が行われるが、重複連続ゲートパルス駆動を行わない液晶表示装置であっても、液晶パネルの構造に基づき、正方向走査と逆方向走査とで最適対向DC電圧が異なる場合がある。したがって、そのような場合には、液晶パネルの構造等に基づき第1対向電圧 V_{comA} および第2対向電圧 V_{comB} の値を設定し、共通電極COMへの印加電圧を走査方向に応じてこれらの電圧 V_{comA} および V_{comB} の間で切り替えるようにしてもよい。

[0081] 上記第1から第3の実施形態では、1番目のゲートラインGL1に対応する各画素形成部すなわち1行目の各画素形成部 $(1, j)$ ($j = 1 \sim M$) の画素電極 E_p についての非対応隣接ゲートラインとして0番目のゲートラインGL0がTFT基板に形成されている(図1、図6、図7)。この0番目のゲートラインGL0が存在しない場合、1行目の各画素形成部 $(1, j)$ ($j = 1 \sim M$) では、正しく交流駆動ができず液晶への印加電圧において直流成分を十分に抑制できない。しかし、このような問題が生じるのは1行目の画素形成部 $(1, j)$ ($j = 1 \sim M$) においてのみであるので、本発明を適用する対象や状況に応じて、0番目のゲートラインGL0およびそれに対する走査信号 G_0 を生成するための回路部分を省略してもよい。

[0082] なお本発明は、TFT基板に形成される画素回路110等を構成する薄膜トランジスタ(TFT)の構造や材料を限定するものではなく、当該TFTは、上記第1から第3の実施形態のようにNチャネル形のMOS(Metal Oxide Semiconductor)構造であってもよいし、Pチャネル形のMOS構造であってもよい。画素回路110におけるTFT10としてPチャネル形のTFTを使用する場合、走査信号 G_i がHレベルのときにゲートラインGL i は非活性化状態となり、走査信号 G_i がLレベルのときにゲートラインGL i は活性化状態となる。このため、第1および第2の寄生容量 C_{gd1} 、 C_{gd2} に起因して生じる引き込み電圧は画素電圧 $V_p(i, j)$ を上昇させる

。したがって、この場合、正方向走査が指定されているときに共通電極COMに印加される第1対向電圧 V_{comA} は、ソースセンター電圧 V_{cen} を引き込み電圧 $\Delta V_p (>0)$ に応じて上昇させた電圧値に設定され、逆方向走査が指定されているときに共通電極COMに印加される第2対向電圧 V_{comB} は、第1対向電圧 V_{comA} を第2の引き込み電圧 $\Delta V_{p2} (>0)$ に応じて上昇させた電圧値に設定されることになる。このことをいずれかの画素電極に着目して一般化すると（スイッチング素子としてのTFT10がPチャネル形かNチャネル形かを限定しないものとする）、第1対向電圧 V_{comA} は、対応隣接ゲートラインが活性化状態から非活性化状態へと変化する時の当該対応隣接ゲートラインにおける電圧変化量および当該対応隣接ゲートラインと当該画素電極との間における寄生容量に応じてデータ信号の中心電圧を増減することにより得られる電圧であり、第2対向電圧 V_{comB} は、非対応隣接ゲートラインが活性化状態から非活性化状態へと変化する時の当該非対応隣接ゲートラインにおける電圧変化量および当該非対応隣接ゲートラインと当該画素電極との間における寄生容量に応じて第1対向電圧 V_{comA} を増減することにより得られる電圧である。

[0083] また、本発明においてTFT基板に形成される画素回路等を構成するTFTは、例えば、アモルファスシリコンを用いて作製されてもよいし、ポリシリコンを用いて作製されてもよく、酸化物半導体を用いて作製されてもよい。酸化物半導体を用いてTFTを作製する場合、そのチャネル層は、例えば、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）を主成分とするInGaZnO_xにより形成される。InGaZnO_x以外の酸化物半導体として、例えばインジウム、ガリウム、亜鉛、銅（Cu）、シリコン（Si）、錫（Sn）、アルミニウム（Al）、カルシウム（Ca）、ゲルマニウム（Ge）、および鉛（Pb）のうち少なくとも1つを含んだ酸化物半導体を使用することができる。このような酸化物半導体をチャネル層に用いたTFTは、アモルファスシリコン等をチャネル層に用いたTFTに比べてオフリーク電流が極めて小さいという利点を有している。

[0084] なお以上では、液晶表示装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、共通電極を有し当該共通電極の電圧を基準に交流駆動が行われるアクティブマトリクス型の表示装置であれば本発明の適用が可能である。

産業上の利用可能性

[0085] 本発明は、走査方向を切り換えることができる交流駆動方式のアクティブマトリクス型表示装置およびその駆動回路および駆動方法に適用することができる。

符号の説明

[0086] 100…液晶パネル（表示パネル）
 110…画素回路
 200…表示制御回路（制御部）
 300…ソースドライバ（データ信号線駆動部）
 400…ゲートドライバ（走査信号線駆動部）
 500, 502, 503 …共通電極駆動回路（対向電圧供給部）
 10 …薄膜トランジスタ（スイッチング素子）
 51 …第1対向電圧生成回路
 52 …第2対向電圧生成回路
 54 …切替スイッチ（選択器）
 GL_i …ゲートライン（走査信号線）（ $i = 0 \sim N$ ）
 SL_j …ソースライン（データ信号線）（ $j = 1 \sim M$ ）
 COM …共通電極
 P_x（ i, j ） …画素回路（ $i = 1 \sim N ; j = 1 \sim M$ ）
 E_p …画素電極
 C_p …画素容量
 C_{gd1} …第1寄生容量
 C_{gd2} …第2寄生容量
 G_i …走査信号（ $i = 0 \sim N$ ）

S_j	…データ信号 ($j = 1 \sim M$)
V_{com}	…選定対向DC電圧
V_{comA}	…第1対向電圧
V_{comB}	…第2対向電圧

請求の範囲

[請求項1]

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極と対向するように配置された共通電極と、各画素電極に対応するデータ信号線に接続するために画素電極毎に設けられ対応する走査信号線に接続された制御端子を有するスイッチング素子とを含む交流駆動方式の表示装置の駆動回路であって、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動部と、

前記複数の走査信号線を順次活性化し、かつ、前記複数の走査信号線の活性化順に対応する走査方向を互いに逆方向である第1方向と第2方向との間で切り替えることができる走査信号線駆動部と、

前記共通電極に印加すべき対向電圧を出力する対向電圧供給部と、

前記走査方向として前記第1方向と前記第2方向のうちいずれかを選択し、当該選択された走査方向に応じた順に前記複数の走査信号が活性化されるように前記走査信号線駆動部を制御し、前記第1方向用の第1対向電圧と前記第2方向用の第2対向電圧とからなる2つの異なる対向電圧のうち当該選択された走査方向に応じた対向電圧が出力されるように前記対向電圧供給部を制御する制御部とを備えることを特徴とする、駆動回路。

[請求項2]

前記走査信号線駆動部は、互いに隣接する走査信号線がそれぞれ活性化される期間が部分的に重複するように前記複数の走査信号線を駆動することを特徴とする、請求項1に記載の駆動回路。

[請求項3]

前記走査信号線駆動部は、

前記第1方向が前記走査方向として選択されている場合には、各画素電極に隣接する2つの走査信号線のうち当該画素電極に対応するスイッチング素子の制御端子に接続された第1の走査信号線を活性化

する前に当該 2 つの走査信号線のうち当該スイッチング素子の制御端子に接続されていない第 2 の走査信号線を活性化し、

前記第 2 方向が前記走査方向として選択されている場合には、前記第 1 の走査信号線を活性化した後に前記第 2 の走査信号線を活性化し、

前記第 1 対向電圧は、前記第 1 の走査信号線が活性化状態から非活性化状態へと変化する時の前記第 1 の走査信号線における電圧変化量および前記第 1 の走査信号線と前記画素電極との間における寄生容量に応じて前記データ信号の中心電圧を増減することにより得られる電圧であり、

前記第 2 対向電圧は、前記第 2 の走査信号線が活性化状態から非活性化状態へと変化する時の前記第 2 の走査信号線における電圧変化量および前記第 2 の走査信号線と前記画素電極との間における寄生容量に応じて前記第 1 対向電圧を増減することにより得られる電圧であることを特徴とする、請求項 2 に記載の駆動回路。

[請求項 4]

前記走査信号線駆動部は、各画素電極に対応するスイッチング素子の制御端子に接続された走査信号線を、前記表示すべき画像のうち当該画素電極に対応する画素を示す前記データ信号を当該画素電極に印加すべき本充電期間と当該本充電期間の直前の所定期間である予備充電期間とからなる期間において連続的に活性化状態とし、

前記データ信号線駆動部は、前記複数のデータ信号のそれぞれの極性が同一フレーム期間内では変化しないように前記複数のデータ信号を生成することを特徴とする、請求項 2 または 3 に記載の駆動回路。

[請求項 5]

前記対向電圧供給部は、

前記第 1 および第 2 対向電圧を生成する電圧生成器と、

前記制御部からの制御信号に基づき、前記共通電極に印加すべき対向電圧として前記第 1 および第 2 対向電圧のいずれかを選択する選択器と

を含むことを特徴とする、請求項 1 から 4 のいずれか 1 項に記載の駆動回路。

[請求項6] 前記第 1 および第 2 対向電圧の少なくとも一方は外部から入力され、

前記対向電圧供給部は、前記制御部からの制御信号に基づき、前記共通電極に印加すべき対向電圧として前記第 1 および第 2 対向電圧のいずれかを選択する選択器を含むことを特徴とする、請求項 1 から 4 のいずれか 1 項に記載の駆動回路。

[請求項7] 請求項 1 から 4 のいずれか 1 項に記載の駆動回路を備えることを特徴とする表示装置。

[請求項8] 前記スイッチング素子は、酸化物半導体により形成されたチャネル層を含む薄膜トランジスタであることを特徴とする、請求項 7 に記載の表示装置。

[請求項9] 複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極と対向するように配置された共通電極と、各画素電極を対応データ信号線に接続するために画素電極毎に設けられ対応する走査信号線に接続された制御端子を有するスイッチング素子とを含む交流駆動方式の表示装置の駆動方法であって、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップと、

前記複数の走査信号線を順次活性化する走査信号線駆動ステップと、

前記共通電極に印加すべき対向電圧を出力する対向電圧供給ステップと、

前記複数の走査信号線の活性化順に対応する走査方向として、互いに逆方向である第 1 方向と第 2 方向のうちいずれかを選択する走査方

向選択ステップと

を備え、

前記走査信号線駆動ステップでは、前記走査方向選択ステップで選択された走査方向に応じた順に前記複数の走査信号が活性化され、

前記対向電圧供給ステップでは、前記第1方向用の第1対向電圧と前記第2方向用の第2対向電圧とからなる2つの異なる対向電圧のうち前記走査方向選択ステップで選択された走査方向に応じた対向電圧が出力されることを特徴とする、駆動方法。

[請求項10]

前記走査信号線駆動ステップでは、互いに隣接する走査信号線がそれぞれ活性化される期間が部分的に重複するように前記複数の走査信号線が駆動されることを特徴とする、請求項9に記載の駆動方法。

[請求項11]

前記走査信号線駆動ステップでは、

前記第1方向が前記走査方向として選択されている場合には、各画素電極に隣接する2つの走査信号線のうち当該画素電極に対応するスイッチング素子の制御端子に接続された第1の走査信号線が活性化される前に当該2つの走査信号線のうち当該スイッチング素子の制御端子に接続されていない第2の走査信号線が活性化され、

前記第2方向が前記走査方向として選択されている場合には、前記第1の走査信号線が活性化された後に前記第2の走査信号線が活性化され、

前記第1対向電圧は、前記第1の走査信号線が活性化状態から非活性化状態へと変化する時の前記第1の走査信号線における電圧変化量および前記第1の走査信号線と前記画素電極との間における寄生容量に応じて前記データ信号の中心電圧を増減することにより得られる電圧であり、

前記第2対向電圧は、前記第2の走査信号線が活性化状態から非活性化状態へと変化する時の前記第2の走査信号線における電圧変化量および前記第2の走査信号線と前記画素電極との間における寄生容量

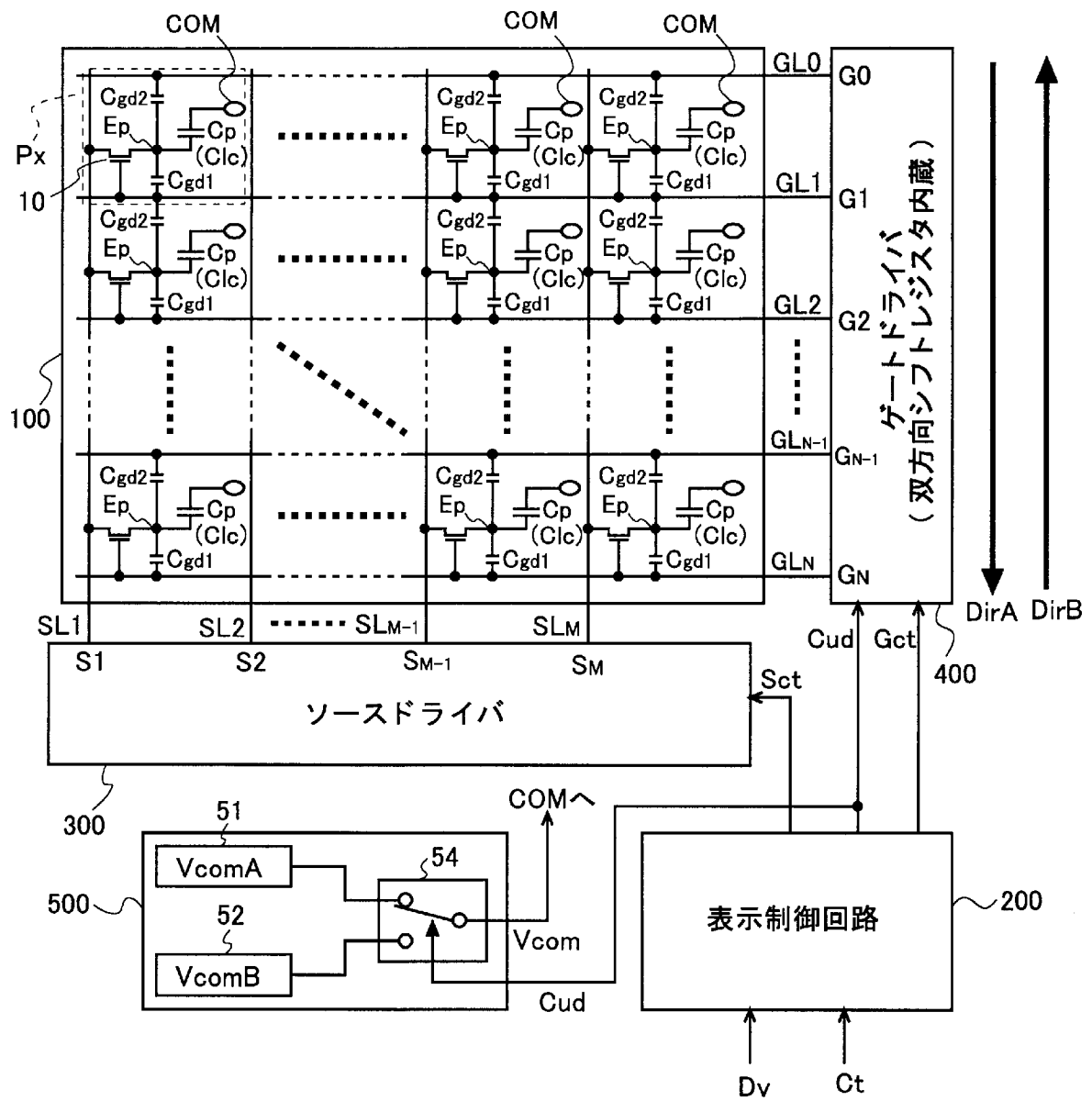
に応じて前記第 1 対向電圧を増減することにより得られる電圧であることを特徴とする、請求項 10 に記載の駆動方法。

[請求項 12]

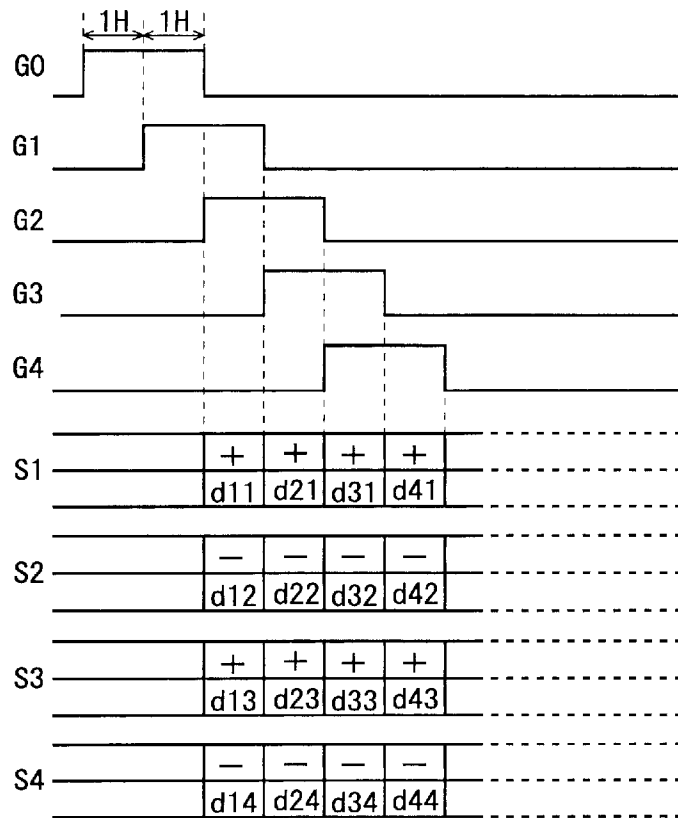
前記走査信号線駆動ステップでは、各画素電極に対応するスイッチング素子の制御端子に接続された走査信号線が、前記表示すべき画像のうち当該画素電極に対応する画素を示す前記データ信号を当該画素電極に印加すべき本充電期間と当該本充電期間の直前の所定期間である予備充電期間とからなる期間において連続的に活性化状態とされ、

前記データ信号線駆動ステップでは、前記複数のデータ信号のそれぞれの極性が同一フレーム期間内では変化しないように前記複数のデータ信号が生成されることを特徴とする、請求項 10 または 11 に記載の駆動方法。

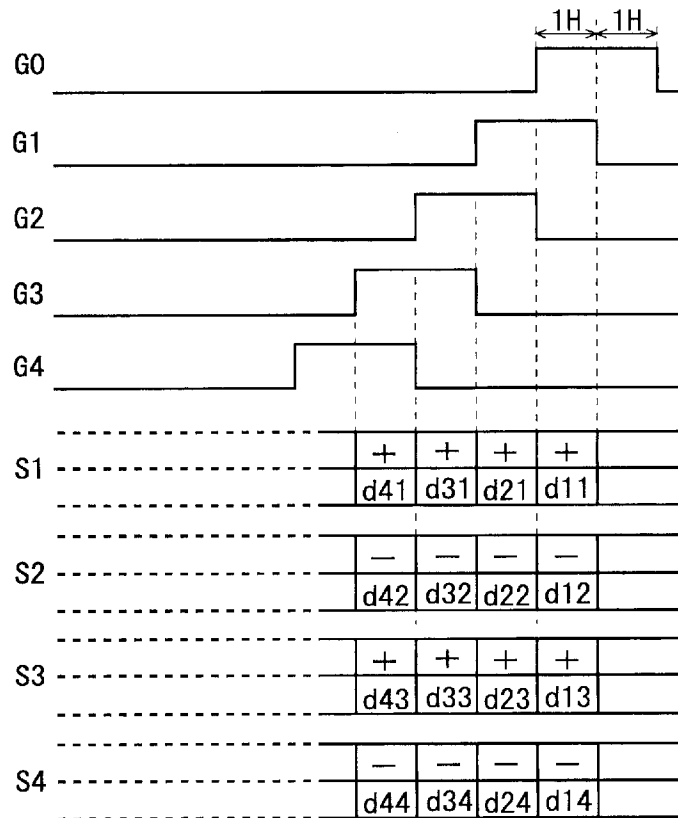
[図1]



[図2]



[図3]



[illegible]

Figure 1 is a block diagram of a display device. The diagram shows a grid of pixel elements (300) with gates (GL0 to GLN) and sources (S1 to SM). A source driver (300) and a gate driver (400) are connected to the grid. A control circuit (200) is connected to the gate driver. The diagram also shows a detailed view of a pixel element (502) with a switch (54) and a capacitor (51).

[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/072175

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2010/150562 A1 (Sharp Corp.), 29 December 2010 (29.12.2010), paragraphs [0025] to [0046]; fig. 1 to 6 & US 2012/0120044 A1 & CN 102804252 A	1-12
X	JP 2012-98400 A (Hitachi Displays, Ltd.), 24 May 2012 (24.05.2012), paragraphs [0029] to [0104]; fig. 1 to 8 & US 2012/0105425 A1 & EP 2447937 A1 & CN 102467894 A & KR 10-2012-0046036 A & TW 201232520 A	1-12
X	JP 2002-202761 A (Advanced Display Inc.), 19 July 2002 (19.07.2002), paragraphs [0002] to [0068]; fig. 1 to 6 (Family: none)	1, 5-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 November, 2013 (06.11.13)

Date of mailing of the international search report
19 November, 2013 (19.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2010/150562 A1（シャープ株式会社）2010.12.29, 段落 [0025] - [0046], [図1] - [図6] & US 2012/0120044 A1 & CN 102804252 A	1-12
X	JP 2012-98400 A（株式会社 日立ディスプレイズ）2012.05.24, 段落【0029】-【0104】、【図1】-【図8】 & US 2012/0105425 A1 & EP 2447937 A1 & CN 102467894 A & KR 10-2012-0046036 A & TW 201232520 A	1-12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 1 . 2 0 1 3

国際調査報告の発送日

1 9 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2002-202761 A (株式会社アドバンスト・ディスプレイ) 2002.07.19, 段落【0002】－【0068】, 【図1】－【図6】 (ファミリーなし)	1, 5-9