



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1262477 A 1

(5D) 4 G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3825232/24-24
(22) 12.12.84
(46) 07.10.86. Бюл. № 37
(71) Кубанский государственный университет
(72) Н.С. Анищин
(53) 681.3(088.8)
(56) Авторское свидетельство СССР
№ 362296, кл. G 06 F 7/52, 1969.
Авторское свидетельство СССР
№ 732861, кл. G 06 F 7/38, 1976.
(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ОБРАТНОЙ ВЕЛИЧИНЫ
(57) Изобретение относится к цифровой вычислительной технике и может

быть использовано в управляющих и информационно-измерительных системах. Цель изобретения - повышение точности устройства. Поставленная цель достигается тем, что устройство для вычисления обратной величины, содержащее три сумматора, регистр, блок элементов ИЛИ, элементы И и запрета, схему сравнения, содержит преобразователь дополнительного кода в прямой код с соответствующими связями. В устройстве использовано представление входных и выходных величин в последовательном знакоразрядном двоичном коде с цифрами $\{-1, 0, 1\}$. 1 ил.

(19) SU (11) 1262477 A 1

Изобретение относится к вычислительной технике и может быть использовано в цифровых вычислительных и управляющих системах.

Целью изобретения является повышение точности.

На чертеже представлена схема устройства для вычисления обратной величины.

Устройство для вычисления обратной величины содержит регистр 1, сумматоры 2 и 3, блок 4 элементов ИЛИ, сумматор 5, знаковый разряд 6 сумматора 5, преобразователь 7 дополнительного кода в прямой код, схему 8 сравнения, элемент 9 запрета, элемент И 10, информационные входы 11 и 12 устройства, тактовые входы 13 и 14 устройства, выходы 15 и 16 устройства.

Регистр 1, сумматоры 2 и 3, преобразователь 7 дополнительного кода в прямой код, схема 8 сравнения имеют $(n+1)$ двоичный разряд (n - разрядность аргумента и результата без знака).

Сумматор 5 и блок 4 элементов ИЛИ имеют $(n+2)$ двоичных разряда.

В качестве сумматоров 2, 3 и 5 используются накапливающие сумматоры, работающие в дополнительном коде. Суммирование в третьем сумматоре 5 производится с задержкой за счет применения в его регистре двухтактных триггеров. На входах 13 и 14 появляются два сдвинутые один относительно другого на треть периода прямоугольные импульсы напряжения с амплитудой, соответствующей уровню "1", со скважностью около "6". Первый из импульсов (вход 13) сдвинут во времени на треть периода по отношению к моменту появления импульсов на входах 11 и 12.

Для представления операнда X и результата $Y = 1/X$ применяется избыточная симметричная двоичная система счисления с цифрами $\{\bar{1}, 0, 1\}$.

Устройство работает в соответствии со следующим алгоритмом

$$N_i = 2R_{i-1} - 2Y_{i-1} X_i;$$

$$X_i = X_{i-1} + X_i \cdot 2^{-i};$$

$$Y_i = \begin{cases} \bar{1}, & \text{если } N_i < -X_i \\ 0, & \text{если } -X_i \leq N_i \leq X_i \\ 1, & \text{если } N_i > X_i \end{cases}$$

$$Y_i = Y_{i-1} + Y_i \cdot 2^{-i}$$

$$R_i = N - 2X_i Y_i \quad (i = 1, 2, \dots).$$

где X_i - очередная цифра операнда;

X_i - содержимое сумматора 2 в i -м цикле вычислений;

Y_i - очередная цифра результата;

Y_i - содержимое сумматора 3 в i -м цикле вычислений;

R_{i-1} - содержимое сумматора 5 к началу i -го цикла вычислений;

N_i - содержимое сумматора 5 в i -м цикле вычислений.

Устройство работает следующим образом.

Исходное состояние: $N_1 = 0,5$; $X_0 = Y_0 = 0$. На величину аргумента накладываются ограничения: $2^{-1} \leq X < -1$.

В начальном состоянии в n -м разряде регистра 1 записана "1", в остальных разрядах - "0". Кроме того, в n -й разряд сумматора 5 занесена "1", его остальные разряды - в "0".

Обратная величина исходного операнда вычисляется за несколько циклов, один цикл дает один разряд результата. Число циклов выбирается в зависимости от требуемой точности результата. Так как результат рациональное число, он не имеет конечного $(n+2)$ -разрядного представления в двоичной системе. Учитывая, что аргумент X подается округленным до n разрядов, число верных знаков результата также n , а получается он с задержкой на два разряда, поэтому окончательный результат формируется за $(n+2)$ циклов вычисления. Каждый цикл состоит из трех тактов.

В первом такте каждого i -го цикла на входы 11 и 12 устройства поступает очередной разряд операнда (операнд поступает, начиная со старших разрядов). При этом, если сигнал поступает на информационный вход 11, это свидетельствует о том, что очередной разряд операнда равен "1".

Если сигнал поступает на вход 12, очередной разряд аргумента равен " $\bar{1}$ ".

Если же сигнала нет ни на одном из входов 11 и 12, очередной разряд операнда численно равен "0". В зависимости от сигнала, поступившего на входы 11 и 12, содержимое второго сумматора 3 прибавляется или вычитается из содержимого третьего сумматора 5 со сдвигом на один разряд влево.

Кроме того, к содержимому первого сумматора 2 прибавляется прямой или дополнительный код содержимого

регистра 1. Это осуществляется самими входными сигналами (если они "1" или - "1"), поступающими на управляющие входы сумматоров 2 и 3. В результате в третьем сумматоре 5 обра- 5 зуется значение N_i , а в первом сумматоре 2 - значение X_i . Содержимое третьего сумматора 5 поступает на вход преобразователя 7, который преобразует дополнительный код в прямой, 10 если на его управляющем входе уровень, соответствующий "1" в знаковом разряде 6 третьего сумматора 5. И, наоборот, при уровне соответственно "0" на управляющем входе преобразователь 7 не меняет содержимого разрядов, пропуская их на свой выход. а далее на вход схемы 8 сравнения. На ее второй вход поступает всегда положительный код с первого сумматора 2. Если содержимое первого входа больше содержимого второго на выходе 20 схемы 8 сравнения появляется уровень. К началу второго такта информационные сигналы со входов 11 и 12 25 снимаются.

Во втором такте по сигналу, поступившему на вход 13, производится выдача информации на выходы 15 и 16 устройства. При этом, если единичный сигнал появится на выходе 15, то значит очередной разряд результата равен "1", если на выходе 16 - то - "1", а если же не появится ни на одном из выходов 15 или 16, то 30 очередной разряд равен "0". Это выявляют элементы 9 и 10 по сигналам от знакового разряда 6 третьего сумматора 5 и от схемы 8 сравнения.

По единичному сигналу с выхода 15 40 в i -й разряд второго сумматора 3 прибавляется "1" и производится выдача дополнительного кода с первого сумматора 2 через блок 4 на вход третьего сумматора 5. По единичному сигналу с выхода 16 из i -го разряда второго сумматора 3 вычитается единица, что осуществляется приемом дополнительного кода из регистра 1, а также производится выдача прямого кода 50 первого сумматора 2 через блок 4 на вход третьего сумматора 5. В итоге во втором такте во втором сумматоре 3 образуется код Y_i , а по окончании второго такта (так как суммирование в третьем сумматоре 5 производится с задержкой) в сумматоре 5 формируется величина R_i . 55

В третьем такте по сигналу, поступающему на вход 14 устройства, производится сдвиг влево на один разряд содержимого третьего сумматора 5 и сдвиг на один разряд вправо содержимого регистра 1. Этим самым величина R_i удваивается, а в регистре 1 1 готовится новая константа $2^{-(i+1)}$ для следующего цикла.

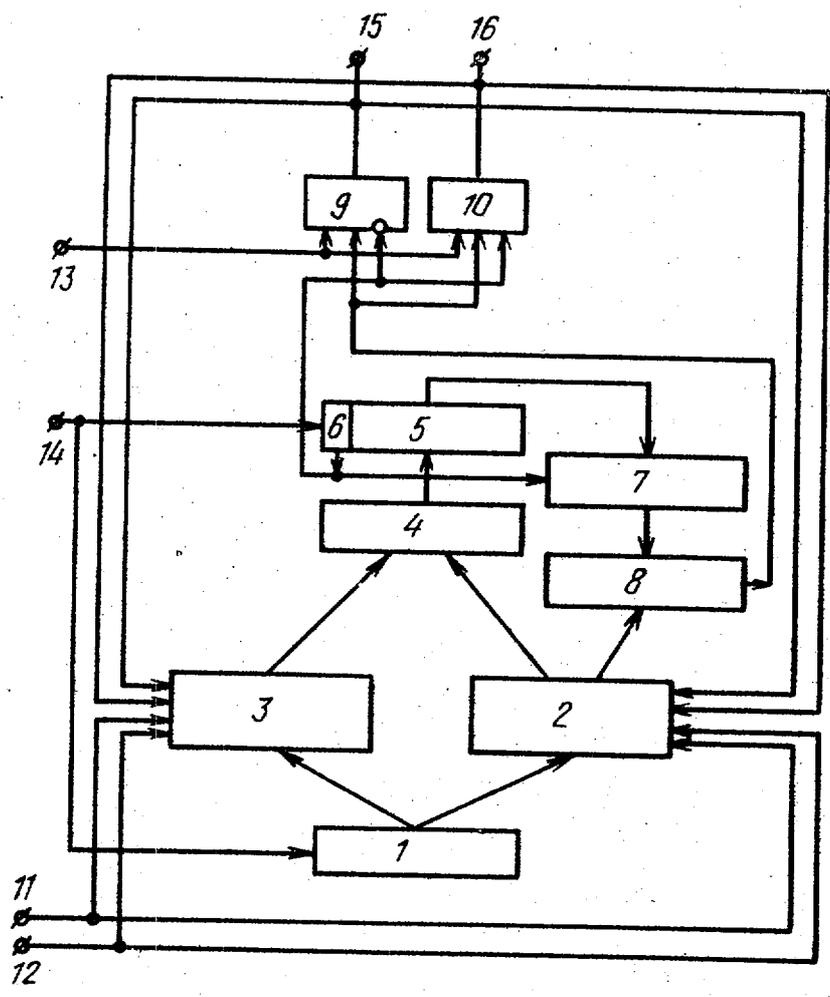
В результате выполнения $(n+2)$ циклов на выходы 15 и 16 устройства последовательно разряд за разрядом (начиная со старших) выдается значение обратной величины исходного операнда, причем за счет оптимального выбора порогов оценочной функции N_i ошибка округления на каждом цикле в 2-3 раза меньше, чем у известного устройства. Причем это относится и к последнему циклу, который завершает формирование результата. Результат получается симметрично округленным.

Ф о р м у л а и з о б р е т е н и я

Устройство для вычисления обратной величины, содержащее регистр, три сумматора, блок элементов ИЛИ, схему сравнения, элемент запрета и элемент И, причем информационные выходы первого и второго сумматоров соединены со сдвигом на один разряд в сторону старших с соответствующими входами блока элементов ИЛИ, выход которого подключен к информационному входу третьего сумматора, выход знака которого соединен с управляющим входом элемента запрета и с первым входом элемента И, выходы которых соединены соответственно с первым и вторым выходами устройства, входами разрешения выдачи дополнительно и прямого кодов первого сумматора, входами разрешения приема прямого и дополнительного кодов второго сумматора, второй вход элемента И соединен с первым информационным входом элемента запрета и с первым тактовым входом устройства, второй тактовый вход которого соединен с тактовым входом третьего сумматора и с входом разрешения сдвига регистра, выход которого соединен с информационными входами первого и второго сумматоров, входы разрешения приема прямого и дополнительного кодов первого сумматора соединены соответственно с входами разрешения выдачи дополни-

тельного и прямого кодов второго сумматора, первым и вторым информационными входами устройства, третий вход элемента И и второй информационный вход элемента запрета соединены с выходом схемы сравнения, отличающейся тем, что, с целью повышения точности, оно содержит преобразователь дополнительного кода в прямой код, причем информационный вы-

ход и выход знака третьего сумматора соединены соответственно с информационным входом и входом разрешения преобразования преобразователя дополнительного кода в прямой код, выход которого соединен с первым входом схемы сравнения, второй вход которой соединен с выходом прямого кода первого сумматора.



Составитель А. Ключев
 Редактор Г. Волкова Техред Л. Сердюкова Корректор М. Самборская

Заказ 5428/46 Тираж 671 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4