

公告本

260805

申請日期	83 年 7 月 28 日
案 號	83106908
類 別	H01L 21/02

260805

A4
C4

(以上各欄由本局填註)

發明專利說明書
~~新~~型

一、發明名稱	中 文	半導體裝置及其製法
	英 文	Semiconductor device and method of manufacturing the same
二、發明人創作	姓 名	(1) 船田文明 (2) 森田達夫 (3) 田仲広久
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國奈良縣大和郡山市泉原町三三の一〇
	住、居所	(2) 日本國京都府相楽郡加茂町南加茂台九の五の八 (3) 日本國奈良縣生駒郡安堵町東安堵六〇の一
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(2) 佳寶股份有限公司 シャープ株式会社 (1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八 (2) 日本國大阪府大阪市阿倍野區長池町二二番二號
	代 表 人 姓 名	(1) 山崎舜平 (2) 辻晴雄

裝

訂

線

260805

申請日期	83 年 7 月 28 日
案 號	83106908
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明名稱 新型	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 張宏勇 (5) 高山徹
	國 籍	(4) 日本 (5) 日本 (4) 日本國神奈川縣大和市深見台一の一〇の一五 パレス宮上三〇二號
	住、居所	(5) 日本國神奈川縣横浜市綠區鴨居一の一六の一、一の一〇四
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

260805

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1993 年 8 月 10 日 5-218156 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

(發明領域)

本發明關於使用設在玻璃等等所製成之絕緣基底上之 T F T (薄膜電晶體) 的半導體裝置，特別是可用於活性矩陣型液晶顯示裝置的半導體裝置。

(相關技藝討論)

關於在玻璃等等所製成之絕緣基底上提供 T F T 的半導體裝置，已知使用這些 T F T 做為圖素驅動器的影像感測器和活性矩陣型液晶顯示裝置。

通常薄膜形矽半導體用於這些裝置的 T F T。薄膜形矽半導體約略分成二種，亦即非晶矽半導體 (a - S i) 和結晶矽半導體。非晶矽半導體最常用，因為具有低製造溫度且易於由汽相法製造，故產量大。然而，因為非晶矽半導體在諸如導電性的物理性質比結晶矽半導體差，故要建立由結晶矽半導體所形成之 T F T 的製法，以在未來得到較高速特性。關於結晶矽半導體，已知有多晶矽、微晶矽、含有結晶成分的非晶矽、具有在結晶性與非晶性間之中間狀態的半非晶矽等等。

至於得到具有這些晶性之薄膜矽半導體的方法，已知有下列方法。

(1) 在膜形成時直接形成結晶膜。

(2) 事先形成非晶矽半導體膜，施加雷射束能量，藉以提供晶性。

(請先閱讀背面之注意事項再填寫本頁)

訂

製

五、發明說明(2)

(3) 事先形成非晶半導體膜，施加熱能，藉以提供晶性。

然而，在方法(1)，技術上難以在整個基底上表面上均勻形成具有優良半導體物理性質的膜。再者，由於膜形成溫度高，亦即600℃或以上，故產生不能使用廉價玻璃基底的成本問題。在方法(2)，在目前最常用之準分子雷射例子的情形，因為雷射束施加面積小，故先產生產量低的問題。再者，雷射束穩定性不足以均勻處理大面積基底的整個上表面，結果，此法是下一代的技術。在方法(3)，與方法(1)和(2)比較，具有可處理大面積基底的優點。然而，需要600℃或以上的高溫，鑒於使用廉價玻璃基底，須進一步減低加熱溫度。明確地說，目前液晶顯示裝置的尺寸愈來愈大，因此，同樣地，須使用大型玻璃基底。當使用此大型玻璃基底時，發生在加熱過程之基底收縮或畸變的嚴重問題，破壞罩對正的準確度等等。明確地說，在目前最常用之 Corning 7059 玻璃的情形，畸變點為593℃，因此傳統熱結晶法造成基底重大變形。此外，除了溫度問題，由於目前製程需要幾十小時或以上的加熱時間來結晶，故也須縮短加熱時間。

發明概要

本發明消除上述問題。明確地說，本發明的目標是藉由應用加熱使非晶矽所形成之薄膜結晶的方法，提供在結晶矽半導體所形成之薄膜的製法中減低結晶所需的溫度並

(請先閱讀背面之注意事項再填寫本頁)

表

訂

封

五、發明說明(3)

減少時間的製程。本發明製程所製備之結晶矽半導體的晶性等於或高於傳統製程所製備者，甚至可應用於T F T的活性層區。

本發明另一目標是使用此技術而對T F T選擇性供以基底上所需的特性。

發明人對由C V D法或濺射法形成非晶矽半導體膜的上述方法進行以下實驗，加熱使所形成的膜結晶，考慮實驗結果。

首先，研究在玻璃基底上形成非晶矽膜而加熱使膜結晶的方法。結果，觀察到晶體生長從玻璃基底與非晶矽之間的介面開始，當膜比某一值要厚時，發展成垂直於基底正面的圓柱形。

上述現象是因為形成晶體生長基礎的晶核（晶籽）存在於玻璃基底與非晶矽膜間的介面，且晶體生長自核。此晶核為存在於基底表面上的一些雜質金屬元素或玻璃基底的結晶成分（氧化矽的結晶成分存在於稱為結晶玻璃之玻璃基底的表面上）。

因此，更積極引入晶核可減低結晶溫度，為了證實效果，一些其它金屬形成在基底上，然後其上形成非晶矽所製成的薄膜。其後，進行加熱的結晶實驗。結果，證實若在基底上形成幾種金屬，則結晶溫度下降，晶體生長具有做為晶核的外物。因此，更詳細研究可降低溫度之多種雜質金屬的機構。多種雜質金屬為鎳（Ni）、鐵（Fe）、鈷（Co）、鈀（Pd）、鉑（Pt）。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

紅

五、發明說明(4)

結晶分成二階段，亦即起始核產生和發展自核的晶體生長。測量在指定溫度細微晶體產生成點圖型的時間，來觀察起始核產生速度。在事先形成上述雜質金屬所製成之膜之非晶矽膜的任何情形，上述時間縮短，當晶核引入時，證實減低結晶溫度的效果。再者，改變加熱時間來研究核產生後的晶粒生長。結果，觀察到核產生後的晶體生長速度在形成於金屬膜上的非晶矽膜結晶時顯著增加。這超乎預期。此機構在目前並未明瞭，然而，假設發生產一催化效應。

無論如何，若在含有某種金屬的膜上形成非晶矽所製成的薄膜，其後加熱使其結晶，則在 580℃ 或以下的溫度約 4 小時可得到充足的晶性，出乎傳統預料。具有此效果的雜質金屬中，具有最顯著效果的材料是鎳。

說明鎳如何提供效果的例子。在氮氣氛中加熱使由電漿 CVD 法形成於基底 (Corning 7059) (不進行任何處理，亦即其上不形成少量鎳所製成的薄膜) 上之非晶矽所製成的薄膜結晶時，若加熱溫度為 600℃，則需要 10 小時或以上的加熱時間。然而，在使用形成於基底 (其上形成少量鎳所製成的薄膜) 上之非晶矽所製成之薄膜的情形，加熱約四小時可得到相同結晶狀態。此時，使用拉曼光譜來判斷結晶。鎳的功效很大。

從上述可知，若非晶矽所製成的薄膜形成於少量鎳所製成的薄膜上，則可減低結晶溫度並縮短結晶所需的時間。假設此製程用來製造 TFT，而更詳述說明。即使鎳薄

(請先閱讀背面之注意事項再填寫本頁)

表

訂

為

五、發明說明(5)

膜形成於基底（亦即非晶矽膜下側）和非晶矽膜上，也可得到相同效果，與離子植入和電漿處理的情形相同。因此，下文中，這些處理順序稱為「添加少量鎳」。當形成非晶矽膜時，也可添加少量鎳。

首先，說明添加少量鎳的方法。

可由下列方法來添加少量鎳：在基底上形成少量鎳所製成的薄膜，然後形成非晶矽所製成的膜；或事先形成非晶矽膜，然後形成少量鎳薄膜，因為二種方法同樣具有降溫效果，膜形成法可為濺射法、蒸汽沈澱法、CVD法、使用電漿的方法，不限於特定方法。然而，當少量鎳所製成的薄膜形成於基底上時，在 Corning 7059 玻璃基底上形成氧化矽所製成的薄膜（底膜），然後其上形成少量鎳所製成的薄膜，而不在 Corning 7059 基底上直接形成少量鎳所製成的薄膜。這是因為在低溫結晶很重要，使矽直接接觸鎳的情形，和在 Corning 7059 型玻璃的情形，矽除外的成分阻礙矽與鎳之間的接觸或反應。

至於添加少量鎳的方法，即使由離子植入來添加鎳而不形成接觸非晶矽上或下部的鎳薄膜，也證實大致相同的功效。當添加 1×10^{15} 原子 / cm^3 或以上的鎳時，證實結晶溫度減低，然而，當添加量為 5×10^{19} 原子 / cm^3 或以上時，拉曼光譜的峰值形狀明顯與矽簡單物質不同。因此， 1×10^{15} 至 1×10^{19} 原子 cm^3 的範圍較宜。當鎳濃度為 5×10^{19} 原子 / cm^3 或以上時，局部產生 Ni Si 而破壞半導體特性。當鎳濃度為 $1 \times$

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明(6)

10^{15} 原子 / cm^3 或以下時，破壞鎳催化效果。在結晶狀態，鎳濃度愈低，得到愈佳效果。

隨後，說明在添加少量鎳之情形的晶體形態學。如上所述，若不添加鎳，則核任意產生自諸如基底等之介面的晶核，晶體也自核任意生長到某一程度的膜厚度，變成更厚的薄膜，製成(110)取向在垂直於基底之方向的柱形晶體生長。自然觀察到晶體在整個薄膜上大致均勻生長。相反地，在此時添加少量鎳之TFT的情形，具有晶體生長在添加鎳之區域與靠近該區域之部分不同的特性。亦即，在添加鎳的區域，經由透射電子束顯微照片確認添加皂或鎳與矽的化合物構成晶核，同樣在不加鎳的情形，柱形晶體大致垂直於基底而生長。然後，即使在靠近不直接；添加少量鎳之上述區域的區域，證實在低溫結晶。在該部分，觀察到晶體平行於基底而以針形或柱形生長。觀察到晶體在平行於基底的橫向從添加少量鎳的區域最多生長數百微米，也發現當時間增加且溫度升高時，生長量正比增加。例如，在550℃過四小時觀察到約40 μm 的生長。

晶體平行於基底從直接添加上述鎳的區域以針形或柱形生長，晶粒邊界的影響在生長方向相當小。亦即，由於晶體生長發展成針形或柱形，故在該方向之晶粒邊界的影響相當小。

此處，考慮活性矩陣型液晶顯示裝置。活性矩陣型液晶顯示裝置中，所需特性在周邊電路的TFT與圖案部的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明(7)

T F T 不同。亦即，形成周邊電路之驅動器的 T F T 須具有高移動率，以容許大的開啓狀態電流流動，而形成於圖案部上的 T F T 須抑制關閉狀態電流，以增加電荷保持能力而非增加移動率。

因此，若使用本發明，則使用晶體在平行於基底之方向生長的上述結晶矽膜，構成用於周邊電路的 T F T 使源極和汲極形成在平行於晶體生長方向的方向，而構成用於圖案的 T F T 源極和汲極形成在垂直於晶體生長方向的方向。亦即，構成用於周邊電路的 T F T，使得當載子移動時，載子儘量不受晶粒邊界影響，而構成用於圖案的 T F T，使得當載子移動時，載子越過晶粒邊界，藉以在源極與汲極間提供高阻，結果關閉狀態電流下降。

上述結構的觀念是利用載子在源極與汲極間流動的事實，使源極和汲極的方向（連接源極與汲極之線的方向）平行於上述晶體生長方向或垂直，藉以得到具有所需特性的 T F T。亦即，具有以下基本觀念。當載子移動時，載子在平行於以針形或柱形生長之晶體之晶粒邊界的方向移動（亦即在平行於晶體生長方向的方向移動），或載子在垂直於以針形或柱形生長之晶粒邊界的方向移動（亦即在垂直於晶體生長方向的方向移動），藉以得到具有高移動率的 T F T 或具有小關閉狀態電流的 T F T。

當構成使用結晶矽膜（其晶體在平行於基底表面的方向生長）的 T F T 時，沿著晶體生長方向形成源極和汲極區，藉以得到具有高移動率的 T F T，其中載子移動幾乎

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

不受晶粒邊界影響。再者，源極和汲極區形成在垂直於晶體生長方向的方向，因此載子移動受晶粒邊界影響，結果可得到具有小關閉狀態電流的 T F T。然後，根據如何設定在源極與汲極間移動之載子的方向相對於晶體生長方向，可分別製造這些 T F T。

圖式簡述

併入且構成此說明書一部分的附圖顯示發明實施例，配合說明用來解釋發明的目標、優點、原理。圖中：

圖 1 顯示本發明之實施例的半導體裝置；

圖 2 A 至 2 D 是剖面圖，顯示本發明之實施例之半導體裝置的製程；

圖 3 顯示本發明之實施例的半導體裝置；

圖 4 A 至 4 D 是剖面圖，顯示本發明之實施例之半導體裝置的製程；

圖 5 顯示本發明之實施例的半導體裝置。

較佳實施例詳述

參照附圖來詳述本發明的實施例。

圖 1 顯示本發明之實施例之半導體裝置的概要。圖 1 是自上表面觀看的液晶顯示裝置，顯示設成矩陣形式的圖素部和周邊電路部。此實施例是驅動圖素之 T F T 和構成周邊電路之 T F T 形成於絕緣基底（例如玻璃基底）上的例子。此實施例中，晶體在平行於基底之方向生長的結晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

矽膜做為構成 T F T 的半導體膜，安排用於周邊電路的 T F T，使得當 T F T 操作時，移動載子的方向平行於結晶矽膜的晶體生長方向，而安排用於圖素部的 T F T，使得當 T F T 操作時，移動載子的方向垂直於結晶矽膜的晶體生長方向。

下文中，圖 2 A 至 2 D 是構成周邊電路之 N T F T 和 P T F T 之互補電路的製程，圖 4 A 至 4 D 是形成圖素之 N T F T 的製程。在同一基底上進行這些製程，同時進行共同的製程。亦即，圖 2 A 至 2 D 分別對應圖 4 A 至 4 D，圖 2 A 和圖 4 A 的製程同時進行，圖 2 B 和圖 4 B 的製程同時進行。

圖 2 A 至 2 D 顯示構成周邊電路之 N T F T 和 P T F T 之互補電路的製程，而圖 4 A 至 4 D 顯示設在圖素上之 N T F T 的製程。首先，2000 Å 厚之氧化矽所製成的底膜 102 由濺射法形成玻璃基底 (Corning 7059) 上。隨後，金屬罩、氧化矽膜之類所形成的罩 103 形成在底膜 102 上。底膜 102 露出縫形。亦即，從頂面觀看圖 1 A 的狀態時，底膜 102 露出縫形，遮蓋其它部分。此時，在圖 4 A 至 4 D 之圖素部的 T F T，具有底膜 102 在紙面的前側或後側露出縫形的部分。參照圖 5 來說明此關係。圖 5 中，沿著線 A - A' 所取的剖面對應圖 4 C 或 4 D。圖 4 A 至 4 D 中，參考數字 114 和 116 分別代表源極區和汲極區，參考數字 115 代表通道形成區。如圖 5 所示，對應圖 2 A 的製程中，在區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

1 0 0 , 底膜 1 0 2 露出縫形。

在提供上述罩 1 0 3 後，由濺射法在其上形成 5 至 2 0 0 Å (例如 2 0 Å) 厚的矽化鎳膜 (化學式 $NiSi_x$, $0.4 \leq x \leq 2.5$, 例如 $x = 2.0$)。其後，除去罩 1 0 3，矽鎳膜選擇性形成於區域 1 0 0 上。亦即，少量鎳選擇性加在區域 1 0 0。

隨後，由電漿 CVD 法在其上形成 5 0 0 至 1 5 0 0 Å (例如 1 0 0 0 Å) 厚的本質 (i) 型非晶矽膜 1 0 4。然後，膜 1 0 4 在 5 5 0 °C 於氫還原氣氛 (最好氫分壓為 0.1 至 1 atm) 或鈍性氣氛 (大氣壓力) 中退火四小時而結晶。此退火溫度可設為 4 5 0 °C 或以上，然而，若溫度高，則此法與傳統方法相同。因此，適當退火溫度為 4 5 0 至 5 5 0 °C。

此時，選擇性形成矽化鎳膜的區域 1 0 0 中，矽膜 1 0 4 在垂直於基底 1 0 1 的方向結晶。然後，在區域 1 0 0 的周邊區 1 0 5，晶體生長從區域 1 0 0 朝橫向 (平行於基底的方向) 發展。然後，從下述製程可知，圖 2 A 至 2 D 之周邊電路部的 TFT 中，源極區和汲極區形成於晶體生長方向。從圖 5 可知，設在圖素部上的 TFT 中，連接源極和汲極的線與箭號 1 0 5 所示的晶體生長方向正交。上述晶體生長時，在平行於基底之方向的晶體生長距離為 4 0 μm。

上述製程的結果，非晶矽膜結晶而得到結晶矽膜 1 0 4。然後，元件之間分離，除去不要的結晶矽膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

1 0 4，藉以形成元件區。此製程中，若 T F T 之活性層（源極和汲極區及形成通道形成區的部分）的長度設在 $40\ \mu\text{m}$ 內，則活性層可由圖 2 A 至 2 D 的結晶矽膜構成。當然，若至少通道形成區由結晶矽膜構成，則可再增加活性層長度。

其後，由濺射法在其上形成 $1000\ \text{\AA}$ 厚的氧化矽膜 1 0 6 做為閘極絕緣膜。濺射時，氧化矽做為靶，濺射時的基底溫度為 200 至 $400\ ^\circ\text{C}$ ，例如 $350\ ^\circ\text{C}$ ，濺射氣氛含有氧和氬，其中氬對氧的比設為 0 至 0.5 ，例如 0.1 或以下。隨後，由濺射法在其上形成 6000 至 $8000\ \text{\AA}$ （例如 $6000\ \text{\AA}$ ）厚之鋁（含有 0.1 至 2% 矽）所製成的膜。最好連續執行氧化矽膜 1 0 6 和鋁膜的製程。

然後，定出鋁膜形成閘電極 1 0 7 和 1 0 9，無需說明，這些製程在圖 2 C 和 4 C 同時進行。再者，鋁電極表面承受陽極氧化，藉以在表面上形成氧化物膜 1 0 8 和 1 1 0。此陽極氧化在含有 1 至 5% 酒石酸的乙二醇溶液中進行。所得之氧化物層 1 0 8 和 1 1 0 的厚度為 $2000\ \text{\AA}$ 。由於氧化物 1 0 8 和 1 1 0 在隨後的離子摻雜過程形成偏移閘極區，故在上述陽極氧化過程可決定偏移閘極區長度。

隨後，利用閘電極 1 0 7、在周邊的氧化物層 1 0 8、閘電極 1 0 9、在周邊的氧化物層 1 1 0 做為罩，雜質（磷和硼）由離子摻雜法植入活性區。磷化氫（ PH_3 ）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明 (12)

和乙硼烷 (B_2H_6) 做為摻雜氣體，前者加速電壓為 60 至 90 kV，例如 80 kV，而後者為 40 至 80 kV，例如 65 kV。劑量為 1×10^{15} 至 $8 \times 10^{15} \text{ cm}^{-2}$ ，例如磷為 $2 \times 10^{15} \text{ cm}^{-2}$ 而硼為 $5 \times 10^{15} \text{ cm}^{-2}$ 。摻雜時，不需摻雜的區域覆以光阻，以選擇性摻雜各元素。結果，分別形成 n 型雜質區 114 和 116 及 p 型雜質區 111 和 113，藉以分別形成 p 通道 TFT (PTFT) 的區域和 n 通道 TFT (NTFT) 的區域，如圖 2C 所示。同時，如圖 4C 和 5 所示，可形成 n 通道 TFT。

其後，照射雷射束來退火，以活化導因於離子植入的雜質。KrF 準分子雷射 (248 nm 波長和 20 ns 脈寬) 做為雷射束，然而，可使用不同種類的雷射。照射雷射束的條件在於能量密度為 200 至 400 mJ / cm^2 ，例如 250 mJ / cm^2 ，每處照射 2 至 10 次，例如二次。當照射雷射束時，在約 200 至 450 °C 加熱基底很有用。雷射退火過程中，由於鎳在預先結晶的區域擴散，故照射雷射束易於再結晶，因而易於活化摻以賦與 p 型之雜質的雜質區 111 和 113 及摻以賦予 n 型之雜質的雜質區 114 和 116。

接著，在周邊電路部，如圖 2D 所示，由電漿 CVD 法形成 6000 Å 厚的氧化矽膜 18 做為中間層絕緣體，然後接觸孔形成於氧化矽膜 18，再以金屬材料 (例如氮化鈦和鋁所製成的多層膜) 形成 TFT 的電極和配線 117、120 和 119。再者，在圖案部，如圖 4D 所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (13)

示，在中間層絕緣體 2 1 1 由氧化矽形成且形成接觸孔後，其上形成構成圖素電極的 I T O 電極 2 1 2，再形成金屬線 2 1 3 和 2 1 4。最後，在 3 5 0 °C 於 1 a t m 氬氣氛中退火 3 0 分鐘，藉以完成 T F T 電路或 T F T (圖 1 D 和 4 D)。

圖 2 D 的結構中，為顯示選擇性摻入鎳之區域與 T F T 間的位置關係，從頂面看之圖 2 之半導體裝置的概要顯示於圖 3。圖 3 中，少量鎳選擇性加入區域 1 0 0，然後晶體生長藉由熱退火於箭號 1 0 5 所示的橫向（紙面上的左右方向）從該區域展開。然後，在橫向展開晶體生長的區域中，源極區 1 1 1、汲極區 1 1 3、通道形成區 1 1 2 成為 P T F T。同樣地，源極區 1 1 4、汲極區 1 1 6、通道形成區 1 1 5 成為 N T F T。亦即，在周邊電路部，介於源極與汲極間，載子移動的方向與晶體生長的方向 1 0 5 相同。所以，由於載子移動時不越過晶粒邊界，故使移動率特別高。

另一方面，形成於圖 4 D 之圖素部的 N T F T 中，如圖 5 所示，由於在源極和汲極區移動的載子垂直於晶體生長方向 1 0 5，故移動時必須越過許多晶粒邊界。亦即，增高源極與汲極間的電阻，開啓狀態電流和關閉狀態電流的值都變小。然而，由於可使關閉狀態電流絕對值變小，故增進保持電荷之圖素電極（在圖 4 D 的情形為 I T O 電極 2 1 2）的功能。因此，若得到所需的開／關比，則選擇圖 4 D 和 5 的結構很有用，將具有小關閉狀態電流的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明 (14)

T F T 用於圖素電極。

此實施例中，在非晶矽膜 1 0 4 下方之底膜 1 0 2 的表面上選擇性形成 N i 薄膜（由於極薄，故難以觀察到成爲膜）再從該部分展開晶體生長的方法，做爲引入 N i 的方法。否則，在形成非晶矽膜 1 0 4 後，少量鎳可選擇性加入上表面。亦即，晶體可從非晶矽膜的上表面或下表面生長。再者，可應用先形成非晶矽膜而鎳離子再使用離子摻雜法選擇性射入非晶矽膜 1 0 4 的方法。在此情形，優點在於可控制鎳元素濃度。再者，不形成鎳所製成的薄膜，而可由電漿處理來加入少量鎳。

圖 2 D 的電路爲具有 P T F T 和 N T F T 的互補型 C M O S 結構。上述過程中，可同時製造二個 T F T 再從中心切斷，而可同時製造獨立的二個 T F T。

活性矩陣型液晶顯示裝置中，周邊電路的 T F T 由晶體生長在平行於載子流之方向的結晶矽膜構成，圖素部的 T F T 由晶體生長在垂直於載子流之方向的結晶矽膜構成，結果可構成周邊電路部以進行高速操作，而可構成圖素部以提供具有電荷保持所需之小關閉狀態電流的 T F T。

本發明較佳實施例的上文用來顯示及說明。不是將本發明限於所揭示的精確形式，鑒於上述教示，條改和變化都可能，或可得自本發明的實施。選擇及描述實施例以解釋發明原理和實際應用，使熟習此道者利用本發明。發明範疇由申請專利範圍及其等效者來界定。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

四、中文發明摘要(發明之名稱：

半導體裝置及其製法

活性矩陣型液晶顯示裝置中，具有高移動率且可容許大量開啓狀態電流流動的TFT設在周邊電路部。具有小關閉狀態電流的TFT設在圖素部。使用晶體在平行於基底之方向生長的結晶矽膜來構成這些具有不同特性的TFT。亦即，使形成在晶體生長方向與載子移動方向間的角度彼此不同，藉以控制移動時施於載子的阻力，來控制TFT特性。例如，當晶體生長方向與載子移動方向一致時，可賦予載子高移動率。再者，當晶體生長方向垂直於載子移動方向時，可減低關閉狀態電流

英文發明摘要(發明之名稱:Semiconductor device and method of manufacturing the same)

ABSTRACT OF THE DISCLOSURE

In an active matrix type liquid-crystal display device, in a peripheral circuit portion, there is arranged a TFT having a high mobility and capable of allowing a large amount of on-state current to flow. In a pixel portion, there is arranged a TFT having a small off-state current. These TFTs having different characteristics are constituted by using crystalline silicon film whose crystal has grown in a direction parallel with a substrate. That is, an angle formed between a crystal growing direction and a carrier moving direction are made different from each other, thereby to control a resistance imposed on the carriers when moving to determine the characteristics of the TFT. For example, when the crystal growing direction coincides with the carrier moving direction, high mobility can be given to the carriers. Further, when the crystal growing direction is arranged perpendicular to the carrier moving direction, the off-state current can be lowered.

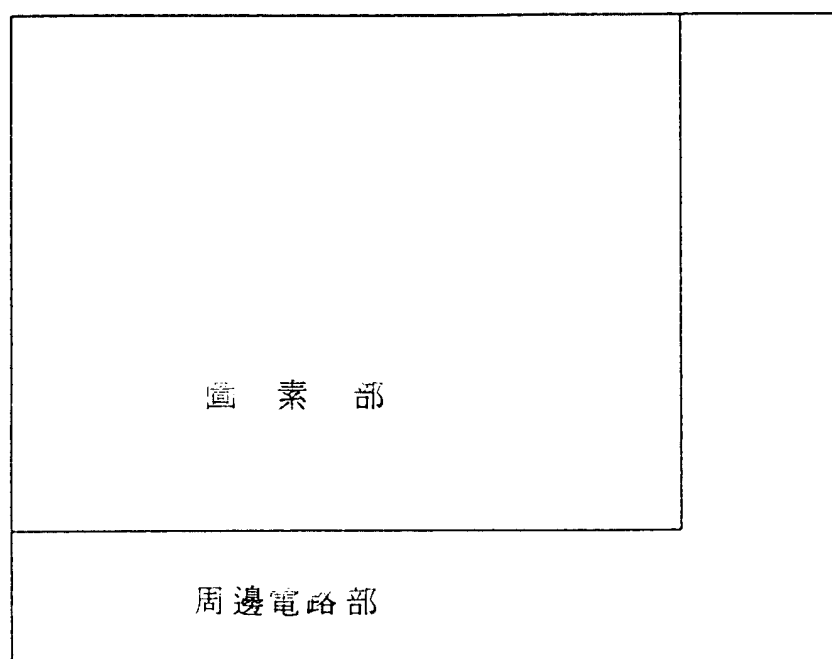
(請先閱讀背面之注意事項再填寫本頁各欄)

訂

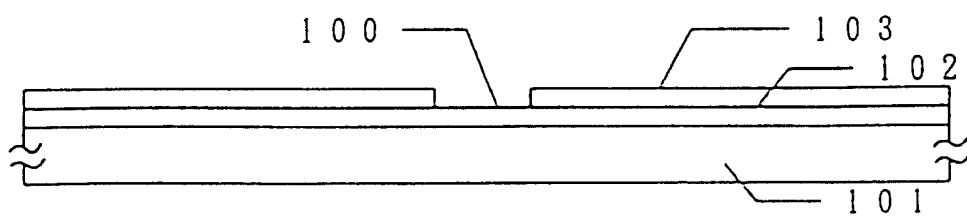
線

83106908

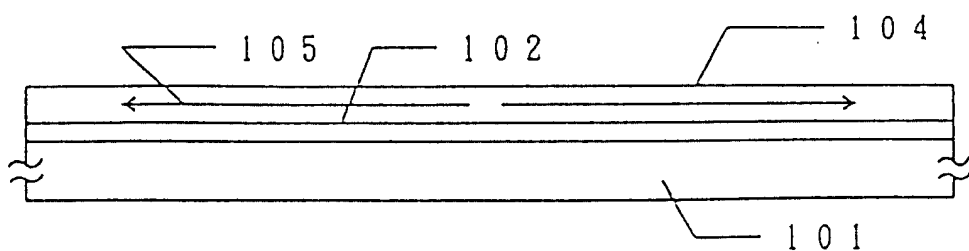
721207



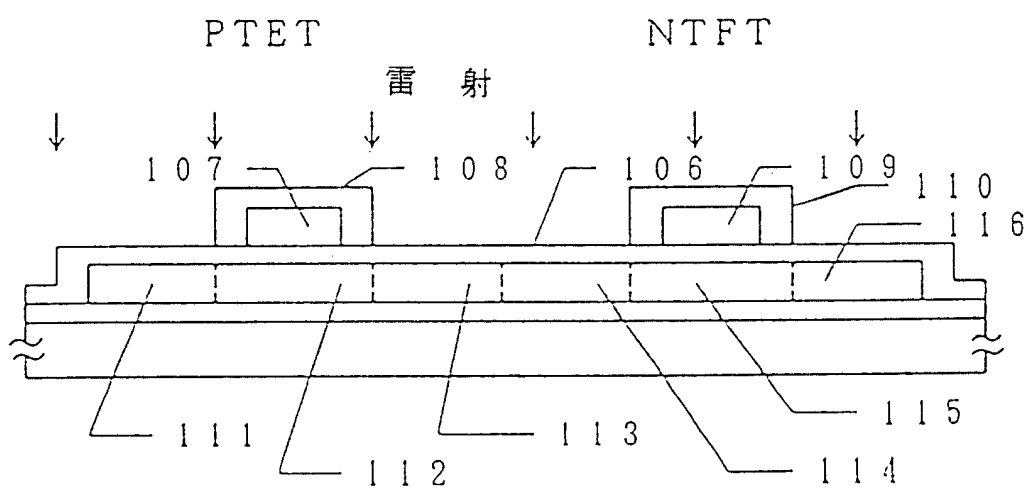
第 1 圖



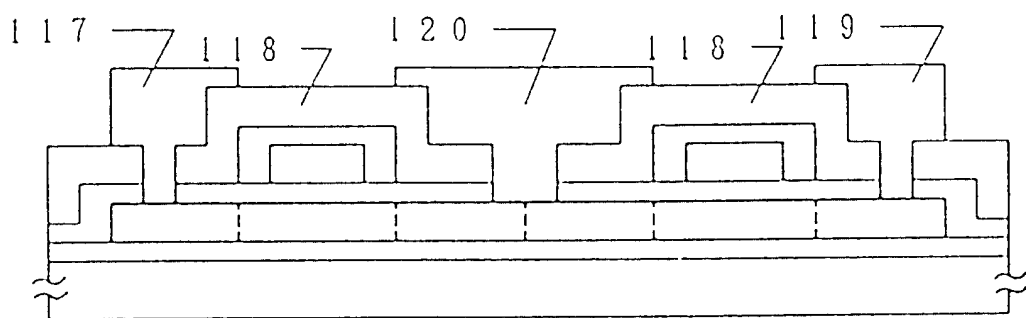
第2圖A



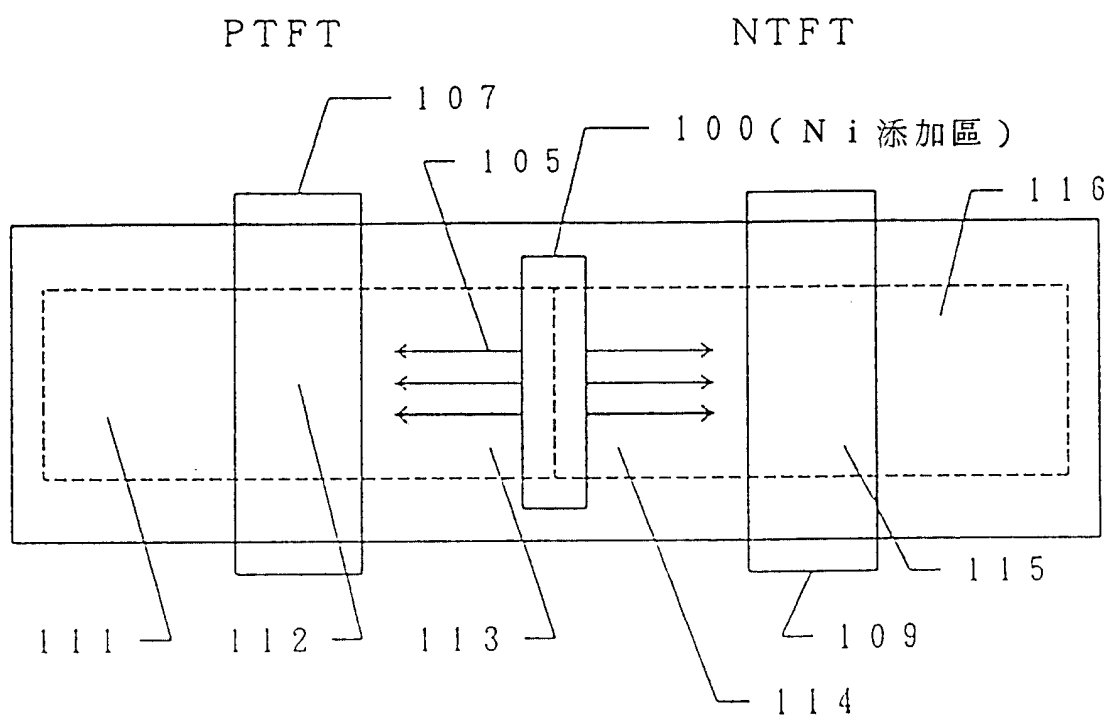
第2圖B



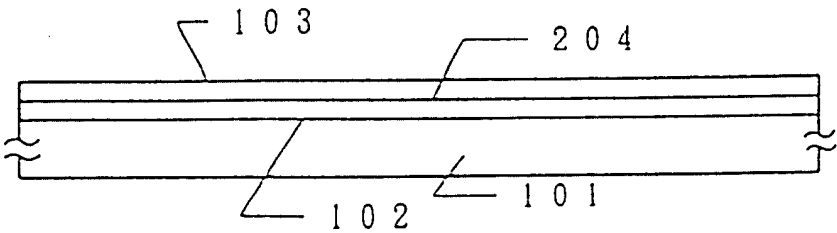
PTET 第2圖C NTFT



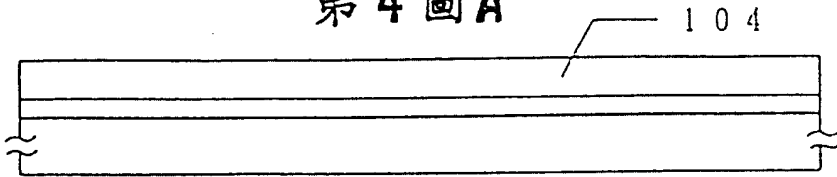
第2圖D



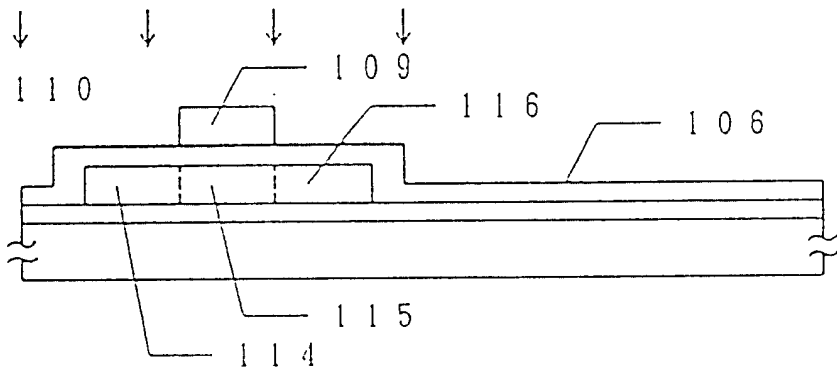
第 3 圖



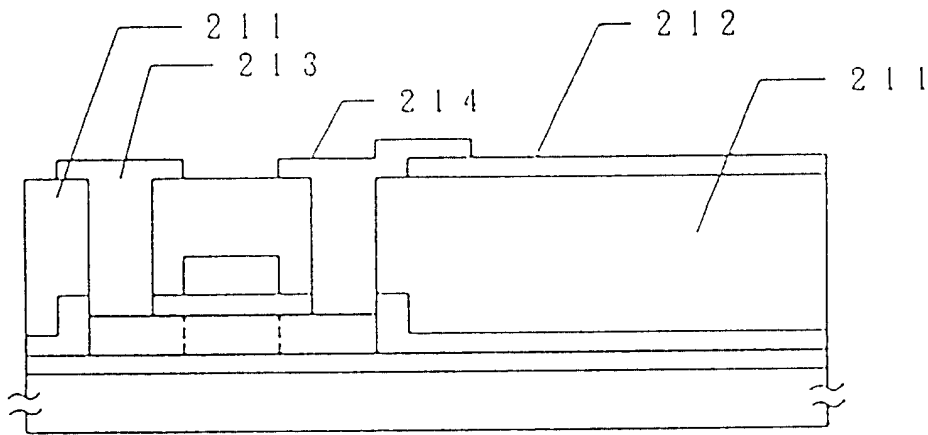
第 4 圖 A



第 4 圖 B

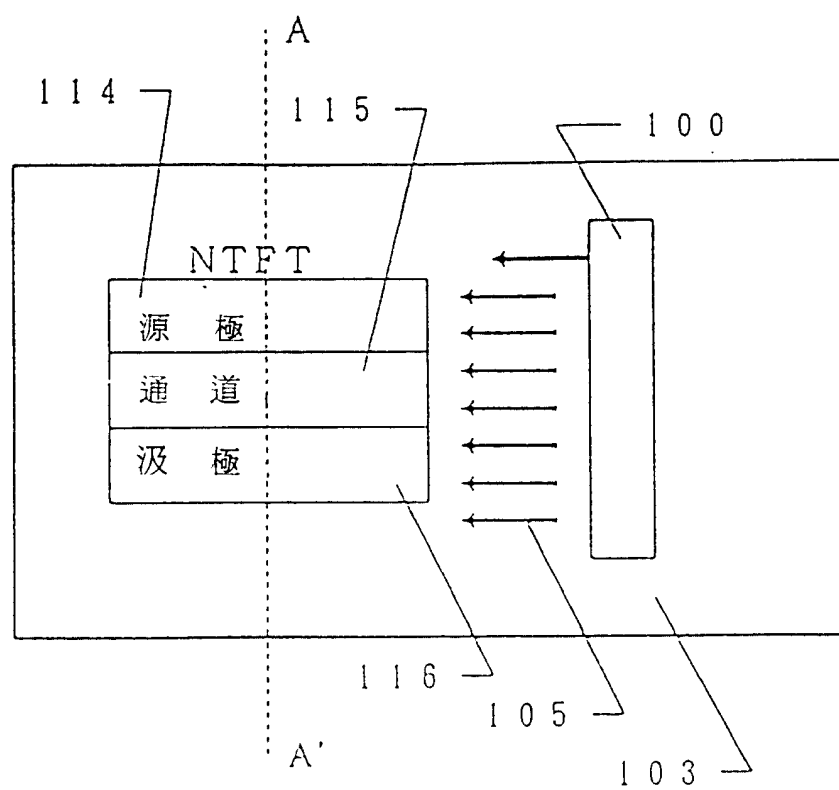


第 4 圖 C



NTFT

第 4 圖 D



第 5 圖

六、申請專利範圍

第 83106908 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 84 年 5 月 修正

1. 一種半導體裝置，包括：

基底；

設在基底上的至少第一和第二薄膜電晶體，每一薄膜電晶體包括晶體在平行於基底表面之方向生長的結晶矽層；

其中在第一薄膜電晶體之矽層的晶體生長方向相對於載子流動方向造成第一角度，在第二薄膜電晶體之矽層的晶體生長方向相對於載子流動方向造成第二角度，第二角度不同於第一角度。

2. 一種半導體裝置，包括：

具有活性矩陣型液晶顯示裝置之周邊電路部和圖素部的基底；

設在基底周邊電路部的第一多個薄膜電晶體；

設在基底圖素部的第二多個薄膜電晶體，每一第一和第二薄膜電晶體包括晶體在平行於基底表面之方向生長的結晶矽層；

其中在第一多個薄膜電晶體之矽層的晶體生長方向相對於載子流經矽層的方向造成第一角度，在第二多個薄膜電晶體之矽層的晶體生長方向相對於載子流經的層的方向造成第二角度，第二角度不同於第一角度。

裝

訂

線

六、申請專利範圍

3. 如申請專利範圍第1或2項的半導體裝置，其中第一角度約 0° ，而第二角度約 90° 。

4. 一種製造半導體裝置的方法，包括以下步驟：

在基底上形成非晶矽膜；

在形成矽膜之前或之後，將促進結晶的選自Ni，Co，Pd，Pt所組成之群類中至少一種之金屬元素引入矽膜；

加熱使矽膜結晶，因而在鄰近加入金屬元素之部分的區域，晶體在大致平行於基底表面的方向生長；

形成具有矽膜之該區域的多個薄膜半導體，

其中安排部分的薄膜電晶體，使得結晶矽膜的晶體生長方向相對於載子流動方向形成第一角度，而安排另一部分的薄膜電晶體，使得結晶矽膜的晶體生長方向相對於載子流動方向形成第二角度，第一角度不同於第二角度。

5. 如申請專利範圍第4項的方法，其中第一角度約 0° ，而第二角度約 90° 。

6. 一種製造半導體裝置的方法，包括以下步驟：

製備具有活性矩陣型液晶顯示裝置之周邊電路部和圖素部的基底；

在基底上形成非晶矽膜；

在形成矽膜之前或之後，將促進結晶的選自Ni，Co，Pd，Pt所組成之群類中至少一種金屬元素引入矽膜；

加熱使矽膜結晶，因而在鄰近加入金屬元素之部分的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

區域，晶體在大致平行於基底表面的方向生長；

形成具有矽膜之該區域的多個薄膜半導體，

其中安排第一部分的薄膜電晶體，使得結晶矽膜的晶體生長方向相對於載子流動方向形成第一角度，而安排第二部分的薄膜電晶體，使得結晶矽膜的晶體生長方向相對於載子流動方向形成第二角度，第一角度不同於第二角度，

其中第一部分的薄膜電晶體設在基底的周邊電路部，而第二部分的薄膜電晶體設在基底的圖素部。

7. 如申請專利範圍第6項的方法，其中第一角度約 0° ，而第二角度約 90° 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線