



(12) 发明专利申请

(10) 申请公布号 CN 118284964 A

(43) 申请公布日 2024. 07. 02

(21) 申请号 202280074053.0

(22) 申请日 2022.10.28

(30) 优先权数据

17/456,068 2021.11.22 US

(85) PCT国际申请进入国家阶段日

2024.05.07

(86) PCT国际申请的申请数据

PCT/US2022/078880 2022.10.28

(87) PCT国际申请的公布数据

W02023/091851 EN 2023.05.25

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 卫洪博 J·R·V·鲍特

M·Y·金 K·康 A·帕蒂尔

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 张宁 姚宗妮

(51) Int.Cl.

H01L 23/498 (2006.01)

权利要求书6页 说明书23页 附图20页

(54) 发明名称

采用具有双面嵌入式迹线基板 (ETS) 的封装基板的集成电路 (IC) 封装件以及相关制造方法

(57) 摘要

采用具有双面嵌入式迹线基板 (ETS) 的封装基板的集成电路 (IC) 封装件以及相关制造方法。为了促成在该IC封装件中提供减小厚度的基板以减小该IC封装件的总高度,同时支持更高密度的输入/输出 (I/O) 连接,该IC封装件中的封装基板包括双面ETS。双面ETS包括两 (2) 个毗邻的ETS金属化层,这两个ETS金属化层都包括嵌入在绝缘层内的金属迹线。双面ETS的ETS金属化层内的嵌入式金属迹线可以通过垂直互连通路 (过孔) (例如,金属柱、金属桩) 彼此电耦合,以提供ETS金属化层内的嵌入式金属迹线之间的信号路由路径。

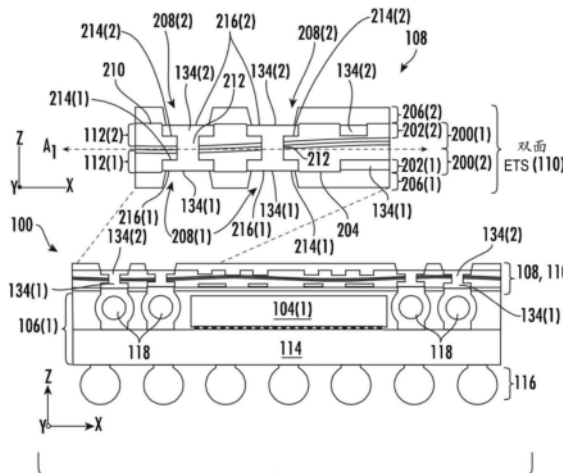


图2

1. 一种集成电路 (IC) 封装件, 所述集成电路 (IC) 封装件包括:
封装基板, 所述封装基板包括:
双面嵌入式迹线基板 (ETS), 所述双面嵌入式迹线基板 (ETS) 包括:
第一金属化层, 所述第一金属化层包括:
第一绝缘层; 和
第一金属层, 所述第一金属层包括嵌入在所述第一绝缘层内的一个或多个第一金属迹线; 和
在垂直方向上耦合到所述第一金属化层的第二金属化层, 所述第二金属化层包括:
第二绝缘层; 和
第二金属层, 所述第二金属层包括嵌入在所述第二绝缘层内的一个或多个第二金属迹线; 和
各自设置在所述第一绝缘层和所述第二绝缘层内的一个或多个垂直互连通路 (过孔),
所述一个或多个过孔各自耦合到所述一个或多个第一金属迹线中的第一金属迹线以及所述一个或多个第二金属迹线中的第二金属迹线。
2. 根据权利要求1所述的IC封装件, 其中所述第一绝缘层在所述垂直方向上耦合到所述第二绝缘层。
3. 根据权利要求1所述的IC封装件, 其中:
所述第一金属化层包括第一外金属化层, 其中所述一个或多个第一金属迹线各自被配置成耦合到一个或多个第一外部互连件; 并且
所述第二金属化层包括第二外金属化层, 其中所述一个或多个第二金属迹线各自被配置成耦合到一个或多个第二外部互连件。
4. 根据权利要求3所述的IC封装件, 所述IC封装件还包括:
第一管芯, 所述第一管芯包括具有所述一个或多个第一外部互连件的一个或多个第一管芯互连件, 所述一个或多个第一管芯互连件中的每个第一管芯互连件耦合到所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线;
其中:
所述一个或多个第二外部互连件各自耦合到所述第二金属化层的所述第二金属层内的所述一个或多个第二金属迹线中的第二金属迹线。
5. 根据权利要求1所述的IC封装件, 所述IC封装件还包括:
耦合到所述双面ETS的第一管芯;
其中所述第一管芯包括各自耦合到所述封装基板的所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线的一个或多个第一管芯互连件。
6. 根据权利要求1所述的IC封装件, 其中:
所述封装基板还包括第二基板; 并且
所述双面ETS包括中介体基板, 并且
所述IC封装件还包括:
第一管芯封装件, 所述第一管芯封装件包括耦合到所述第二基板的第一管芯;
其中:
所述第一管芯封装件设置在所述中介体基板与所述第二基板之间; 并且

所述第一管芯包括各自将所述中介体基板的所述第二金属化层内的所述一个或多个第二金属迹线中的第二金属迹线耦合到所述第二基板的一个或多个第一垂直互连件。

7. 根据权利要求6所述的IC封装件, 所述IC封装件还包括具有第二管芯的第二管芯封装件, 并且其中:

所述中介体基板在所述垂直方向上设置在所述第二管芯封装件与所述第一管芯封装件之间; 并且

所述第二管芯包括各自耦合到所述中介体基板的所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线的一个或多个第二管芯互连件。

8. 根据权利要求1所述的IC封装件, 其中所述封装基板还包括第二双面ETS, 所述第二双面ETS包括:

第三金属化层, 所述第三金属化层包括:

第三绝缘层; 和

第三金属层, 所述第三金属层包括嵌入在所述第三绝缘层内的一个或多个第三金属迹线, 所述第三金属层毗邻于所述双面ETS的所述第二金属化层的所述第二金属层; 和

在所述垂直方向上耦合到所述第三金属化层的第四金属化层, 所述第四金属化层包括:

第四绝缘层; 和

第四金属层, 所述第四金属层包括嵌入在所述第四绝缘层内的一个或多个第四金属迹线; 和

各自设置在所述第三绝缘层和所述第四绝缘层内的一个或多个第二过孔, 所述一个或多个第二过孔各自耦合到所述一个或多个第三金属迹线中的第三金属迹线以及所述一个或多个第四金属迹线中的第四金属迹线。

9. 根据权利要求8所述的IC封装件, 所述IC封装件还包括: 各自耦合到所述第二金属化层内的所述一个或多个第二金属迹线中的第二金属迹线以及所述第三金属化层内的所述一个或多个第三金属迹线中的第三金属迹线的一个或多个第三过孔。

10. 根据权利要求8所述的IC封装件, 所述IC封装件还包括: 各自延伸穿过所述双面ETS和所述第二双面ETS以将所述第一金属化层、所述第二金属化层、所述第三金属化层和所述第四金属化层耦合在一起的一个或多个第三过孔。

11. 根据权利要求8所述的IC封装件, 所述IC封装件还包括: 在所述垂直方向上设置在所述双面ETS与所述第二双面ETS之间的芯基板。

12. 根据权利要求1所述的IC封装件, 其中所述封装基板还包括:

耦合到双面ETS的层压基板, 所述层压基板包括:

第三绝缘层;

耦合到所述第三绝缘层的第三金属层, 所述第三金属层包括一个或多个第三金属互连件; 和

各自设置在所述第三绝缘层内的一个或多个第二过孔, 所述一个或多个第二过孔各自耦合到所述一个或多个第三金属互连件中的第三金属互连件;

其中:

所述一个或多个第二过孔中的每个第二过孔耦合到所述双面ETS的所述第二金属化层

的所述第二金属层内的所述一个或多个第二金属迹线中的第二金属迹线。

13. 根据权利要求1所述的IC封装件, 其中所述封装基板还包括:

在所述垂直方向上毗邻于双面ETS的第二基板, 所述第二基板包括:

第三金属化层, 所述第三金属化层包括:

第三绝缘层; 和

第三金属层, 所述第三金属层包括嵌入在所述第三绝缘层内的一个或多个第三金属迹线;

其中:

所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的至少一个第一金属迹线耦合到所述第三金属化层的所述第三金属层内的所述一个或多个第三金属迹线中的至少一个第三金属迹线。

14. 根据权利要求13所述的IC封装件, 其中所述封装基板还包括:

第三基板, 所述第三基板包括:

第四金属化层, 所述第四金属化层包括:

第四绝缘层; 和

第四金属层, 所述第四金属层包括嵌入在所述第四绝缘层内的一个或多个第四金属迹线; 和

双面ETS, 所述双面ETS在所述垂直方向上设置在所述第二基板与所述第三基板之间, 使得所述双面ETS的所述第一金属化层毗邻于所述第二基板并且所述双面ETS的所述第二金属化层毗邻于所述第三基板;

其中:

所述第二金属化层的所述第二金属层内的所述一个或多个第二金属迹线中的至少一个第二金属迹线耦合到所述第四金属化层的所述第四金属层内的所述一个或多个第四金属迹线中的至少一个第四金属迹线。

15. 根据权利要求1所述的IC封装件, 所述IC封装件集成到选自以下项组成的组的设备中: 机顶盒; 娱乐单元; 导航设备; 通信设备; 固定位置数据单元; 移动位置数据单元; 全球定位系统 (GPS) 设备; 移动电话; 蜂窝电话; 智能电话; 会话发起协议 (SIP) 电话; 平板电脑; 平板手机; 服务器; 计算机; 便携式计算机; 移动计算设备; 可穿戴计算设备; 台式计算机; 个人数字助理 (PDA); 监测器; 计算机监测器; 电视; 调谐器; 收音机; 卫星收音机; 音乐播放器; 数字音乐播放器; 便携式音乐播放器; 数字视频播放器; 视频播放器; 数字视频光盘 (DVD) 播放器; 便携式数字视频播放器; 机动车; 交通工具组件; 航空电子系统; 无人机; 以及多旋翼飞行器。

16. 一种制造用于集成电路 (IC) 封装件的封装基板的方法, 所述方法包括: 形成双面嵌入式迹线基板 (ETS), 所述形成双面嵌入式迹线基板 (ETS) 包括:

形成第一金属化层, 所述形成第一金属化层包括:

形成第一绝缘层; 以及

将一个或多个第一金属迹线嵌入在所述第一绝缘层内, 所述一个或多个第一金属迹线形成第一金属层; 以及

形成第二金属化层, 所述形成第二金属化层包括:

形成第二绝缘层;以及

将一个或多个第二金属迹线嵌入在所述第二绝缘层内,所述一个或多个第二金属迹线形成第二金属层;以及

在垂直方向上将所述第二金属化层耦合到所述第一金属化层;以及

形成各自在所述垂直方向上穿过所述一个或多个第一金属迹线中的第一金属迹线、所述第一绝缘层、所述第二绝缘层以及所述一个或多个第二金属迹线中的第二金属迹线的一个或多个垂直互连通路(过孔),以将所述第一金属迹线耦合到所述第二金属迹线。

17.根据权利要求16所述的方法,其中在所述垂直方向上将所述第二金属化层耦合到所述第一金属化层会在所述垂直方向上将所述第一绝缘层耦合到所述第二绝缘层。

18.根据权利要求16所述的方法,所述方法还包括:

提供第一管芯,所述第一管芯包括一个或多个第一管芯互连件;以及

耦合所述一个或多个第一管芯互连件中的每个第一管芯互连件,所述一个或多个第一管芯互连件中的每个第一管芯互连件耦合到所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线。

19.根据权利要求16所述的方法,所述方法还包括:将一个或多个第二外部互连件中的第二外部互连件耦合到所述第二金属化层的所述第二金属层内的所述一个或多个第二金属迹线中的每个第二金属迹线。

20.根据权利要求16所述的方法,所述方法还包括:

提供第二基板;

在所述双面ETS与所述第二基板之间设置第一管芯封装件,所述第一管芯封装件包括第一管芯和一个或多个第一垂直互连件;

将所述第一管芯耦合到所述第二基板;

将所述一个或多个第一垂直互连件中的每个第一垂直互连件耦合到所述第二金属化层内的所述一个或多个第二金属迹线中的第二金属迹线,到达所述第二基板。

21.根据权利要求20所述的方法,所述方法还包括:

提供第二管芯封装件,所述第二管芯封装件包括具有一个或多个第二管芯互连件的第二管芯;

在所述垂直方向上在所述第二管芯封装件与所述第一管芯封装件之间设置所述双面ETS;以及

耦合所述一个或多个第二管芯互连件中的每个第二管芯互连件,所述一个或多个第二管芯互连件各自耦合到所述双面ETS的所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线。

22.根据权利要求16所述的方法,其中:

形成所述第一金属化层还包括:

在第一载体上形成第一导电金属层;

在所述第一导电金属层上形成第一光致抗蚀剂层;

在所述第一光致抗蚀剂层内形成多个第一开口;以及

在所述多个第一开口中设置第一金属材料以形成所述一个或多个第一金属迹线;并且

形成所述第二金属化层还包括:

在第二载体上形成第二导电金属层；

在所述第二导电金属层上形成第二光致抗蚀剂层；

在所述第二光致抗蚀剂层内形成多个第二开口；以及

在所述多个第二开口中设置第二金属材料以形成所述一个或多个第二金属迹线。

23. 根据权利要求22所述的方法，其中：

形成所述第一绝缘层包括在所述一个或多个第一金属迹线上层压第一介电材料；并且

形成所述第二绝缘层包括在所述一个或多个第二金属迹线上层压第二介电材料。

24. 根据权利要求23所述的方法，所述方法还包括：

将所述第一载体从所述第一导电金属层分离；以及

将所述第二载体从所述第二导电金属层分离。

25. 根据权利要求24所述的方法，其中形成所述一个或多个过孔包括：

形成各自在所述垂直方向上穿过所述一个或多个第一金属迹线中的所述第一金属迹线和所述一个或多个第二金属迹线中在所述垂直方向上与所述第一金属迹线至少部分地垂直对齐的所述第二金属迹线的一个或多个开口；以及

在所述一个或多个开口中设置金属材料以形成所述一个或多个过孔，所述一个或多个过孔中的每个过孔将所述一个或多个第一金属迹线中的所述第一金属迹线耦合到所述一个或多个第二金属迹线中的所述第二金属迹线。

26. 根据权利要求24所述的方法，所述方法还包括：

从所述第一金属化层移除所述第一导电金属层；以及

从所述第二金属化层移除所述第二导电金属层。

27. 根据权利要求16所述的方法，其中形成所述一个或多个过孔包括：

形成各自在所述垂直方向上穿过所述一个或多个第一金属迹线中的所述第一金属迹线和所述一个或多个第二金属迹线中在所述垂直方向上与所述第一金属迹线至少部分地垂直对齐的所述第二金属迹线的一个或多个开口；以及

在所述一个或多个开口中设置金属材料以形成所述一个或多个过孔，所述一个或多个过孔中的每个过孔将所述一个或多个第一金属迹线中的所述第一金属迹线耦合到所述一个或多个第二金属迹线中的所述第二金属迹线。

28. 根据权利要求27所述的方法，其中形成所述一个或多个开口包括：在所述垂直方向上穿过所述一个或多个第一金属迹线中的所述第一金属迹线和所述一个或多个第二金属迹线中在所述垂直方向上与所述第一金属迹线至少部分地垂直对齐的所述第二金属迹线钻出所述一个或多个开口。

29. 根据权利要求28所述的方法，其中钻出所述一个或多个开口包括：在所述垂直方向上穿过所述一个或多个第一金属迹线中的所述第一金属迹线和所述一个或多个第二金属迹线中在所述垂直方向上与所述第一金属迹线至少部分地垂直对齐的所述第二金属迹线激光钻出所述一个或多个开口。

30. 根据权利要求16所述的方法，所述方法还包括：

在所述第一金属化层上形成第一阻焊层；以及

在所述第二金属化层上形成第二阻焊层。

31. 根据权利要求30所述的方法，所述方法还包括：

在所述第一阻焊层内形成一个或多个第一开口以暴露所述一个或多个第一金属迹线；
以及
在所述第二阻焊层内形成一个或多个第二开口以暴露所述一个或多个第二金属迹线。

采用具有双面嵌入式迹线基板(ETS)的封装基板的集成电路 (IC)封装件以及相关制造方法

[0001] 优先权申请

[0002] 本申请要求于2021年11月22日提交的名称为“INTEGRATED CIRCUIT(IC) PACKAGES EMPLOYING A PACKAGE SUBSTRATE WITH A DOUBLE SIDE EMBEDDED TRACE SUBSTRATE (ETS), AND RELATED FABRICATION METHODS”的美国专利申请序列第17/456,068号的优先权,该美国专利申请全文以引用方式并入本文。

背景

I. 技术领域

[0004] 本公开的领域涉及集成电路(IC)封装件,并且尤其涉及对支持至IC封装件中的半导体管芯的信号路由的封装基板的设计和制造。

II. 背景技术

[0005] 集成电路(IC)是电子设备的基石。IC被封装在IC封装件(也被称为“半导体封装件”或“芯片封装件”)中。IC封装件包括作为IC的一个或多个半导体管芯,这些半导体管芯被安装在封装基板上并且电耦合到封装基板以提供针对管芯的物理支撑和电接口。IC封装件的一个示例是叠层封装(POP) IC封装件,其中多个管芯封装件堆叠在彼此之上。IC封装件的封装基板包括一个或多个金属化层,这些金属化层包括具有垂直互连通路(过孔)的金属互连件(例如,金属迹线、金属线),这些垂直互连通路将这些金属互连件一起耦合在毗邻的金属化层之间,以在管芯之间提供电接口。管芯被电连接到封装基板的顶部管芯侧金属化层内所暴露的金属互连件,以将管芯电耦合至该封装基板的金属互连件。封装基板还包括底部外金属化层,其包括耦合到外部金属互连件(例如,球栅阵列(BGA)互连件)的金属互连件以在IC封装件中的管芯之间提供外部接口。外部金属互连件还可被耦合(例如,焊接)到印刷电路板(PCB)中的迹线以将封装件附接到PCB并将其管芯与PCB的电路系统对接。

发明内容

[0006] 本文所公开的各方面包括采用具有双面嵌入式迹线基板(ETS)的封装基板的集成电路(IC)封装件。还公开了相关制造方法。IC封装件包括至少一个半导体管芯(“管芯”),该至少一个半导体管芯电耦合到封装基板以支撑管芯并提供到管芯的连接。IC封装件可以是叠层封装(POP) IC封装件,其包括作为堆叠在彼此之上的单独的IC封装件并通过提供这些管芯封装件之间的电信号路由的居间中介体封装基板彼此电耦合的多个管芯封装件。为了促成在IC封装件中提供减小厚度的基板以减小IC封装件的总高度,同时仍然支持具有减小的线/间距比(L/S)的更高密度的输入/输出(I/O)连接,IC封装件中的封装基板包括双面ETS。双面ETS包括两(2)个毗邻的ETS金属化层,这两个ETS金属化层都包括嵌入在绝缘层内的金属迹线。外ETS金属化层的绝缘层可以是共享绝缘层,其中每个ETS金属化层的金属迹线嵌入在绝缘层的相应的第一外部部分和第二外部部分中。双面ETS的ETS金属化层内的嵌入式金属迹线可以通过垂直互连通路(过孔)(例如,金属柱、金属桩)彼此电耦合,以提供

ETS金属化层内的嵌入式金属迹线之间的信号路由路径。在一个示例中,IC封装件的封装基板包括双面ETS,其两(2)个ETS金属化层是该封装基板的外金属化层。在另一示例中,IC封装件的封装基板包括多个双面ETS,其中该封装基板的外金属化层是外双面ETS的相应外ETS金属化层。在另一示例中,IC封装件的封装基板包括一个或多个双面ETS以及其他金属化层。

[0007] 通过将双面ETS包括在IC封装件的封装基板中,双面ETS支撑件的ETS金属化层由于其金属迹线是嵌入式的以及支持具有减小的L/S的更高密度的连接而具有减小的厚度。以此方式,可以能够支持IC封装件中更高密度的互连,而不必添加附加的金属化层和/或增加封装基板的厚度(即,垂直方向上的高度)以及因此增加IC封装件的总厚度。双面ETS相比例如仅具有一(1)个ETS金属化层的其他基板还可具有更对称的结构,因为双面ETS包括彼此毗邻的相似ETS金属化层。这使得双面ETS的ETS金属化层具有更相似的热膨胀系数(CTE),从而减少或避免ETS金属化层之间的CTE失配,这进而可以减少封装基板的翘曲。此外,通过在封装基板中提供双面ETS,双面ETS中的ETS金属化层的各金属层可以在垂直方向上彼此更靠近地位于封装基板中,这减小了ETS金属化层之间的信号路径路由距离,从而导致信号路由路径的减小的阻抗,并且还导致ETS金属化层内的信号路由路径之间的减小的串扰。这对于包括具有双面ETS的中介体封装基板的IC封装件而言可以是独特的优势,因为双面ETS可以减小通过用于管芯封装件之间的连接的中介体封装基板的信号路由路径的长度,从而减小这些信号路由路径的阻抗以提高性能。

[0008] 就此而言,在一个示例性方面,提供了一种IC封装件。该IC封装件包括封装基板。封装基板包括双面ETS。双面ETS包括第一金属化层,该第一金属化层包括第一绝缘层和第一金属层,该第一金属层包括嵌入在第一绝缘层内的一个或多个第一金属迹线。双面ETS还包括在垂直方向上耦合到第一金属化层的第二金属化层。第二金属化层包括第二绝缘层和第二金属层,该第二金属层包括嵌入在第二绝缘层内的一个或多个第二金属迹线。双面ETS还包括各自设置在第一绝缘层和第二绝缘层内的一个或多个垂直互连通路(过孔)。一个或多个过孔各自耦合到一个或多个第一金属迹线中的第一金属迹线和一个或多个第二金属迹线中的第二金属迹线。

[0009] 在另一示例性方面,提供了一种制造IC封装件的方法。该方法包括制造用于IC封装件的封装基板。制造封装基板包括形成双面ETS。形成双面ETS包括形成第一金属化层,该形成第一金属化层包括形成第一绝缘层以及将一个或多个第一金属迹线嵌入在第一绝缘层内,该一个或多个第一金属迹线形成第一金属层。形成双面ETS还包括形成第二金属化层,该形成第二金属化层包括形成第二绝缘层以及将一个或多个第二金属迹线嵌入在第二绝缘层内,该一个或多个第二金属迹线形成第二金属层。形成双面ETS还包括在垂直方向上将第二金属化层耦合到第一金属化层。形成双面ETS还包括形成各自在垂直方向上穿过一个或多个第一金属迹线中的第一金属迹线、第一绝缘层、第二绝缘层以及一个或多个第二金属迹线中的第二金属迹线的一个或多个过孔,以将第一金属迹线耦合到第二金属迹线。

附图说明

[0010] 图1是包括多个半导体管芯(“管芯”)封装件的示例性叠层封装(POP)集成电路(IC)封装件的侧视图,该多个半导体管芯封装件在垂直的高度方向上通过居间中介体封装

基板安装在彼此之上,以提供管芯封装件之间的电接口;

[0011] 图2是图1中的POP IC封装件的另一侧视图,其进一步例示了包括示例性双面嵌入式迹线基板(ETS)的中介体封装基板;

[0012] 图3是包括不包含双面ETS的中介体封装基板的IC封装件的侧视图;

[0013] 图4是用于IC封装件的另一示例性封装基板的侧视图,其中该封装基板是四(4)层(4L)ETS,其包括由芯基板分隔开的多个堆叠式双面ETS,其具有在双面ETS之间延伸的面板贯通垂直互连通路(过孔);

[0014] 图5是用于IC封装件的另一示例性封装基板的侧视图,其中该封装基板包括耦合到改良型半加成工艺(mSAP)基板的双面ETS;

[0015] 图6是用于IC封装件的另一示例性封装基板的侧视图,其中该封装基板是包括耦合到层压ETS的双面ETS的3L ETS;

[0016] 图7是用于IC封装件的另一示例性封装基板的侧视图,其中该封装基板是包括由外层压ETS包围的双面ETS的4L ETS;

[0017] 图8是例示制造可被提供在用于IC封装件的封装基板中的双面ETS(包括但不限于图2和图4至图7中的双面ETS)的示例性制造过程的流程图;

[0018] 图9是例示制造具有在其中形成的图案化嵌入式金属迹线的顶层和/或底层ETS金属化层的示例性制造过程的流程图,该顶层和/或底层ETS金属化层随后可被耦合在一起以提供双面ETS;

[0019] 图10A至图10D是在根据图9中的制造过程来制造顶层和/或底层ETS金属化层期间的示例性制造阶段;

[0020] 图11A至图11C是例示使用(诸如通过图9至图10D中的示例性制造过程)所形成的ETS金属化层来制造包括双面ETS的封装基板的示例性制造过程的流程图;

[0021] 图12A至图12E是在根据图11A至图11C中的制造过程来制造包括双面ETS的基板期间的示例性制造阶段;

[0022] 图13是示例性基于处理器的系统的框图,该示例性基于处理器的系统可包括可包括IC封装件的组件,该IC封装件采用具有双面ETS的封装基板,包括但不限于图2和图4至图7中并且根据图8至图12E中的示例性制造过程中的任一者的基板;并且

[0023] 图14是包括射频(RF)组件的示例性无线通信设备的框图,这些RF组件可包括IC封装件,该IC封装件采用具有双面ETS的封装基板,包括但不限于图2和图4至图7中并且根据图8至图12E中的示例性制造过程中的任一者的基板。

具体实施方式

[0024] 现在参考附图,描述本公开的若干示例性方面。词语“示例性”在本文中用于意指“用作示例、实例、或例示”。本文中被描述为“示例性的”任何方面未必被解释为比其它方面优选或具有优势。

[0025] 本文所公开的各方面包括采用具有双面嵌入式迹线基板(ETS)的封装基板的集成电路(IC)封装件。还公开了相关制造方法。IC封装件包括至少一个半导体管芯(“管芯”),该至少一个半导体管芯电耦合到封装基板以支撑管芯并提供到管芯的连接。IC封装件可以是叠层封装(POP) IC封装件,其包括作为堆叠在彼此之上的单独的IC封装件并通过提供这些

管芯封装件之间的电信号路由的居间中介体封装基板彼此电耦合的多个管芯封装件。为了促成在IC封装件中提供减小厚度的基板以减小IC封装件的总高度,同时仍然支持具有减小的线/间距比(L/S)的更高密度的输入/输出(I/O)连接,IC封装件中的封装基板包括双面ETS。双面ETS包括两(2)个毗邻的ETS金属化层,这两个ETS金属化层都包括嵌入在绝缘层内的金属迹线。外ETS金属化层的绝缘层可以是共享绝缘层,其中每个ETS金属化层的金属迹线嵌入在绝缘层的相应的第一外部部分和第二外部部分中。双面ETS的ETS金属化层内的嵌入式金属迹线可以通过垂直互连通路(过孔)(例如,金属柱、金属桩)彼此电耦合,以提供ETS金属化层内的嵌入式金属迹线之间的信号路由路径。在一个示例中,IC封装件的封装基板包括双面ETS,其两(2)个ETS金属化层是该封装基板的外金属化层。在另一示例中,IC封装件的封装基板包括多个双面ETS,其中该封装基板的外金属化层是外双面ETS的相应外ETS金属化层。在另一示例中,IC封装件的封装基板包括一个或多个双面ETS以及其他金属化层。

[0026] 通过将双面ETS包括在IC封装件的封装基板中,双面ETS支撑件的ETS金属化层由于其金属迹线是嵌入式的以及支持具有减小的线/间距比(L/S)的更高密度的连接而具有减小的厚度。以此方式,可以能够支持IC封装件中更高密度的互连,而不必添加附加的金属化层和/或增加封装基板的厚度(即,垂直方向上的高度)以及因此增加IC封装件的总厚度。双面ETS相比例如仅具有一(1)个ETS金属化层的其他基板还可具有更对称的结构,因为双面ETS包括彼此毗邻的相似ETS金属化层。这使得双面ETS的ETS金属化层具有更相似的热膨胀系数(CTE),从而减少或避免ETS金属化层之间的CTE失配,这进而可以减少封装基板的翘曲。此外,通过在封装基板中提供双面ETS,双面ETS中的ETS金属化层的各金属层可以在垂直方向上彼此更靠近地位于封装基板中,这减小了ETS金属化层之间的信号路由路径距离,从而导致信号路由路径的减小的阻抗,并且还导致ETS金属化层内的信号路由路径之间的减小的串扰。这对于包括具有双面ETS的中介体封装基板的IC封装件而言可以是独特的优势,因为双面ETS可以减小通过用于管芯封装件之间的连接的中介体封装基板的信号路由路径的长度,从而减小这些信号路由路径的阻抗以提高性能。

[0027] 就此而言,图1是作为堆叠式管芯集成电路(IC)封装件102的示例性叠层封装(POP) IC封装件100(“IC封装件100”)的侧视图。堆叠式管芯IC封装件102在相应的第一管芯封装件106(1)和第二管芯封装件106(2)封装件中包括第一半导体管芯(“管芯”)104(1)和第二半导体管芯104(2),该第一管芯封装件和第二管芯封装件堆叠在彼此之上并且在垂直方向(Z轴方向)上通过居间中介体封装基板108(“中介体基板108”)彼此耦合。如将在以下更详细地讨论的,中介体基板以双面ETS110的形式提供,该双面ETS包括毗邻的ETS金属化层112(1)、112(2)(也称为“金属化层112(1)、112(2)”),这两个ETS金属化层都包括嵌入在相应绝缘层内的金属迹线以提供金属互连件以提供电信号路由路径。嵌入式金属迹线彼此耦合。第一管芯封装件106(1)还耦合到封装基板114,该封装基板向外部互连件116(例如,球栅阵列(BGA)互连件)提供电信号路由路径,以向堆叠式管芯IC封装件102的管芯104(1)、104(2)提供外部电接口。第一管芯104(1)通过封装基板114中的电信号路由路径电耦合到外部互连件116。第二管芯104(2)通过耦合到中介体基板108而电耦合到第一管芯104(1)和外部互连件116。

[0028] 继续参考图1,IC封装件100的中介体基板108包括ETS金属化层112(1)、112(2),这

些ETS金属化层包括通过设置在第一管芯封装件106(1)的封装模塑件120中的垂直互连件118(例如,金属柱、金属桩、金属垂直互连通路(过孔),诸如通模过孔(TMV))电耦合到封装基板114的嵌入式金属迹线。以此方式,ETS金属化层112(1)、112(2)提供中介体基板108与封装基板114之间的电连接。基于ETS的基板促成提供具有减小的线/间距比(L/S)的更高密度的凸块/焊点,以支持更高密度的I/O连接。封装基板108包括通过垂直互连件118和中介体基板108将第一管芯104(1)电耦合到第二管芯104(2)的电信号路由路径。

[0029] 在该示例中,封装基板114包括设置在芯基板124(也被称为“金属化层124”)上的第一上部金属化层122(1)。芯基板124设置在第二底部金属化层122(2)上。上部金属化层122(1)提供用于到第一管芯104(1)和垂直互连件118的信号路由的电接口。第一管芯104(1)耦合到管芯互连件126(例如,凸起的金属凸块),这些管芯互连件电耦合到上部金属化层122(1)中的第一金属互连件128(1)。上部金属化层122(1)中的第一金属互连件128(1)耦合到芯基板124中的金属互连件130,这些金属互连件耦合到第二底部金属化层122(2)中的第二金属互连件128(2)。以此方式,封装基板114在其第一金属化层122(1)和第二金属化层122(2)与芯基板124之间提供互连,以提供到第一管芯104(1)的信号路由。外部互连件116耦合到第二底部金属化层122(1)中的第二金属互连件128(2),以通过管芯互连件126提供穿过封装基板114到第一管芯104(1)的互连。在该示例中,第一管芯104(1)的第一有源侧132(1)毗邻并耦合到封装基板114,更具体而言,耦合到封装基板114的上部金属化层122(1)。

[0030] 在图1中的示例IC封装件100中,可任选的附加管芯封装件106(2)被提供并耦合到第一管芯封装件106(1)以支持多个管芯。例如,第一管芯封装件106(1)中的第一管芯104(1)可包括应用处理器,并且第二管芯104(2)可以是存储器管芯,诸如为应用处理器提供存储器支持的动态随机存取存储器(DRAM)管芯。就此而言,在该示例中,第一管芯封装件106(1)还包括中介体基板108,该中介体基板与第一管芯104(1)的第二无源侧132(2)毗邻地设置在包封第一管芯104(1)的封装模塑件120上。

[0031] 某些应用可能需要减小图1中IC封装件100的高度 H_1 (即,厚度)以满足某些要求。例如,IC封装件100可使用两(2)层(2L)中介体基板来将第二管芯封装件106(2)耦合到第一管芯封装件106(1)。可增加中介体基板108的层数(例如,从2L增加到三(3)层(3L))以支持用于较高密度的存储器管芯(如示例中的第二管芯104(2))的输入/输出(I/O)连接的增加。然而,在中介体基板108中添加附加金属化层将增加IC封装件100的总高度 H_1 。此外,虽然IC封装件100中第一管芯封装件106(1)和第二管芯封装件106(2)在垂直方向(Z轴方向)上的堆叠式布置通过不必将第二管芯104(2)与第一管芯104(1)水平地毗邻设置而在水平轴(X和/或Y轴方向)上节省了空间,但是在垂直方向(Z轴方向)上堆叠第一管芯封装件106(1)和第二管芯封装件106(2)增加了IC封装件100的总高度 H_1 。

[0032] 就此而言,在该示例中,为了减小IC封装件100的厚度(即,高度),中介体基板108包括具有多个ETS金属化层112(1)、112(2)的双面ETS110。每个ETS金属化层112(1)、112(2)包括嵌入在相应绝缘层内以提供到第二管芯封装件106(2)中的第二管芯104(2)的互连的金属迹线134(1)、134(2) (“嵌入式金属迹线134(1)、134(2)”)。在该示例中,第一ETS金属化层112(1)与第一管芯封装件106(1)毗邻地位于双面ETS110中,并且促成中介体基板108与第一管芯封装件106(1)之间具有减小的L/S比的更高密度的I/O连接。还在该示例中,第二

ETS金属化层112(2)与第二管芯封装件106(2)毗邻地位于中介体基板108中,因此构成双面ETS110。第二ETS金属化层112(2)促成中介体基板108与第二管芯封装件106(2)之间具有减小的L/S比的更高密度的I/O连接。第二管芯封装件106(2)通过至中介体基板108的外部互连件136(例如,焊料凸块、BGA互连件)来物理和电耦合到第一管芯封装件106(1)。外部互连件136耦合到中介体基板108的ETS金属化层112(2)中的嵌入式金属迹线134(2),这些嵌入式金属迹线耦合到ETS金属化层112(1)中的嵌入式金属迹线134(1)以及垂直互连件118。

[0033] 通过在中介体基板中提供两个金属化层作为提供双面ETS110的ETS金属化层112(1)、112(2),中介体基板108的总厚度更小。这与例如仅提供中介体基板108的金属化层中的一者作为ETS金属化层相反。在IC封装件100中提供中介体基板108作为双面ETS110还为中介体基板108提供减小厚度的基板,以减小IC封装件100的总高度 H_1 ,同时支持更高密度的I/O连接。以此方式,可以能够支持IC封装件100中更高密度的互连,而不必添加附加金属化层和/或增加中介体基板108的厚度(即,垂直方向(Z轴方向)上的高度)以及因此增加IC封装件100的总厚度。此外,双面ETS 110相比例如仅具有一个ETS金属化层的其他基板可具有更对称的结构,因为双面ETS110包括彼此毗邻设置的类似结构的第一ETS金属化层112(1)和第二ETS金属化层112(2)。这使得双面ETS110的第一ETS金属化层112(1)和第二ETS金属化层112(2)具有更相似的CTE,从而减少或避免第一ETS金属化层112(1)和第二ETS金属化层112(2)之间的CTE失配。这又可减少中介体基板108的翘曲,这对于图1中的IC封装件100而言可能是特别关注的。

[0034] 注意,图1中的IC封装件100可以是包括第一管芯封装件106(1)并且不包括第二管芯封装件106(2)的单个管芯封装件。就此而言,第一管芯封装件106(1)可能不需要包括中介体基板108和垂直互连件118来提供到封装基板114的互连以用于到第一管芯104(1)和外部互连件116的信号路由。又如,无论IC封装件100包括还是不包括第二管芯封装件106(2),注意,封装基板114也可任选地被提供为包括双面ETS110,其中其第一上部金属化层122(1)和第二下部金属化层122(2)两者作为ETS金属化层提供,其中它们相应的第一金属互连件128(1)和第二金属互连件128(2)是嵌入式金属迹线。

[0035] 为了例示图1的IC封装件100中的中介体基板108中的双面ETS110的附加示例性细节,提供了图2。图2是图1中的IC封装件100的局部侧视图,其进一步例示了包括双面ETS110的中介体基板108。如图2所示,在该示例中,中介体基板108是双面ETS110。双面ETS110包括与第一管芯封装件106(1)毗邻设置的第一ETS金属化层112(1)。第一ETS金属化层112(1)包括第一绝缘层200(1),在该示例中,该第一绝缘层是由介电材料形成的材料层。金属迹线134(1)嵌入在第一绝缘层200(1)中。因此,第一金属迹线134(1)也称为第一“嵌入式”金属迹线134(1)。在第一绝缘层200(1)中嵌入第一嵌入式金属迹线134(1)形成第一ETS金属化层112(1)中的金属层202(1)。第一嵌入式金属迹线134(1)嵌入在第一ETS金属化层112(1)的第一绝缘层200(1)中促成提供L/S比减小的更高密度的第一嵌入式金属迹线134(1),其中可以形成更高密度的凸块/焊点,以用于将第一ETS金属化层112(2)电耦合到第一管芯封装件106(1)的垂直互连件118。作为制造过程期间的蚀刻的结果,第一嵌入式金属迹线134(1)从第一绝缘层200(1)的底表面204凹陷。第一阻焊层206(1)被设置在第一绝缘层200(1)的底表面204上,以绝缘和保护第一嵌入式金属迹线134(1)的未从外部连接到第一管芯封装件106(1)的部分。在第一阻焊层206(1)中形成第一开口208(1),以暴露要被连接到第一

管芯封装件106(1)的垂直互连件118的第一嵌入式金属迹线134(1)。

[0036] 继续参考图2,该示例中的双面ETS110还包括第二ETS金属化层112(2),该第二ETS金属化层毗邻于第二管芯封装件106(1)设置(参见图1)。第二ETS金属化层112(2)包括第二绝缘层200(2),在该示例中,该第二绝缘层是由介电材料形成的材料层。在该示例中,第二绝缘层200(2)被安装或耦合到第一绝缘层200(1),使得第一绝缘层200(1)和第二绝缘层200(2)彼此直接毗邻。金属迹线134(2)嵌入在第二绝缘层200(2)中。因此,第二金属迹线134(2)也称为第二“嵌入式”金属迹线134(2)。在第二绝缘层200(2)中嵌入第二嵌入式金属迹线134(2)形成第二ETS金属化层112(2)中的金属层202(2)。将第二嵌入式金属迹线134(2)嵌入在第二ETS金属化层112(2)的第二绝缘层200(2)中促成提供L/S比减小的更高密度的第二嵌入式金属迹线134(2),其中可以形成更高密度的凸块/焊点,以用于将第二ETS金属化层112(2)电耦合到第二管芯封装件106(2)。作为制造过程期间的蚀刻的结果,第二嵌入式金属迹线134(2)从第二绝缘层200(2)的顶表面210凹陷。第二阻焊层206(2)被设置在第二绝缘层200(2)的顶表面210上,以绝缘和保护第二嵌入式金属迹线134(2)的未从外部连接到第二管芯封装件106(2)的部分。在第二阻焊层206(2)中形成第二开口208(2),以暴露要被连接到第二管芯封装件106(2)的外部互连件136(参见图1)的第二嵌入式金属迹线134(2)。

[0037] 继续参考图2,为了将相应的第一ETS金属化层112(1)和第二ETS金属化层112(2)的相应的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)电耦合在一起,以提供来自第一ETS金属化层112(1)和第二ETS金属化层112(2)并且因此在第一管芯封装件106(1)和第二管芯封装件106(2)之间的电信号路由路径,在双面ETS110中形成过孔212(例如,金属柱、金属桩、金属线)。过孔212设置在第一绝缘层200(1)和第二绝缘层200(2)中。每个过孔212耦合到在垂直方向(Z轴方向)上彼此对齐的相应的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)。嵌入式金属迹线134(1)、134(2)彼此平行并且在垂直方向(Z轴方向)上至少部分地彼此对齐。因此,过孔212提供在垂直方向上彼此对齐的相应的第一嵌入式金属迹线134(1)与第二嵌入式金属迹线134(2)之间的电路路由路径。在该示例中,双面ETS110的第一ETS金属化层112(1)和第二ETS金属化层112(2)是中介体基板108的外部金属化层,这意味着第一ETS金属化层112(1)和第二ETS金属化层112(2)直接与相应的第一管芯封装件106(1)和第二管芯封装件106(2)毗邻设置。以此方式,如以上所讨论的,第一嵌入式金属迹线134(1)耦合到第一管芯封装件106(1)的垂直互连件118,并且第二嵌入式金属迹线134(2)耦合到第二管芯封装件106(2)的外部互连件136,以在中介体基板108中提供第一管芯封装件106(1)的垂直互连件118和第二管芯封装件106(2)的外部互连件136之间的电信号路由。然而,注意,第一ETS金属化层112(1)和第二ETS金属化层112(2)不需要被提供为中介体基板108的外金属化层。

[0038] 因此,如图2中所示,在该示例中,中介体基板108的双面ETS110包括两(2)个毗邻的第一ETS金属化层112(1)和第二ETS金属化层112(2),它们各自包括在相应的第一绝缘层200(1)和第二绝缘层202(2)的相对侧上的相应的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2),并且通过过孔212耦合在一起。第一ETS金属化层112(1)和第二ETS金属化层112(2)彼此直接毗邻,其中只有设置在相应的第一绝缘层200(1)和第二绝缘层200(2)中的过孔212在相应的、至少部分地垂直对齐且成对的第一嵌入式金属迹线134(1)和第二

嵌入式金属迹线134(2)之间延伸。过孔212耦合到第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)的相应内表面214(1)、214(2)。在第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)的内表面214(1)、214(2)的相对侧上的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)的外表面216(1)、216(2)通过第一阻焊层206(1)和第二阻焊层206(2)中的相应的第一开口208(1)和第二开口208(2)被暴露。因此,如图2所示,第一绝缘层200(1)和第二绝缘层200(2)以及嵌入在其中的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)关于中介体基板108的中心轴 A_1 基本对称。以此方式,双面ETS110相比例如仅具有一(1)个ETS金属化层的其他基板可具有更对称的结构。这是因为双面ETS110包括彼此毗邻的类似的第一ETS金属化层112(1)和第二ETS金属化层112(2),这两者包括嵌入在可由相同的相应金属和介电材料制成的相应绝缘层200(1)、200(1)中的相应嵌入式金属迹线134(1)、134(2)。这使得双面ETS110的ETS金属化层112(1)、112(2)具有更相似的CTE,从而减少或避免第一ETS金属化层112(1)和第二ETS金属化层112(2)之间的CTE失配,这进而可以减少中介体基板108的翘曲。

[0039] 此外,通过在中介体基板108中提供双面ETS110,第一ETS金属化层112(1)和第二ETS金属化层112(2)的第一金属层202(1)和第二金属层202(2)可以在垂直方向(Z轴方向)上彼此更靠近地位于中介体基板108中,因为第一ETS金属化层112(1)和第二ETS金属化层112(2)可以在垂直方向(Z轴方向)上以减小的厚度(即,高度)形成。这减小了中介体基板108中的第一ETS金属化层112(1)与第二ETS金属化层112(2)之间的信号路径路由距离,从而导致信号路由路径的减小的阻抗以及第一ETS金属化层112(1)和第二ETS金属化层112(2)中的信号路由路径之间的减小的串扰。这对于包括中介体基板108(其包括双面ETS110)的图1中的IC封装件100而言可以是独特的优势,因为双面ETS110可减小通过用于第一管芯封装件106(1)和第二管芯封装件106(2)之间的连接的中介体基板108的信号路由路径的长度,从而减小这些连接的阻抗以提高性能。出于与图2中的中介体基板108进行比较的目的,图3是包括不包含双面ETS的中介体基板308的IC封装件300的侧视图。IC封装件300包括第一管芯封装件306(1),该第一管芯封装件包括耦合到封装基板314的管芯304。封装基板314包括金属化层322(1)-322(3)。金属化层322(1)-322(3)包括向第一管芯封装件306(1)中的第一管芯304(1)和垂直互连件318提供电信号路由路径的相应金属互连件328(1)-328(3)。

[0040] 为了将第一管芯封装件306(1)耦合到第二管芯封装件306(2)(未示出),IC封装件300包括中介体基板308。在该示例中提供了中介体基板308,该中介体基板是两层(2L)改良型半加成工艺(mSAP)中介体基板。例如,中介体基板308包括可以是被形成以提供基板的层压介电层的绝缘层310。第一金属互连件312(1)在与绝缘层310毗邻的第一金属层314(1)中形成。在绝缘层310中形成金属柱316(例如,过孔),该绝缘层耦合在第一金属层314(1)中的第一金属互连件312(1)与第二金属层314(2)中的第二金属互连件312(2)之间并且还耦合到金属柱316。这在第一金属互连件312(1)与第二金属互连件312(2)之间提供互连并且因此提供信号路径。注意,第一金属互连件312(1)和第二金属互连件312(2)不嵌入在绝缘层310中。因此,第一金属层314(1)和第二金属层314(2)的高度 H_2 、 H_3 与绝缘层310的高度 H_4 相加,从而有助于中介体基板308的总高度 H_5 。此外,第一金属互连件312(1)和第二金属互连件312(2)可能无法像图1和图2中双面ETS110中的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)那样由减小的L/S形成。

[0041] 可以为IC封装件提供其他类型的封装基板,其中这些封装基板包括一个或多个双面ETS。特定IC封装件中所需的特定应用和连通性将决定所使用的封装基板的类型以及它们可如何包括一个或多个双面ETS。

[0042] 就此而言,图4是用于IC封装件的另一示例性封装基板400的侧视图,其中该封装基板400是四(4)层(4L)ETS 402。如以下所讨论的,封装基板400包括由芯基板406耦合在一起的第一双面ETS 404(1)和第二双面ETS 404(2)。第一双面ETS 404(1)和第二双面ETS 404(2)类似于图1和图2中的双面ETS110。第一双面ETS 404(1)包括第一ETS金属化层408(1),该第一ETS金属化层包括第一绝缘层410(1),在该示例中,该第一绝缘层是由介电材料形成的材料层。金属迹线412(1)嵌入在第一绝缘层410(1)中。因此,第一金属迹线412(1)也被称为第一“嵌入式”金属迹线412(1)。第一嵌入式金属迹线412(1)在第一绝缘层410(1)中的嵌入形成第一ETS金属化层408(1)中的金属层414(1)。第一阻焊层416(1)被设置在第一绝缘层410(1)的底表面418上,以绝缘和保护第一嵌入式金属迹线412(1)的未从外部连接的部分。在第一阻焊层416(1)中形成第一开口420(1),以暴露要从外部连接的第一嵌入式金属迹线412(1)。第一双面ETS 404(1)还包括第二ETS金属化层408(2),该第二ETS金属化层包括第二绝缘层410(2),在该示例中,该第二绝缘层是由介电材料形成的材料层。金属迹线412(2)嵌入在第二绝缘层410(2)中。因此,第二金属迹线412(2)也被称为第二“嵌入式”金属迹线412(2)。第二嵌入式金属迹线412(2)在第二绝缘层410(2)中的嵌入形成第二ETS金属化层408(2)中的金属层414(2)。

[0043] 为了将相应的第一ETS金属化层408(1)和第二ETS金属化层408(2)的相应的第一嵌入式金属迹线412(1)和第二嵌入式金属迹线412(2)电耦合在一起,以提供来自第一ETS金属化层408(1)和第二ETS金属化层408(2)的电信号路由路径,在第一双面ETS 404(1)中形成过孔422(例如,金属柱、金属桩、金属线)。过孔422设置在第一绝缘层410(1)和第二绝缘层410(2)中。每个过孔422耦合到彼此平行且在垂直方向(Z轴方向)上至少部分地彼此对齐的相应的第一嵌入式金属迹线412(1)和第二嵌入式金属迹线412(2)。因此,过孔422提供在垂直方向上彼此对齐的相应的第一嵌入式金属迹线412(1)和第二嵌入式金属迹线412(2)之间的电路由路径。在该示例中,第一双面ETS 404(1)的第一ETS金属化层408(1)是封装基板400的外金属化层。

[0044] 继续参考图4,第二双面ETS 404(2)包括第一ETS金属化层428(1),该第一ETS金属化层包括第一绝缘层430(1),在该示例中,该第一绝缘层是由介电材料形成的材料层。金属迹线432(1)嵌入在第一绝缘层430(1)中。因此,第一金属迹线432(1)也被称为第一“嵌入式”金属迹线432(1)。在第一绝缘层410(1)中嵌入第一嵌入式金属迹线432(1)形成第一ETS金属化层428(1)中的第一金属层434(1)。第二双面ETS 404(2)还包括第二ETS金属化层428(2),该第二ETS金属化层包括第二绝缘层430(2),在该示例中,该第二绝缘层是由介电材料形成的材料层。第二金属迹线432(2)嵌入在第二绝缘层430(2)中。因此,第二金属迹线432(2)也被称为第二“嵌入式”金属迹线432(2)。在第二绝缘层410(2)中嵌入第二嵌入式金属迹线432(2)形成第二ETS金属化层428(2)中的第二金属层434(2)。第二阻焊层416(2)被设置在第一绝缘层430(1)的顶表面421上,以绝缘和保护第二嵌入式金属迹线432(2)的未从外部连接的部分。在第二阻焊层416(2)中形成第二开口420(2),以暴露要从外部连接的第一嵌入式金属迹线432(1)。

[0045] 为了将第二双面ETS 404(2)的相应的第一ETS金属化层428(1)和第二ETS金属化层428(2)的相应的第一嵌入式金属迹线432(1)和第二嵌入式金属迹线432(2)电耦合在一起,以提供来自第一ETS金属化层428(1)和第二ETS金属化层428(2)的电信号路由路径,在第二双面ETS 404(2)中形成过孔424(例如,金属柱、金属桩、金属线)。过孔424设置在第一绝缘层430(1)和第二绝缘层430(2)中。每个过孔424耦合到在垂直方向(Z轴方向)上至少部分地彼此对齐的相应的第一嵌入式金属迹线432(1)和第二嵌入式金属迹线432(2)。因此,过孔424提供在垂直方向上彼此至少部分地对齐的相应的第一嵌入式金属迹线432(1)和第二嵌入式金属迹线432(2)之间的电路由路径。在该示例中,第二双面ETS 404(1)的第二ETS金属化层428(1)是封装基板400的外金属化层。

[0046] 还继续参考图4,在该示例中,在封装基板400中提供附加过孔426,其延伸穿过第一双面ETS 404(1)和第二双面ETS 404(2)和芯基板406,以提供穿过封装基板400的附加信号路由路径。附加过孔426可将第一ETS金属化层408(1)、428(1)和第二ETS金属化层408(2)、428(2)中的任一者耦合在一起以用于封装基板400中的电信号路由。此外,如果需要的话,第二双面ETS 404(2)中的第一ETS金属化层428(1)中的第一嵌入式金属迹线432(1)可以通过过孔耦合到第一双面ETS 404(2)中的第二ETS金属化层408(2)中的第二嵌入式金属迹线412(2),以提供第一双面ETS 404(1)和第二双面ETS 404(2)之间的电信号路由。

[0047] 图5是用于IC封装件的另一示例性封装基板500的侧视图,其中该封装基板500包括耦合到改良型半加成工艺(mSAP)基板502的双面ETS 504。双面ETS 504类似于图1和图2中的双面ETS110、以及图4中的双面ETS 404(1)、404(2)。双面ETS 504包括第一ETS金属化层508(1),该第一ETS金属化层包括第一绝缘层510(1),在该示例中,该第一绝缘层是由介电材料形成的材料层。金属迹线512(1)嵌入在第一绝缘层510(1)中。因此,第一金属迹线512(1)也被称为第一“嵌入式”金属迹线512(1)。第一嵌入式金属迹线512(1)在第一绝缘层510(1)中的嵌入形成第一ETS金属化层508(1)中的金属层514(1)。双面ETS 504还包括第二ETS金属化层508(2),该第二ETS金属化层包括第二绝缘层510(2),在该示例中,该第二绝缘层是由介电材料形成的材料层。金属迹线512(2)嵌入在第二绝缘层510(2)中。因此,第二金属迹线512(2)也被称为第二“嵌入式”金属迹线512(2)。第二嵌入式金属迹线512(2)在第二绝缘层510(2)中的嵌入形成第二ETS金属化层508(2)中的金属层514(2)。第一阻焊层516(1)被设置在第二绝缘层510(2)的顶表面518上,以绝缘和保护第二嵌入式金属迹线512(2)的未从外部连接的部分。第一开口520(1)在第一阻焊层516(1)中形成,以暴露要从外部连接的第二嵌入式金属迹线512(1)。

[0048] 为了将相应的第一ETS金属化层508(1)和第二ETS金属化层508(2)的相应的第一嵌入式金属迹线512(1)和第二嵌入式金属迹线512(2)电耦合在一起,以提供来自第一ETS金属化层508(1)和第二ETS金属化层508(2)的电信号路由路径,过孔522(例如,金属柱、金属桩、金属线)在第一双面ETS 504中形成。过孔522设置在第一绝缘层510(1)和第二绝缘层510(2)中。每个过孔522耦合到彼此平行且在垂直方向(Z轴方向)上至少部分地彼此对齐的相应的第一嵌入式金属迹线512(1)和第二嵌入式金属迹线512(2)。因此,过孔522提供在垂直方向上至少部分地彼此对齐的相应的第一嵌入式金属迹线512(1)与第二嵌入式金属迹线512(2)之间的电路由路径。在该示例中,双面ETS 504的第一ETS金属化层508(1)是封装基板500的外金属化层。

[0049] 此外,如图5中所示,封装基板包括mSAP基板502。mSAP基板502包括具有金属互连件542的金属化层538,这些金属互连件在绝缘层540上形成,在该示例中,该绝缘层是由介电材料形成的材料层。在该示例中,mSAP基板502的金属化层538是封装基板500的外金属化层。绝缘层540可以是芯基板。绝缘层540可以使用mSAP制造过程由多个层压介电层形成。为了将金属化层538的相应的金属互连件542电耦合到双面ETS 504的第一嵌入式金属迹线512(1),在绝缘层540中形成过孔524(例如,金属柱、金属桩、金属线)。过孔524在垂直方向(Z轴方向)上耦合到双面ETS 504的至少部分地对齐的金属互连件542和第一嵌入式金属迹线512(1)。因此,过孔524提供mSAP基板502与双面ETS 504之间的电路路径。第二阻焊层516(2)被设置在绝缘层540的底表面544上,以绝缘和保护金属互连件542的未从外部连接的部分。在第二阻焊层516(2)中形成第二开口520(2),以暴露要从外部连接的金属互连件542。

[0050] 图6是用于IC封装件的另一示例性封装基板600的侧视图,其中该封装基板600是包括耦合到层压ETS 602的双面ETS 604的三层(3L)ETS。双面ETS 604类似于图1和图2中的双面ETS110、以及图4中的双面ETS 404(1)、404(2)。双面ETS 604包括第一ETS金属化层608(1),该第一ETS金属化层包括第一绝缘层610(1),在该示例中,该第一绝缘层是由介电材料形成的材料层。金属迹线612(1)嵌入在第一绝缘层610(1)中。因此,第一金属迹线612(1)也被称为第一“嵌入式”金属迹线612(1)。第一嵌入式金属迹线612(1)在第一绝缘层610(1)中的嵌入形成第一ETS金属化层608(1)中的金属层614(1)。双面ETS 604还包括第二ETS金属化层608(2),该第二ETS金属化层包括第二绝缘层610(2),在该示例中,该第二绝缘层是由介电材料形成的材料层。金属迹线612(2)嵌入在第二绝缘层610(2)中。因此,第二金属迹线612(2)也被称为第二“嵌入式”金属迹线612(2)。第二嵌入式金属迹线612(2)在第二绝缘层610(2)中的嵌入形成第二ETS金属化层608(2)中的金属层614(2)。第一阻焊层616(1)被设置在第二绝缘层610(2)的底表面618上,以绝缘和保护第二嵌入式金属迹线612(2)的未从外部连接的部分。在第一阻焊层616(1)中形成第一开口620(1),以暴露要从外部连接的第二嵌入式金属迹线612(1)。

[0051] 为了将相应的第一ETS金属化层608(1)和第二ETS金属化层608(2)的相应的第一嵌入式金属迹线612(1)和第二嵌入式金属迹线612(2)电耦合在一起,以提供来自第一ETS金属化层608(1)和第二ETS金属化层608(2)的电信号路由路径,过孔622(例如,金属柱、金属桩、金属线)在第一双面ETS 604中形成。过孔622设置在第一绝缘层610(1)和第二绝缘层610(2)中。每个过孔622耦合到彼此平行并且在垂直方向(Z轴方向)上至少部分地彼此对齐的相应的第一嵌入式金属迹线612(1)和第二嵌入式金属迹线612(2)。因此,过孔622提供在垂直方向上至少部分地彼此对齐的相应的第一嵌入式金属迹线612(1)与第二嵌入式金属迹线612(2)之间的电路路由路径。在该示例中,双面ETS 604的第一ETS金属化层608(1)是封装基板600的外金属化层。

[0052] 此外,如图6中所示,封装基板600包括层压ETS 602。层压ETS 602包括具有嵌入在第二绝缘层640中的嵌入式金属迹线642的ETS金属化层638,在该示例中,该绝缘层是由介电材料形成的材料层。在该示例中,层压ETS 602的ETS金属化层638是封装基板600的外金属化层。绝缘层640可以使用ETS制造过程由多个层压介电层形成。为了将ETS金属化层638的相应的金属互连件642电耦合到双面ETS 604的第二嵌入式金属迹线612(2),在绝缘层640中形成过孔624(例如,金属柱、金属桩、金属线)。过孔624在垂直方向(Z轴方向)上耦合

到双面ETS 604的至少部分地对齐的嵌入式金属迹线642和第二嵌入式金属迹线612(1)。因此,过孔624提供层压ETS 602与双面ETS 604之间的电路路径。第二阻焊层616(2)被设置在绝缘层640的顶表面644上,以绝缘和保护嵌入式金属迹线642的未从外部连接的部分。在第二阻焊层616(2)中形成第二开口620(2),以暴露要从外部连接的嵌入式金属迹线642。

[0053] 图7是用于IC封装件的另一示例性封装基板700的侧视图,其中该封装基板700是包括由两个外层压ETS 702(1)、702(2)包围的双面ETS 704的4L ETS。双面ETS 704类似于图1和图2中的双面ETS110、以及图4中的双面ETS 404(1)、404(2)。双面ETS 704包括第一ETS金属化层708(1),该第一ETS金属化层包括第一绝缘层710(1),在该示例中,该第一绝缘层是由介电材料形成的材料层。金属迹线712(1)嵌入在第一绝缘层710(1)中。因此,第一金属迹线712(1)也被称为第一“嵌入式”金属迹线712(1)。第一嵌入式金属迹线712(1)在第一绝缘层710(1)中的嵌入形成第一ETS金属化层708(1)中的金属层714(1)。双面ETS 704还包括第二ETS金属化层708(2),该第二ETS金属化层包括第二绝缘层710(2),在该示例中,该第二绝缘层是由介电材料形成的材料层。金属迹线712(2)嵌入在第二绝缘层710(2)中。因此,第二金属迹线712(2)也被称为第二“嵌入式”金属迹线712(2)。第二嵌入式金属迹线712(2)在第二绝缘层710(2)中的嵌入形成第二ETS金属化层708(2)中的金属层714(2)。在该示例中,双面ETS 704在封装基板700内部,其中第一嵌入式金属迹线712(1)和第二嵌入式金属迹线712(2)不在可直接耦合到外部互连件的外金属化层内。

[0054] 为了将相应的第一ETS金属化层708(1)和第二ETS金属化层708(2)的相应的第一嵌入式金属迹线712(1)和第二嵌入式金属迹线712(2)电耦合在一起,以提供来自第一ETS金属化层708(1)和第二ETS金属化层708(2)的电信号路由路径,在第一双面ETS 704中形成过孔722(例如,金属柱、金属桩、金属线)。过孔722设置在第一绝缘层710(1)和第二绝缘层710(2)中。每个过孔722耦合到彼此平行并且在垂直方向(Z轴方向)上至少部分地彼此对齐的相应的第一嵌入式金属迹线712(1)和第二嵌入式金属迹线712(2)。因此,过孔722提供在垂直方向上至少部分地彼此对齐的相应的第一嵌入式金属迹线712(1)与第二嵌入式金属迹线712(2)之间的电路路由路径。

[0055] 此外,如图7中所示,封装基板700包括第一层压ETS 702(1)和第二层压ETS 702(2)。第一层压ETS 702(1)包括具有嵌入在第一绝缘层740(1)中的嵌入式金属迹线742(1)的ETS金属化层738(1),在该示例中,该第一绝缘层是由介电材料形成的材料层。第一绝缘层740(1)可以使用ETS制造过程由多个层压介电层形成。在该示例中,第一层压ETS 702(1)的ETS金属化层738(1)是封装基板700的外金属化层。为了将ETS金属化层738(1)的相应的金属互连件742(1)电耦合到双面ETS 704的第一嵌入式金属迹线712(1),在第一绝缘层740(1)中形成过孔724(1)(例如,金属柱、金属桩、金属线)。过孔724(1)在垂直方向(Z轴方向)上耦合到双面ETS 704的至少部分地对齐的嵌入式金属迹线742(1)和第一嵌入式金属迹线712(1)。因此,过孔724(1)提供第一层压ETS 702(1)与双面ETS 704之间的电路路径。第一阻焊层716(1)被设置在第一绝缘层740(1)的底表面744上,以绝缘和保护嵌入式金属迹线742(1)的未从外部连接的部分。

[0056] 此外,如图7中所示,第二层压ETS 702(2)包括具有嵌入在第二绝缘层740(2)中的嵌入式金属迹线742(2)的ETS金属化层738(2),在该示例中,该第二绝缘层是由介电材料形成的材料层。第二绝缘层740(2)可以使用ETS制造过程由多个层压介电层形成。在该示例

中,第二层压ETS 702(2)的ETS金属化层738(2)是封装基板700的外金属化层。为了将ETS金属化层738(2)的相应的金属互连件742(2)电耦合到双面ETS 704的第二嵌入式金属迹线712(2),在第二绝缘层740(2)中形成过孔724(2)(例如,金属柱、金属桩、金属线)。过孔724(2)在垂直方向(Z轴方向)上耦合到双面ETS 704的至少部分地对齐的嵌入式金属迹线742(2)和第二嵌入式金属迹线712(2)。因此,过孔724(2)提供第二层压ETS 702(2)与双面ETS 704之间的电路路径。第二阻焊层716(2)被设置在第二绝缘层740(2)的顶表面746上,以绝缘和保护嵌入式金属迹线742(2)的未从外部连接的部分。

[0057] 制造过程可被采用以制造封装基板,该封装基板包括双面ETS,包括但不限于分别在图1至图2和图4至图7中的相应封装基板108、400、500、600、700中的双面ETS110、404、504、604、704。就此而言,图8是例示制造可被用作封装基板(包括但不限于图1至图2和图4至图7中的封装基板108、400、500、600、700)的双面ETS的示例性制造过程800的流程图。关于图1和图2中的双面ETS110讨论了图8中的制造过程800,但是注意,图8中的制造过程800也适用于图4至图7中的双面ETS 404、504、604、704的制造。

[0058] 就此而言,如图8中所示,制造过程800的第一步可以是形成第一ETS金属化层112(1)(图8中的框802)。形成第一ETS金属化层112(1)包括形成第一绝缘层200(1)(图8中的框804),以及在第一绝缘层200(1)中嵌入一个或多个第一金属迹线134(1),该一个或多个第一金属迹线134(1)形成第一金属层202(1)(图8中的框806)。制造过程800的下一步可以是形成第二ETS金属化层112(2)(图8中的框808)。形成第二ETS金属化层112(2)包括形成第二绝缘层200(2)(图8中的框810),以及在第二绝缘层200(2)中嵌入一个或多个第二金属迹线134(2),该一个或多个第二金属迹线134(2)形成第二金属层202(2)(图8中的框812)。制造过程800的下一步可以是在垂直方向(Z轴方向)上将第二ETS金属化层112(2)耦合到第一ETS金属化层112(1)(图8中的框814)。制造过程800的下一步可以是形成各自在垂直方向(Z轴方向)上穿过一个或多个第一金属迹线134(1)中的第一金属迹线134(1)、第一绝缘层200(1)、第二绝缘层200(2)和一个或多个第二金属迹线134(2)中的第二金属迹线134(2)的一个或多个垂直互连通路(过孔)(212),以将第一金属迹线134(1)耦合到第二金属迹线134(2)(图8中的框816)。

[0059] 其他制造过程也可被采用以制造封装基板,该封装基板包括双面ETS,包括但不限于分别在图1至图2和图4至图7中的相应封装基板108、400、500、600、700中的双面ETS110、404、504、604、704。就此而言,图9是例示制造被用作双面ETS中的ETS金属化层中的一者的ETS金属化层的示例性制造过程900的流程图。图10A至图10D是在制造将被用作双面ETS中的ETS金属化层之一的ETS金属化层期间的示例性制造阶段1000A-1000D。如图10A至图10D中的示例性制造阶段1000A-1000D中所示的图9中的制造过程900可被用于制造两个毗邻的金属化层,作为制备ETS金属化层的第一工艺的一部分,以在后续过程中彼此耦合以形成双面ETS。图11A至图11C是例示将多个形成的ETS金属化层耦合在一起的示例性后续制造过程1100的流程图。作为制造双面ETS的第二过程,形成穿过相应绝缘层且穿过彼此平行且在垂直方向上彼此至少部分地交叠(即,至少部分地对齐)的经耦合ETS金属化层内的垂直对齐的嵌入式金属迹线的开口,以形成将ETS金属化层内的垂直对齐的嵌入式金属迹线耦合的过孔。图12A至图12E是在图11A至图11C中的后续制造过程1100期间的示例性制造阶段1200A-1200D。

[0060] 如图10A至图10D中的制造阶段1000A-1000D和图10A至图10D中的制造阶段1200A-1200E所示的图9和图11A至图11C中的制造过程900、1100现在将参考图1至图2中的封装基板108中的双面ETS110作为示例来讨论。然而,如图10A至图10D中的制造阶段1000A-1000D中所示的图9中的制造过程900也可被用以制造图4至图7中的双面ETS 404、504、604和704。

[0061] 就此而言,如图10A中的制造阶段1000A所示,制造用于双面ETS的ETS金属化层的制造过程900中的第一示例性步骤是提供载体1002(图9中的框902)。在载体1002上形成作为金属晶种层(例如,铜层)的导电金属层1004(图9中的框902)。在导电金属层1004上层压光致抗蚀剂层的光致抗蚀剂层1006(诸如干蚀抗蚀剂(DFR)层)(图9中的框902),以制备要被图案化成具有开口的光致抗蚀剂层1006,以在ETS金属化层的金属层内形成金属迹线。随后,如图10B中的制造阶段1000B所示,制造过程900的下一步是将掩模施加到光致抗蚀剂层1006,并将通过掩模所暴露的光致抗蚀剂层1006暴露于光(诸如可见光激光),以照射光致抗蚀剂层1006中暴露的光致抗蚀剂材料,以在光致抗蚀剂层1006中形成开口1008(图9中的框904)。掩模被设计成使得在光致抗蚀剂层1006中形成开口1008,其中将存在用于要形成的ETS金属化层的金属迹线。

[0062] 随后,如图10C中的制造阶段1000C所示,制造过程900的下一步是在形成在光致抗蚀剂层1006中的开口1008中设置金属材料,以在开口1008中形成金属迹线134(图9中的框906)。随后,如图10D中的制造阶段1000D所示,制造过程900的下一步是使光致抗蚀剂层1006经受显影剂,该显影剂选择性地将光致抗蚀剂层1006的未经照射部分溶解于显影剂,留下形成在导电金属层1004上的金属迹线134(图9中的框908)。金属迹线134形成导电金属层1004上的金属层202。如以上所讨论的,图9中的制造过程900可被用于将彼此耦合以形成用于封装基板的双面ETS的多个ETS金属化层。

[0063] 如上文所讨论的,图11A至图11C是例示将使用制造过程900形成的金属迹线134的多个形成的金属层202耦合在一起以形成双面ETS的示例性后续制造过程1100的流程图。就此而言,如图12A中的制造阶段1200A所示,制造双面ETS时的步骤是采用使用图9中的制造过程900形成的载体1002(1)、1002(2)的两个结构1202(1)、1202(2),这两个结构包括相应的第一金属层202(1)和第二金属层202(2),其中相应的金属迹线134(1)、134(2)形成在相应的导电金属层1004(1)、1004(2)上,并且各自与介电材料层层压以在第一金属层202(1)和第二金属层202(2)及其金属迹线134(1)、134(2)上形成相应的绝缘层200(1)、200(2)(图11A中的框1102)。将第一金属层202(1)和第二金属层202(2)的金属迹线134(1)、134(2)与绝缘层200(1)、200(2)层压会将金属迹线134(1)、134(2)嵌入在相应的绝缘层200(1)、200(2)中。随后,绝缘层200(1)、200(2)彼此耦合,使得载体1002(1)、1002(2)设置在相应的经耦合结构1202(1)、1202(2)的顶侧1204T和底侧1204B上。

[0064] 随后,如图12B中的制造阶段1200B所示,制造过程1100中的下一步是将载体1002(1)、1002(2)从相应的结构1202(1)、1202(2)分离,使得相应的ETS金属化层112(1)、112(2)保留并作为双面ETS110的一部分彼此耦合(图11A中的框1104)。随后,还如图12B中的制造阶段1200B所示,为了制备ETS金属化层112(1)、112(2)以使在垂直方向(Z轴方向)上彼此垂直对齐的特定嵌入式金属迹线134(1)、134(2)耦合在一起,在垂直方向(Z轴方向)上穿过所选的且相应垂直对齐的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)以及相应的ETS金属化层112(1)、112(2)的绝缘层200(1)、200(2)钻出开口1206(1)-1206(4)(图

11A中的框1104)。嵌入式金属迹线134(1)、134(2)彼此平行并且在垂直方向(Z轴方向)上至少部分地彼此重叠。此钻孔允许稍后在开口1206(1)-1206(4)中形成的过孔212与待彼此耦合的相应垂直对齐的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)自对齐。例如,可通过激光钻孔来钻孔开口1206(1)-1206(4),其中将激光引导朝向双面ETS110并与待彼此耦合的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)垂直对齐。

[0065] 随后,如图12C中的制造阶段1200C所示,制造过程1100的下一步是在开口1206(1)-1206(4)中设置金属材料以形成过孔212,该过孔在相应的ETS金属化层112(1)、112(2)中将所选的且相应垂直对齐的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)耦合在一起(图11B中的框1106)。过孔212可以通过在开口1206(1)-1206(4)中提供金属镀敷来形成。随后,如图12D中的制造阶段1200D所示,制造过程1100的下一步是从双面ETS110移除导电金属层1004(1)、1004(2)(图11B中的框1108)。例如,导电金属层1004(1)、1004(2)可从双面ETS110蚀刻掉。作为示例,导电金属层1004(1)、1004(2)可通过湿式或干式蚀刻工艺来蚀刻。然后,如图12E的制造阶段1200E所示,制造过程1100中的下一步是在相应的第一金属层202(1)和第二金属层202(2)上形成第一阻焊层206(1)和第二阻焊层206(2),以及在第一阻焊层206(1)和第二阻焊层206(2)中形成用于相应的第一嵌入式金属迹线134(1)和第二嵌入式金属迹线134(2)的第一开口208(1)和第二开口208(8),该第一嵌入式金属迹线和第二嵌入式金属迹线被暴露以能够从双面ETS110外部耦合到作为所形成的封装基板108的一部分的其他互连件(图11C中的框1110)。第一阻焊层206(1)和第二阻焊层206(2)的外表面可被进一步处理,诸如抛光,以完成封装基板108。

[0066] 采用根据图8至图12E中的示例性制造过程中的任一者的且根据本文所公开的任何方面的具有双面ETS的封装基板(包括但不限于图2和图4至图7中的封装基板)的IC封装件可以在不同类型的IC封装件中被采用。例如,如图1中所示,双面ETS可以被提供在POP封装上,该POP封装包括第一管芯封装件中的应用处理器和第二管芯封装件中的存储器设备,其中管芯封装件通过双面ETS耦合在一起。作为示例,采用具有双面ETS的封装基板的IC封装件可以与电子设备、IC设备、IC封装件、POP、系统级封装(SoP)和片上系统(SoC)中的任一者集成。

[0067] 采用具有双面ETS的封装基板(包括但不限于图2和图4至图7中且根据图8至图12E中的示例性制造工艺中的任一者且根据本文所公开的任何方面的封装基板)的IC封装件可以被提供在或被集成到任何基于处理器的设备中。不作为限定的示例包括:机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、全球定位系统(GPS)设备、移动电话、蜂窝电话、智能电话、会话发起协议(SIP)电话、平板电脑、平板手机、服务器、计算机、便携式计算机、移动计算设备、膝上型计算机、可穿戴计算设备(例如,智能手表、健康或健身跟踪器、眼镜,等等)、台式计算机、个人数字助理(PDA)、监测器、计算机监测器、电视机、调谐器、收音机、卫星收音机、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频光盘(DVD)播放器、便携式数字视频播放器、机动车、交通工具组件、航空电子系统、无人机、以及多旋翼飞行器。

[0068] 就此而言,图13例示了基于处理器的系统1300的示例,该系统包括可在包括管芯的一个或多个IC封装件1302(1)-1302(5)中提供的电路。IC封装件1302(1)-1302(5)采用具有双面ETS的封装基板,包括但不限于图2和图4至图7中且根据图8至图12E中的示例性制造

过程中的任一者且根据本文所公开的任何方面(的基板。在该示例中,基于处理器的系统1300可被形成IC封装件1302中的IC 1304并且被形成片上系统(SoC)1306。基于处理器的系统1300包括中央处理单元(CPU)1308,该CPU包括一个或多个处理器1310,这些处理器还可被称为CPU核或处理器核。CPU 1308可具有耦合到CPU 1308以用于对临时存储的数据进行快速存取的高速缓存存储器1312。CPU 1308耦合到系统总线1314,并且可将被包括在基于处理器的系统1300中的主设备和从设备相互耦合。如众所周知的,CPU 1308通过在系统总线1314上交换地址、控制和数据信息来与这些其他设备通信。例如,CPU 1308可向作为从设备的示例的存储器控制器1316传达总线事务请求。尽管在图13中未例示,但可提供多个系统总线1314,其中每个系统总线1314构成不同的结构。

[0069] 其他主设备和从设备可被连接到系统总线1314。如图13所例示的,作为示例,这些设备可包括存储器系统1320(其包括存储器控制器1316和存储器阵列1318)、一个或多个输入设备1322、一个或多个输出设备1324、一个或多个网络接口设备1326、以及一个或多个显示控制器1328。存储器系统1320、一个或多个输入设备1322、一个或多个输出设备1324、一个或多个网络接口设备1326、以及一个或多个显示控制器1328中的每一者可被提供在相同或不同的IC封装件1302中。输入设备1322可包括任何类型的输入设备,包括但不限于输入键、开关、语音处理器等。输出设备1324可包括任何类型的输出设备,包括但不限于音频、视频、其他视觉指示器等。网络接口设备1326可以是配置成允许往来于网络1330的数据交换的任何设备。网络1330可以是任何类型的网络,包括但不限于有线或无线网络、私有或公共网络、局域网(LAN)、无线局域网(WLAN)、广域网(WAN)、BLUETOOTH™网络、以及因特网。网络接口设备1326可被配置成支持所期望的任何类型的通信协议。

[0070] CPU 1308还可被配置成通过系统总线1314访问显示控制器1328以控制发送给一个或多个显示器1332的信息。显示控制器1328经由一个或多个视频处理器1334向显示器1332发送要显示的信息,该视频处理器将要显示的信息处理成适于显示器1332的格式。作为示例,显示控制器1328和视频处理器1334可被包括以作为相同或不同IC封装件1302中、以及包含CPU 1308的相同或不同IC封装件1302中的IC。显示器1332可包括任何类型的显示器,包括但不限于阴极射线管(CRT)、液晶显示器(LCD)、等离子显示器、发光二极管(LED)显示器等。

[0071] 图14例示了包括由一个或多个IC 1402形成的射频(RF)组件的示例性无线通信设备1400,其中这些IC 1402中的任一者可被包括在IC封装件1403中,该IC封装件包括管芯,并且采用具有双面ETS的封装基板,包括但不限于图2和图4至图7中且根据图8至图12E中的示例性制造过程中的任一者且根据本文所公开的任何方面的基板。IC封装件1403采用补充金属层,该补充金属层具有耦合到封装基板的管芯侧ETS金属化层内的嵌入式金属迹线的附加金属互连件,以避免或减少管芯侧ETS金属化层与该封装基板中的另一(另一些)金属化层之间的金属密度失配,包括但不限于图3A至图6B和图9A至图9I中且根据图7至图8E中的示例性制造过程且根据本文所公开的任何方面的封装基板。作为示例,无线通信设备1400可包括或被提供在任何上述设备中。如图14所示,无线通信设备1400包括收发器1404和数据处理器1406。数据处理器1406可包括存储器以存储数据和程序代码。收发器1404包括支持双向通信的传输器1408和接收器1410。一般而言,无线通信设备1400可包括用于任何数目的通信系统和频带的任何数目的传输器1408和/或接收器1410。收发器1404的全部

或一部分可被实现在一个或多个模拟IC、RF IC(RFIC)、混合信号IC等上。

[0072] 可利用超外差式架构或直接变频式架构来实现传输器1408或接收器1410。在超外差式架构中,信号在RF与基带之间多级变频,例如对于接收器1410而言,在一级中从RF到中频(IF),然后在另一级中从IF到基带。在直接变频式架构中,信号在一级中在RF和基带之间变频。超外差式以及直接变频式架构可以使用不同的电路块和/或具有不同的要求。在图14中的无线通信设备1400中,传输器1408和接收器1410是利用直接变频式架构来实现的。

[0073] 在传输路径中,数据处理器1406处理要被传输的数据并且向传输器1408提供I和Q模拟输出信号。在示例性无线通信设备1400中,数据处理器1406包括数模转换器(DAC)1412(1)、1412(2)以将由数据处理器1406生成的数字信号转换成I和Q模拟输出信号(例如,I和Q输出电流)以供进一步处理。

[0074] 在传输器1408内,低通滤波器1414(1)、1414(2)分别对I和Q模拟输出信号进行滤波以移除由在前的数模转换引起的不期望信号。放大器(AMP)1416(1)、1416(2)分别放大来自低通滤波器1414(1)、1414(2)的信号并且提供I和Q基频信号。上变频器1418通过混频器1420(1)、1420(2)利用来自传输(TX)本地振荡器(LO)信号发生器1422的I和Q TX LO信号来上变频I和Q基带信号,以提供经上变频信号1424。滤波器1426对经上变频信号1424进行滤波以移除由上变频引起的不期望信号以及接收频带中的噪声。功率放大器(PA)1428放大来自滤波器1426的经上变频信号1424,以获得期望输出功率水平并且提供传输RF信号。传输RF信号被路由经过双工器或开关1430并且经由天线1432被传输。

[0075] 在接收路径中,天线1432接收由基站传输的信号并且提供接收到的RF信号,该接收到的RF信号被路由经过双工器或开关1430并且被提供给低噪声放大器(LNA)1434。双工器或开关1430被设计成利用特定的接收(RX)与TX双工器频率分隔来操作,使得RX信号与TX信号隔离。接收到的RF信号由LNA 1434放大并且由滤波器1436滤波,以获得期望RF输入信号。下变频混频器1438(1)、1438(2)将滤波器1436的输出与来自RX LO信号发生器1440的I和Q RX LO信号(即,LO_I和LO_Q)进行混频以生成I和Q基带信号。I和Q基带信号由AMP 1442(1)、1442(2)放大并且进一步由低通滤波器1444(1)、1444(2)滤波以获得I和Q模拟输入信号,该I和Q模拟输入信号被提供给数据处理器1406。在该示例中,数据处理器1406包括模数转换器(ADC)1446(1)、1446(2)以将模拟输入信号转换成要进一步由数据处理器1406处理的数字信号。

[0076] 在图14的无线通信设备1400中,TX LO信号发生器1422生成用于上变频的I和Q TX LO信号,而RX LO信号发生器1440生成用于下变频的I和Q RX Lo信号。每个LO信号是具有特定基频的周期性信号。TX锁相环路(PLL)电路1448从数据处理器1406接收定时信息,并且生成用于调整来自TX LO信号发生器1422的TX LO信号的频率和/或相位的控制信号。类似地,RX PLL电路1450从数据处理器1406接收定时信息,并且生成用于调整来自RX LO信号发生器1440的RX LO信号的频率和/或相位的控制信号。

[0077] 本领域技术人员将进一步领会,结合本文所公开的诸方面描述的各种例示性逻辑框、模块、电路和算法可被实现为电子硬件、存储在存储器中或另一计算机可读介质中并由处理器或其他处理设备执行的指令、或这两者的组合。本文中所公开的存储器可以是任何类型和大小的存储器,并且可被配置为存储所期望的任何类型的信息。为了清楚地例示这种互换性,上文围绕各种例示性的组件、框、模块、电路和步骤的功能,已经对它们进行了一

般性描述。此类功能性如何被实现取决于具体应用、设计选择、和/或加诸于整体系统上的设计约束。本领域技术人员可以针对每个特定应用以不同的方式实施所描述的功能性,但是此类具体实施决策不应被解释为导致背离本公开的范围。

[0078] 结合本文中所公开的各方面描述的各种例示性逻辑框、模块、以及电路可用被设计成执行本文所描述的功能的处理器、数字信号处理器 (DSP)、专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 或其他可编程逻辑设备、分立的门或晶体管逻辑部件、分立的硬件组件、或其任何组合来实现或执行。处理器可以是微处理器,但在替换方案中,处理器可以是任何常规处理器、控制器、微控制器或状态机。处理器还可以被实现为计算设备的组合 (例如 DSP 与微处理器的组合、多个微处理器、与 DSP 内核协作的一个或多个微处理器、或任何其他此类配置)。

[0079] 本文中所公开的各方面可被实施在硬件和存储在硬件中的指令中,并且可驻留在例如随机存取存储器 (RAM)、闪存、只读存储器 (ROM)、电可编程 ROM (EPROM)、电可擦可编程 ROM (EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其他形式的计算机可读介质中。示例性的存储介质耦接到处理器,从而使处理器能够从该存储介质读取信息以及向该存储介质写入信息。在另选方案中,存储介质可与处理器成一体。处理器和存储介质可以驻留在 ASIC 中。ASIC 可驻留在远程站中。在替换方案中,处理器和存储介质可作为分立组件驻留在远程站、基站或服务器中。

[0080] 还注意到,本文任何示例性方面中所描述的操作步骤是为了提供示例和讨论而被描述的。所描述的操作可按除了例示的顺序之外的众多不同顺序来执行。此外,在单个操作步骤中描述的操作实际上可在多个不同步骤中执行。另外,可组合示例性方面中讨论的一个或多个操作步骤。将理解,如对本领域技术人员将显而易见的,可对在流程图中例示的操作步骤进行众多不同的修改。本领域技术人员将同样理解,可使用多种不同的技术和工艺中的任何一种来表示信息和信号。例如,可以在遍及上文的描述中提及的数据、指令、命令、信息、信号、比特、码元和码片可以通过电压、电流、电磁波、磁场或粒子、光场或粒子或者它们的任何组合来表示。

[0081] 提供本公开的先前描述以使本领域的任何技术人员能够制作或使用本公开。对本公开的各种修改对于本领域技术人员将是显而易见的,并且本文中所定义的普适原理可被应用于其他变形。因此,本公开内容不旨在受限于本文描述的示例和设计,而是要符合与本文所公开的原则和新颖性特征相一致的最宽的范围。

[0082] 在以下经编号条款中描述了具体实施示例:

[0083] 1. 一种集成电路 (IC) 封装件,所述集成电路 (IC) 封装件包括:

[0084] 封装基板,所述封装基板包括:

[0085] 双面嵌入式迹线基板 (ETS),所述双面嵌入式迹线基板 (ETS) 包括:

[0086] 第一金属化层,所述第一金属化层包括:

[0087] 第一绝缘层;和

[0088] 第一金属层,所述第一金属层包括嵌入在所述第一绝缘层内的一个或多个第一金属迹线;和

[0089] 在垂直方向上耦合到所述第一金属化层的第二金属化层,所述第二金属化层包括:

[0090] 第二绝缘层;和

[0091] 第二金属层,所述第二金属层包括嵌入在所述第二绝缘层内的一个或多个第二金属迹线;和

[0092] 各自设置在所述第一绝缘层和所述第二绝缘层内的一个或多个垂直互连通路(过孔),所述一个或多个过孔各自耦合到所述一个或多个第一金属迹线中的第一金属迹线以及所述一个或多个第二金属迹线中的第二金属迹线。

[0093] 2.根据条款1所述的IC封装件,其中所述第一绝缘层在垂直方向上耦合到所述第二绝缘层。

[0094] 3.根据条款1至2中任一项所述的IC封装件,其中:

[0095] 所述第一金属化层包括第一外金属化层,其中所述一个或多个第一金属迹线各自被配置成耦合到一个或多个第一外部互连件;并且

[0096] 所述第二金属化层包括第二外金属化层,其中所述一个或多个第二金属迹线各自被配置成耦合到一个或多个第二外部互连件。

[0097] 4.根据条款3所述的IC封装件,所述IC封装件还包括:

[0098] 第一管芯,所述第一管芯包括具有所述一个或多个第一外部互连件的一个或多个第一管芯互连件,所述一个或多个第一管芯互连件中的每个第一管芯互连件耦合到所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线;

[0099] 其中:

[0100] 所述一个或多个第二外部互连件各自耦合到所述第二金属化层的所述第二金属层内的所述一个或多个第二金属迹线中的第二金属迹线。

[0101] 5.根据条款1至4中任一项所述的IC封装件,所述IC封装件还包括:

[0102] 耦合到所述双面ETS的第一管芯;

[0103] 其中所述第一管芯包括各自耦合到所述封装基板的所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线的一个或多个第一管芯互连件。

[0104] 6.根据条款1至4中任一项所述的IC封装件,其中:

[0105] 所述封装基板还包括第二基板;并且

[0106] 所述双面ETS包括中介体基板,并且

[0107] 所述IC封装件还包括:

[0108] 第一管芯封装件,所述第一管芯封装件包括耦合到所述第二基板的第一管芯;

[0109] 其中:

[0110] 所述第一管芯封装件设置在所述中介体基板与所述第二基板之间;并且

[0111] 所述第一管芯包括各自将所述中介体基板的所述第二金属化层内的所述一个或多个第二金属迹线中的第二金属迹线耦合到所述第二基板的一个或多个第一垂直互连件。

[0112] 7.根据条款6所述的IC封装件,所述IC封装件还包括具有第二管芯的第二管芯封装件,并且其中:

[0113] 所述中介体基板在所述垂直方向上设置在所述第二管芯封装件与所述第一管芯封装件之间;并且

[0114] 所述第二管芯包括各自耦合到所述中介体基板的所述第一金属化层的所述第一

金属层内的所述一个或多个第一金属迹线中的第一金属迹线的一个或多个第二管芯互连件。

[0115] 8. 根据条款1至4中任一项所述的IC封装件,其中所述封装基板还包括第二双面ETS,所述第二双面ETS包括:

[0116] 第三金属化层,所述第三金属化层包括:

[0117] 第三绝缘层;和

[0118] 第三金属层,所述第三金属层包括嵌入在所述第三绝缘层内的一个或多个第三金属迹线,所述第三金属层毗邻于所述双面ETS的所述第二金属化层的所述第二金属层;和

[0119] 在所述垂直方向上耦合到所述第三金属化层的第四金属化层,所述第四金属化层包括:

[0120] 第四绝缘层;和

[0121] 第四金属层,所述第四金属层包括嵌入在所述第四绝缘层内的一个或多个第四金属迹线;和

[0122] 各自设置在所述第三绝缘层和所述第四绝缘层内的一个或多个第二过孔,所述一个或多个第二过孔各自耦合到所述一个或多个第三金属迹线中的第三金属迹线以及所述一个或多个第四金属迹线中的第四金属迹线。

[0123] 9. 根据条款8所述的IC封装件,所述IC封装件还包括:各自耦合到所述第二金属化层内的所述一个或多个第二金属迹线中的第二金属迹线以及所述第三金属化层内的所述一个或多个第三金属迹线中的第三金属迹线的一个或多个第三过孔。

[0124] 10. 根据条款8所述的IC封装件,所述IC封装件还包括:各自延伸穿过所述双面ETS和所述第二双面ETS以将所述第一金属化层、所述第二金属化层、所述第三金属化层和所述第四金属化层耦合在一起的一个或多个第三过孔。

[0125] 11. 根据条款8至10中任一项所述的IC封装件,所述IC封装件还包括:在所述垂直方向上设置在所述双面ETS与所述第二双面ETS之间的芯基板。

[0126] 12. 根据条款1至5和8至11中任一项所述的IC封装件,其中所述封装基板还包括:

[0127] 耦合到双面ETS的层压基板,所述层压基板包括:

[0128] 第三绝缘层;

[0129] 耦合到所述第三绝缘层的第三金属层,所述第三金属层包括一个或多个第三金属互连件;和

[0130] 各自设置在所述第三绝缘层内的一个或多个第二过孔,所述一个或多个第二过孔各自耦合到所述一个或多个第三金属互连件中的第三金属互连件;

[0131] 其中:

[0132] 所述一个或多个第二过孔中的每个第二过孔耦合到所述双面ETS的所述第二金属化层的所述第二金属层内的所述一个或多个第二金属迹线中的第二金属迹线。

[0133] 13. 根据条款1至5中任一项所述的IC封装件,其中所述封装基板还包括:

[0134] 在所述垂直方向上毗邻于双面ETS的第二基板,所述第二基板包括:

[0135] 第三金属化层,所述第三金属化层包括:

[0136] 第三绝缘层;和

[0137] 第三金属层,所述第三金属层包括嵌入在所述第三绝缘层内的一个或多个第三金

属迹线;

[0138] 其中:

[0139] 所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的至少一个第一金属迹线耦合到所述第三金属化层的所述第三金属层内的所述一个或多个第三金属迹线中的至少一个第三金属迹线。

[0140] 14. 根据权利要求13所述的IC封装件, 其中所述封装基板还包括:

[0141] 第三基板, 所述第三基板包括:

[0142] 第四金属化层, 所述第四金属化层包括:

[0143] 第四绝缘层; 和

[0144] 第四金属层, 所述第四金属层包括嵌入在所述第四绝缘层内的一个或多个第四金属迹线; 和

[0145] 双面ETS, 所述双面ETS在所述垂直方向上设置在所述第二基板与所述第三基板之间, 使得所述双面ETS的所述第一金属化层毗邻于所述第二基板并且所述双面ETS的第二金属化层毗邻于所述第三基板;

[0146] 其中:

[0147] 所述第二金属化层的所述第二金属层内的所述一个或多个第二金属迹线中的至少一个第二金属迹线耦合到所述第四金属化层的所述第四金属层内的所述一个或多个第四金属迹线中的至少一个第四金属迹线。

[0148] 15. 根据条款1至14中任一项所述的IC封装件, 所述IC封装件集成到选自以下项组成的组的设备中: 机顶盒; 娱乐单元; 导航设备; 通信设备; 固定位置数据单元; 移动位置数据单元; 全球定位系统 (GPS) 设备; 移动电话; 蜂窝电话; 智能电话; 会话发起协议 (SIP) 电话; 平板电脑; 平板手机; 服务器; 计算机; 便携式计算机; 移动计算设备; 可穿戴计算设备; 台式计算机; 个人数字助理 (PDA); 监测器; 计算机监测器; 电视; 调谐器; 收音机; 卫星收音机; 音乐播放器; 数字音乐播放器; 便携式音乐播放器; 数字视频播放器; 视频播放器; 数字视频光盘 (DVD) 播放器; 便携式数字视频播放器; 机动车; 交通工具组件; 航空电子系统; 无人机; 以及多旋翼飞行器。

[0149] 16. 一种制造用于集成电路 (IC) 封装件的封装基板的方法, 所述方法包括: 形成双面嵌入式迹线基板 (ETS), 所述形成双面嵌入式迹线基板 (ETS) 包括:

[0150] 形成第一金属化层, 所述形成第一金属化层包括:

[0151] 形成第一绝缘层; 以及

[0152] 将一个或多个第一金属迹线嵌入在所述第一绝缘层内, 所述一个或多个第一金属迹线形成第一金属层; 以及

[0153] 形成第二金属化层, 所述形成第二金属化层包括:

[0154] 形成第二绝缘层; 以及

[0155] 将一个或多个第二金属迹线嵌入在所述第二绝缘层内, 所述一个或多个第二金属迹线形成第二金属层; 以及

[0156] 在垂直方向上将所述第二金属化层耦合到所述第一金属化层; 以及

[0157] 形成各自在所述垂直方向上穿过所述一个或多个第一金属迹线中的第一金属迹线、所述第一绝缘层、所述第二绝缘层以及所述一个或多个第二金属迹线中的第二金属迹

线的一个或多个垂直互连通路(过孔),以将所述第一金属迹线耦合到所述第二金属迹线。

[0158] 17.根据条款16所述的方法,其中在所述垂直方向上将所述第二金属化层耦合到所述第一金属化层会在所述垂直方向上将所述第一绝缘层耦合到所述第二绝缘层。

[0159] 18.根据条款16至17中任一项所述的方法,所述方法还包括:

[0160] 提供第一管芯,所述第一管芯包括一个或多个第一管芯互连件;以及

[0161] 耦合所述一个或多个第一管芯互连件中的每个第一管芯互连件,所述一个或多个第一管芯互连件中的每个第一管芯互连件耦合到所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线。

[0162] 19.根据条款16至18中任一项所述的方法,所述方法还包括:将一个或多个第二外部互连件中的第二外部互连件耦合到所述第二金属化层的所述第二金属层内的所述一个或多个第二金属迹线中的每个第二金属迹线。

[0163] 20.根据条款16至18中任一项所述的方法,所述方法还包括:

[0164] 提供第二基板;

[0165] 在所述双面ETS与所述第二基板之间设置第一管芯封装件,所述第一管芯封装件包括第一管芯和一个或多个第一垂直互连件;

[0166] 将所述第一管芯耦合到所述第二基板;

[0167] 将所述一个或多个第一垂直互连件中的每个第一垂直互连件耦合到所述第二金属化层内的所述一个或多个第二金属迹线中的第二金属迹线,到达所述第二基板。

[0168] 21.根据条款20所述的方法,所述方法还包括:

[0169] 提供第二管芯封装件,所述第二管芯封装件包括具有一个或多个第二管芯互连件的第二管芯;

[0170] 在所述垂直方向上在所述第二管芯封装件与所述第一管芯封装件之间设置所述双面ETS;以及

[0171] 耦合所述一个或多个第二管芯互连件中的每个第二管芯互连件,所述一个或多个第二管芯互连件各自耦合到所述双面ETS的所述第一金属化层的所述第一金属层内的所述一个或多个第一金属迹线中的第一金属迹线。

[0172] 22.根据条款16至21中任一项的方法,其中:

[0173] 形成所述第一金属化层还包括:

[0174] 在第一载体上形成第一导电金属层;

[0175] 在所述第一导电金属层上形成第一光致抗蚀剂层;

[0176] 在所述第一光致抗蚀剂层内形成多个第一开口;以及

[0177] 在所述多个第一开口中设置第一金属材料以形成所述一个或多个第一金属迹线;并且

[0178] 形成所述第二金属化层还包括:

[0179] 在第二载体上形成第二导电金属层;

[0180] 在所述第二导电金属层上形成第二光致抗蚀剂层;

[0181] 在所述第二光致抗蚀剂层内形成多个第二开口;以及

[0182] 在所述多个第二开口中设置第二金属材料以形成所述一个或多个第二金属迹线。

[0183] 23.根据条款22所述的方法,其中:

- [0184] 形成所述第一绝缘层包括在所述一个或多个第一金属迹线上层压第一介电材料；并且
- [0185] 形成所述第二绝缘层包括在所述一个或多个第二金属迹线上层压第二介电材料。
- [0186] 24. 根据条款23所述的方法，所述方法还包括：
- [0187] 将所述第一载体从所述第一导电金属层分离；以及
- [0188] 将所述第二载体从所述第二导电金属层分离。
- [0189] 25. 根据条款24所述的方法，其中形成所述一个或多个过孔包括：
- [0190] 形成各自在所述垂直方向上穿过所述一个或多个第一金属迹线中的所述第一金属迹线和所述一个或多个第二金属迹线中在所述垂直方向上与所述第一金属迹线至少部分地垂直对齐的所述第二金属迹线的一个或多个开口；以及
- [0191] 在所述一个或多个开口中设置金属材料以形成所述一个或多个过孔，所述一个或多个过孔中的每个过孔将所述一个或多个第一金属迹线中的所述第一金属迹线耦合到所述一个或多个第二金属迹线中的所述第二金属迹线。
- [0192] 26. 根据条款24至25中任一项所述的方法，所述方法还包括：
- [0193] 从所述第一金属化层移除所述第一导电金属层；以及
- [0194] 从所述第二金属化层移除所述第二导电金属层。
- [0195] 27. 根据条款16所述的方法，其中形成所述一个或多个过孔包括：
- [0196] 形成各自在所述垂直方向上穿过所述一个或多个第一金属迹线中的所述第一金属迹线和所述一个或多个第二金属迹线中在所述垂直方向上与所述第一金属迹线至少部分地垂直对齐的所述第二金属迹线的一个或多个开口；以及
- [0197] 在所述一个或多个开口中设置金属材料以形成所述一个或多个过孔，所述一个或多个过孔中的每个过孔将所述一个或多个第一金属迹线中的所述第一金属迹线耦合到所述一个或多个第二金属迹线中的所述第二金属迹线。
- [0198] 28. 根据条款27所述的方法，其中形成所述一个或多个开口包括：在所述垂直方向上穿过所述一个或多个第一金属迹线中的所述第一金属迹线和所述一个或多个第二金属迹线中在所述垂直方向上与所述第一金属迹线至少部分地垂直对齐的所述第二金属迹线钻出所述一个或多个开口。
- [0199] 29. 根据条款28所述的方法，其中钻出所述一个或多个开口包括：在所述垂直方向上穿过所述一个或多个第一金属迹线中的所述第一金属迹线和所述一个或多个第二金属迹线中在所述垂直方向上与所述第一金属迹线至少部分地垂直对齐的所述第二金属迹线激光钻出所述一个或多个开口。
- [0200] 30. 根据条款16至29中任一项所述的方法，所述方法还包括：
- [0201] 在所述第一金属化层上形成第一阻焊层；以及
- [0202] 在所述第二金属化层上形成第二阻焊层。
- [0203] 31. 根据条款30所述的方法，所述方法还包括：
- [0204] 在所述第一阻焊层内形成一个或多个第一开口以暴露所述一个或多个第一金属迹线；以及
- [0205] 在所述第二阻焊层内形成一个或多个第二开口以暴露所述一个或多个第二金属迹线。

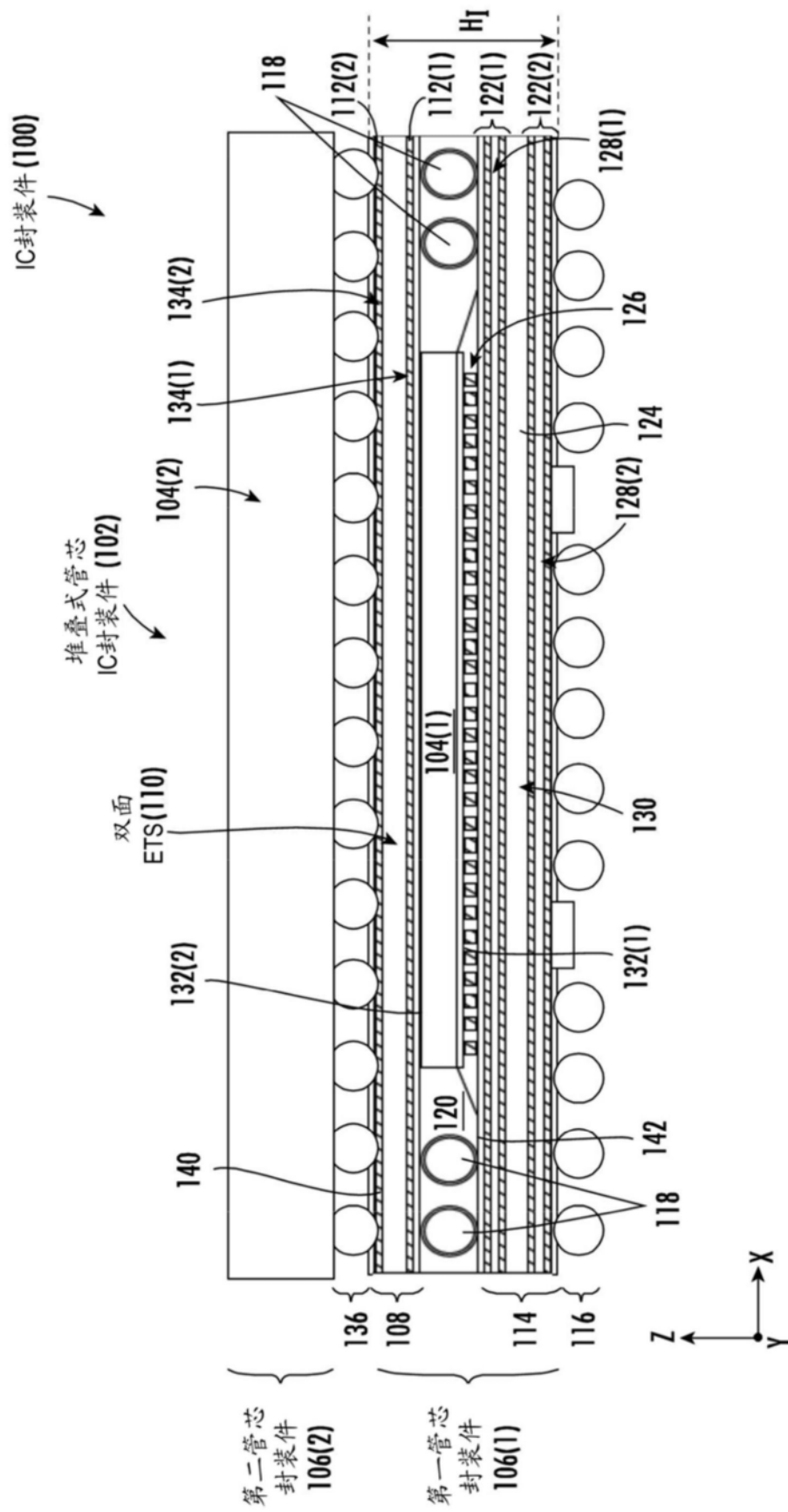


图1

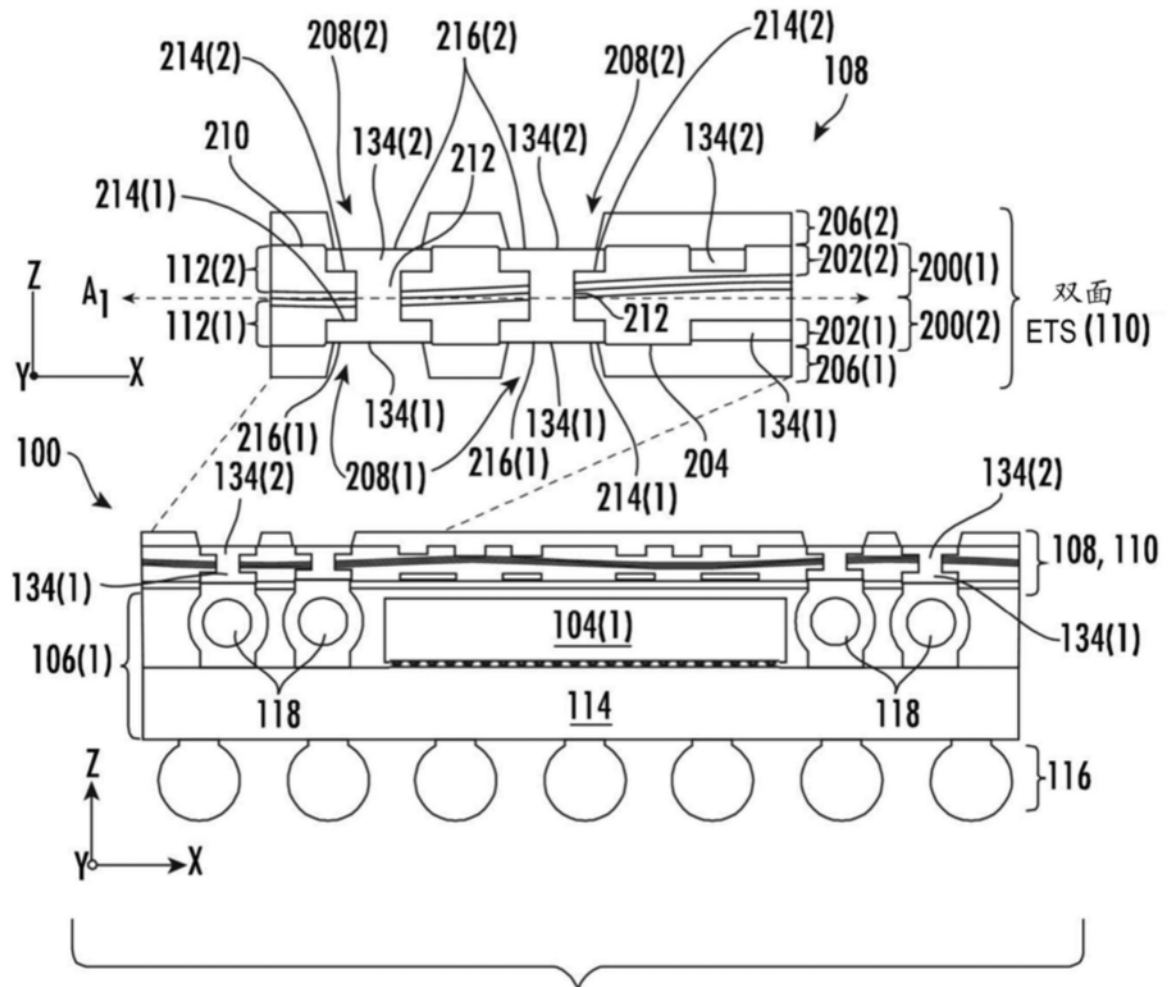


图2

图2

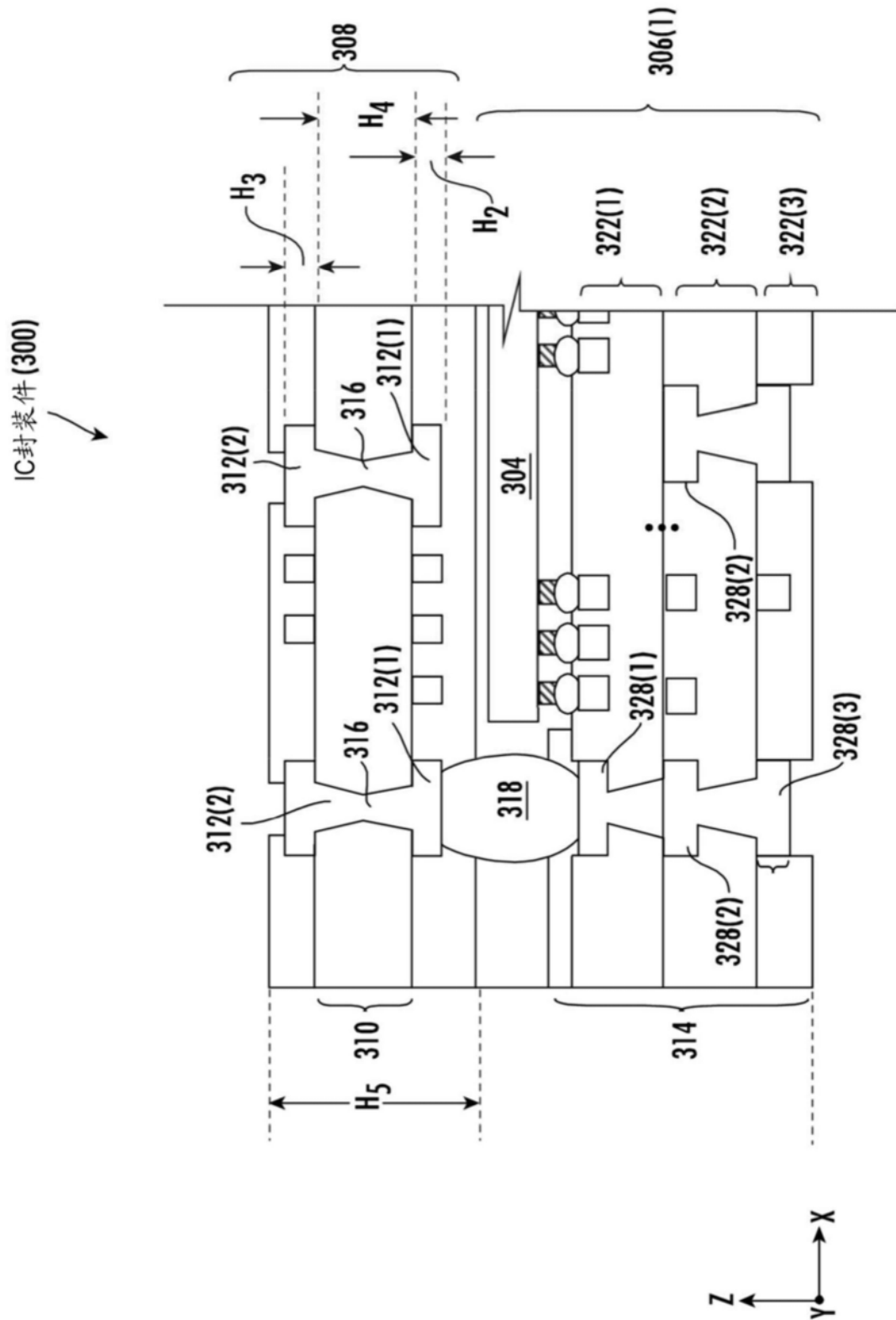


图3

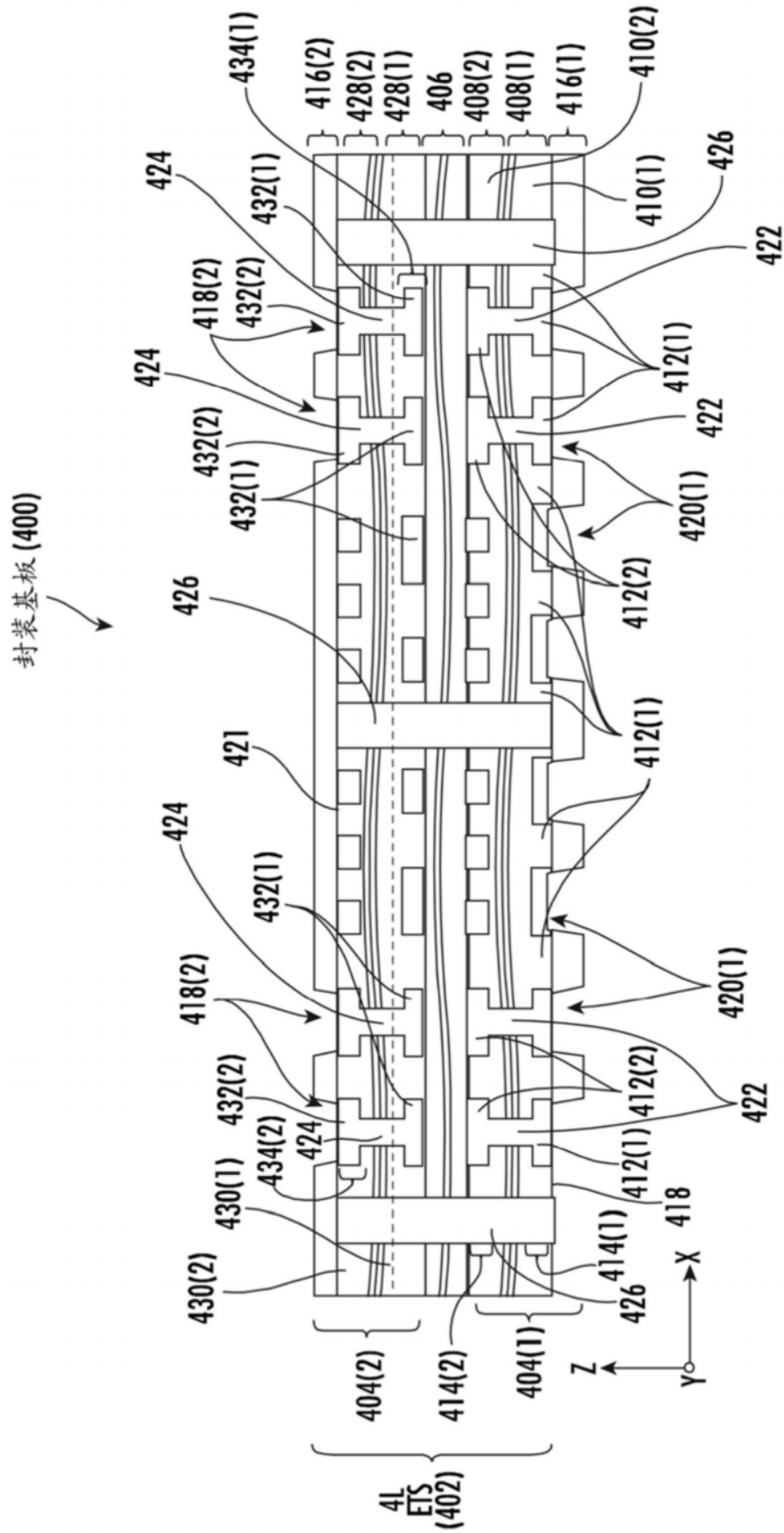


图4

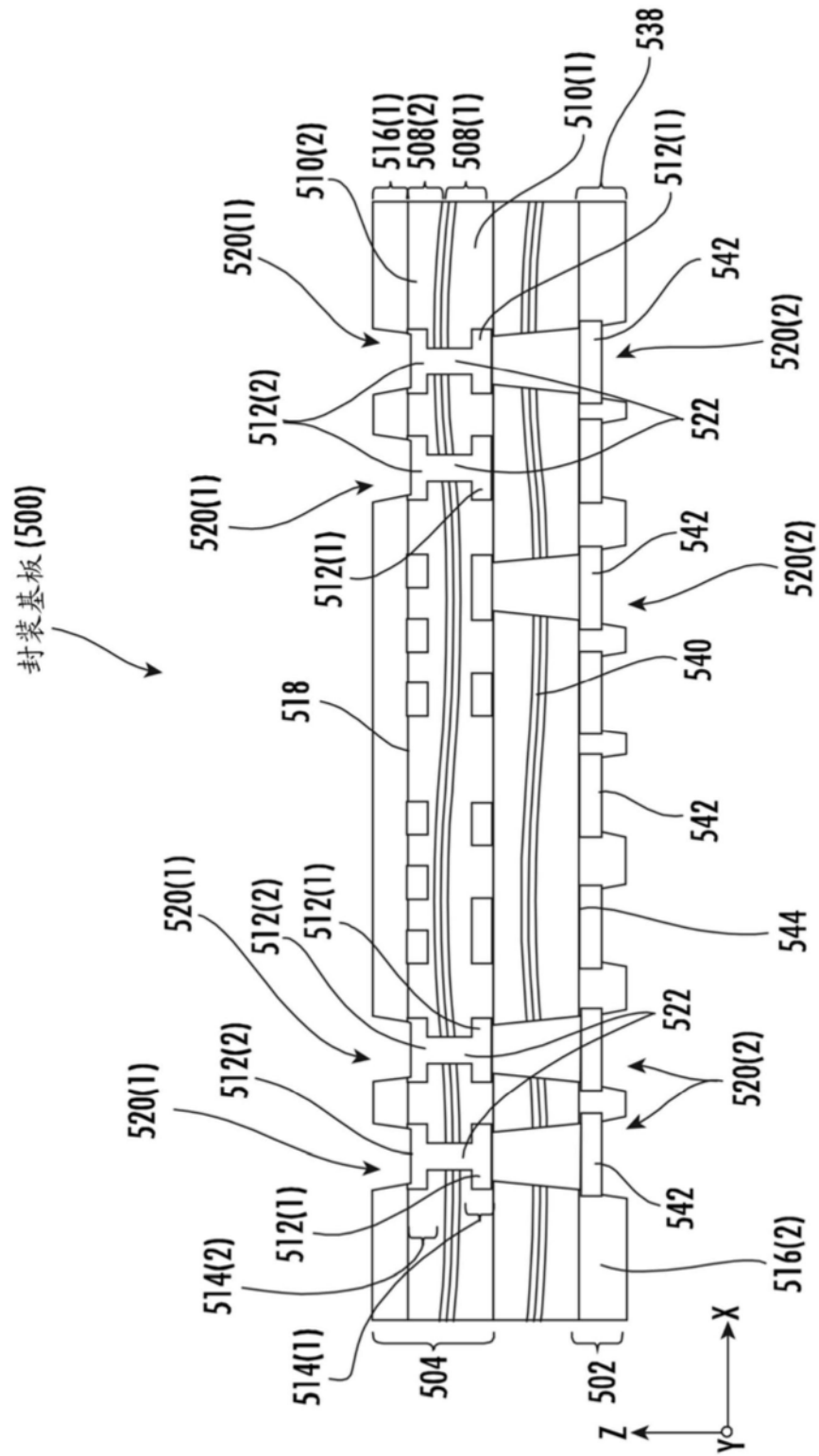


图5

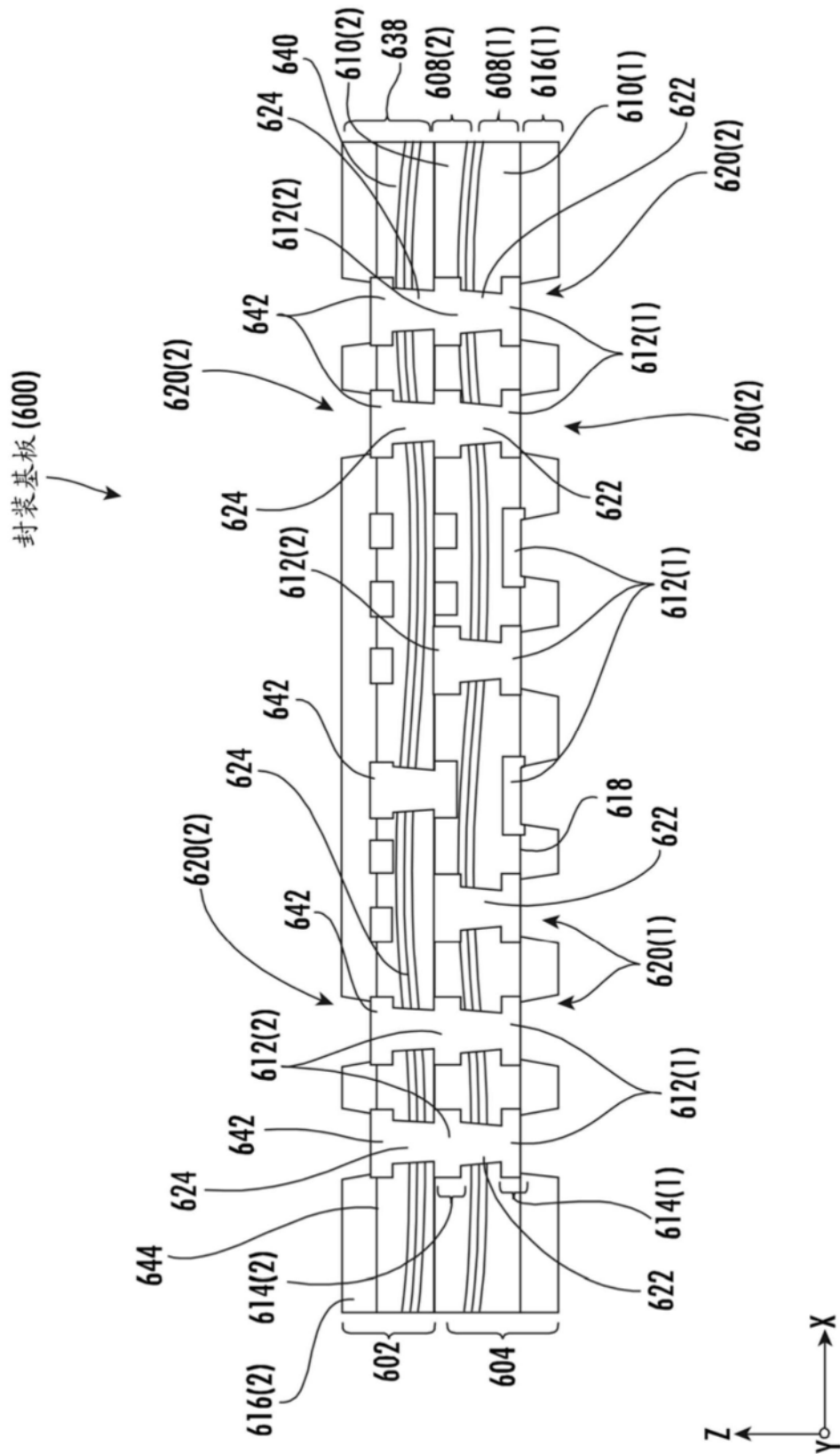


图6

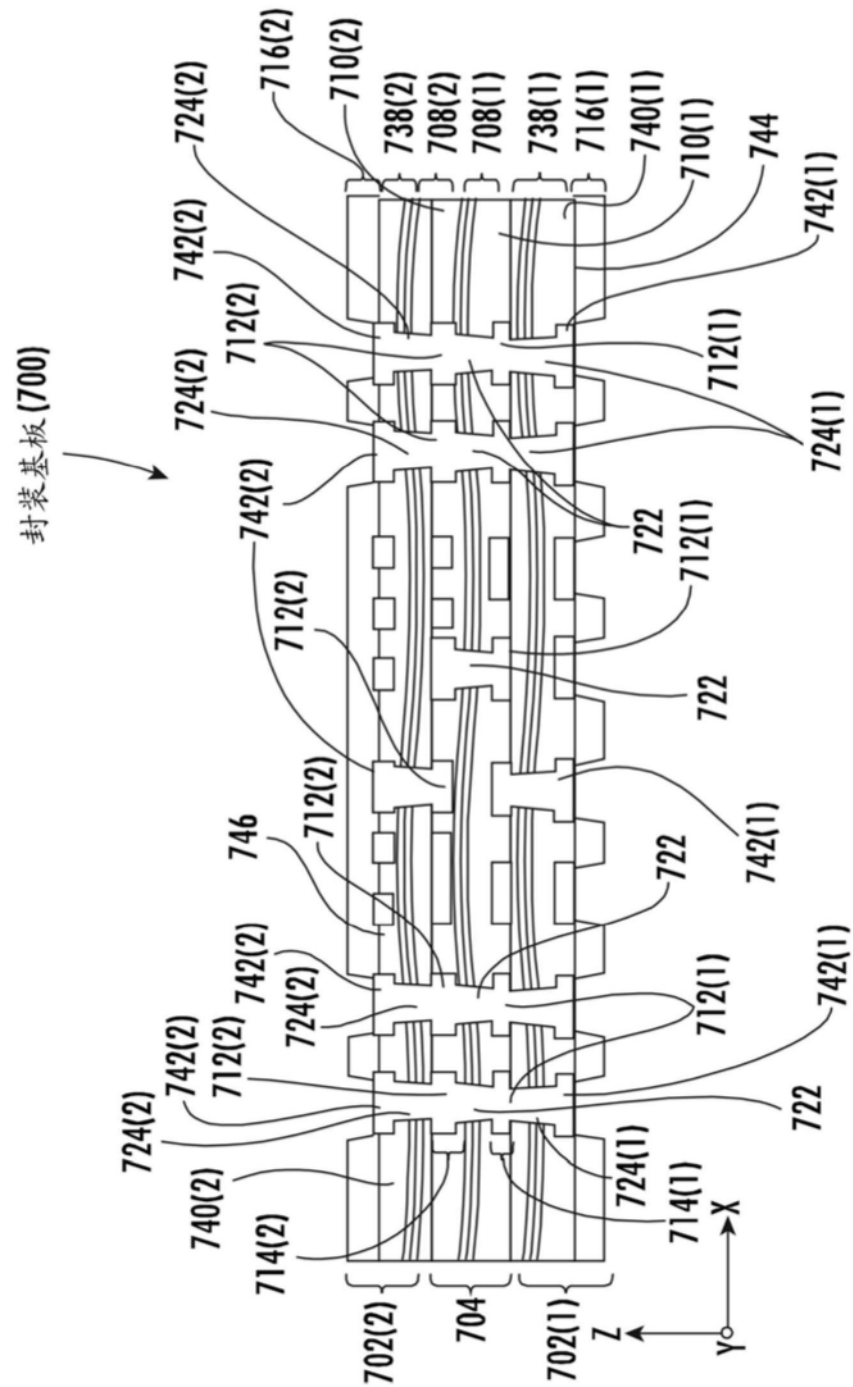


图7

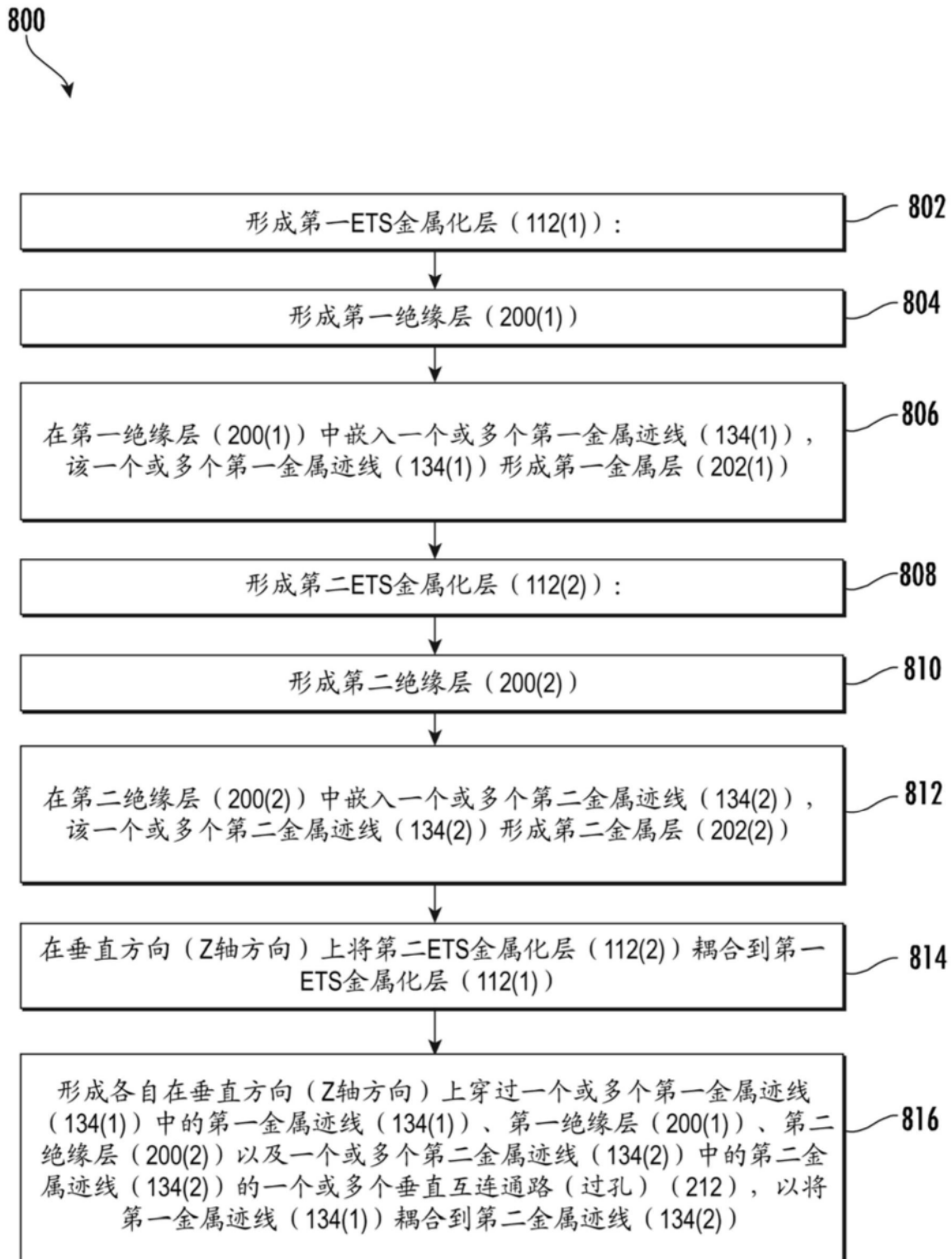


图8

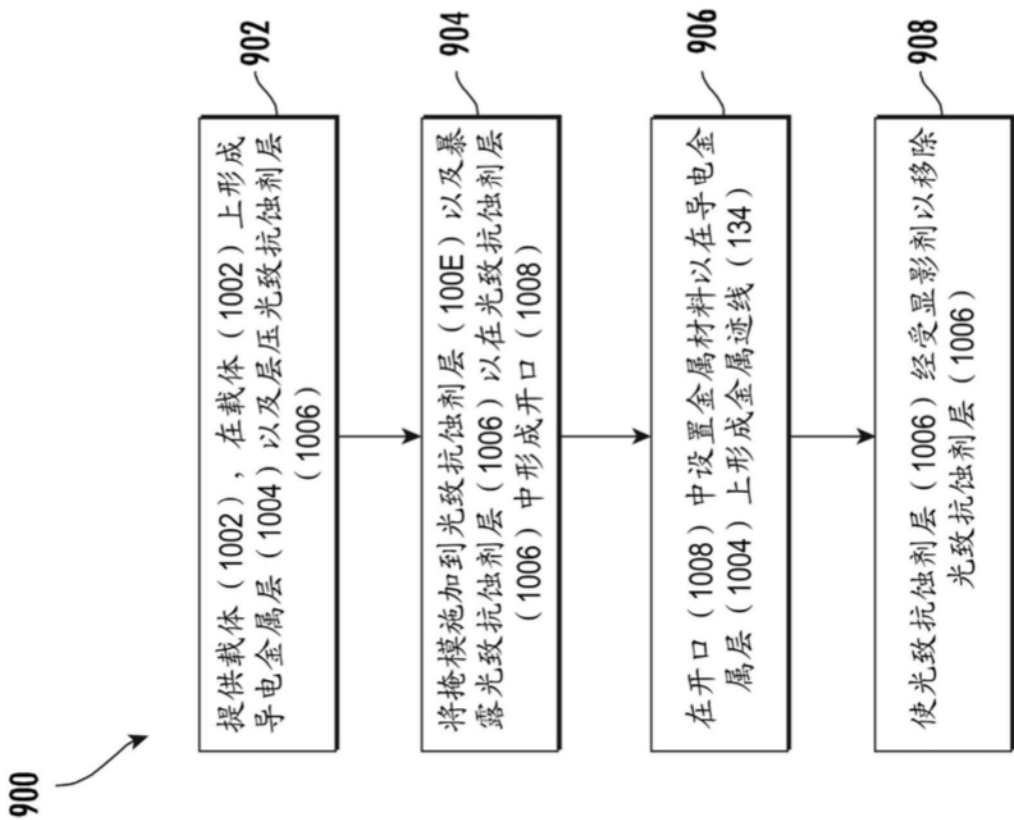
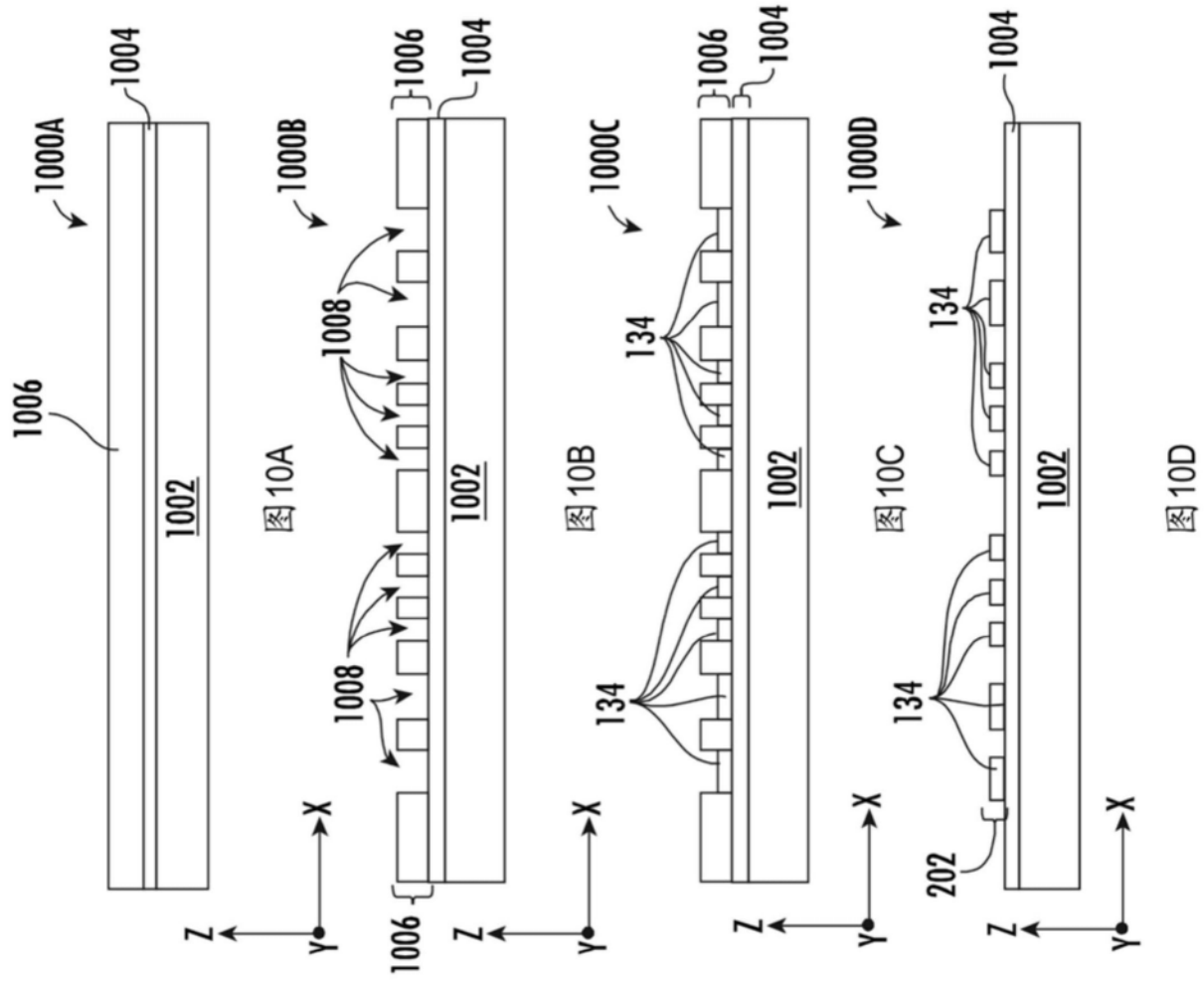


图9



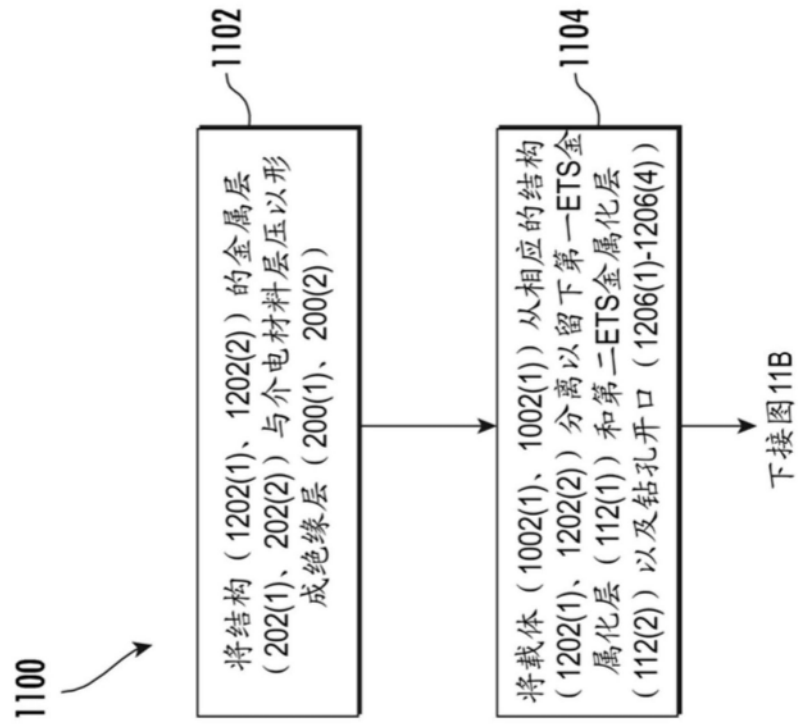


图11A

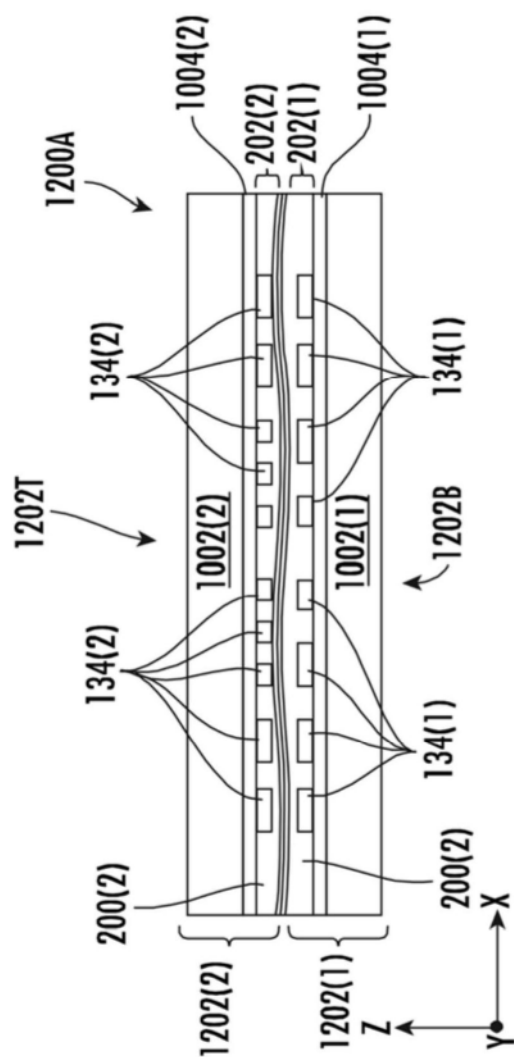


图12A

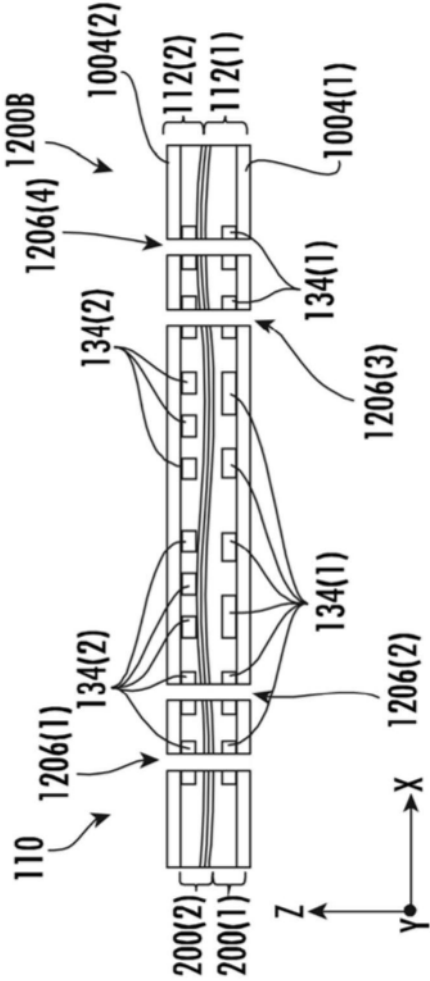


图12B

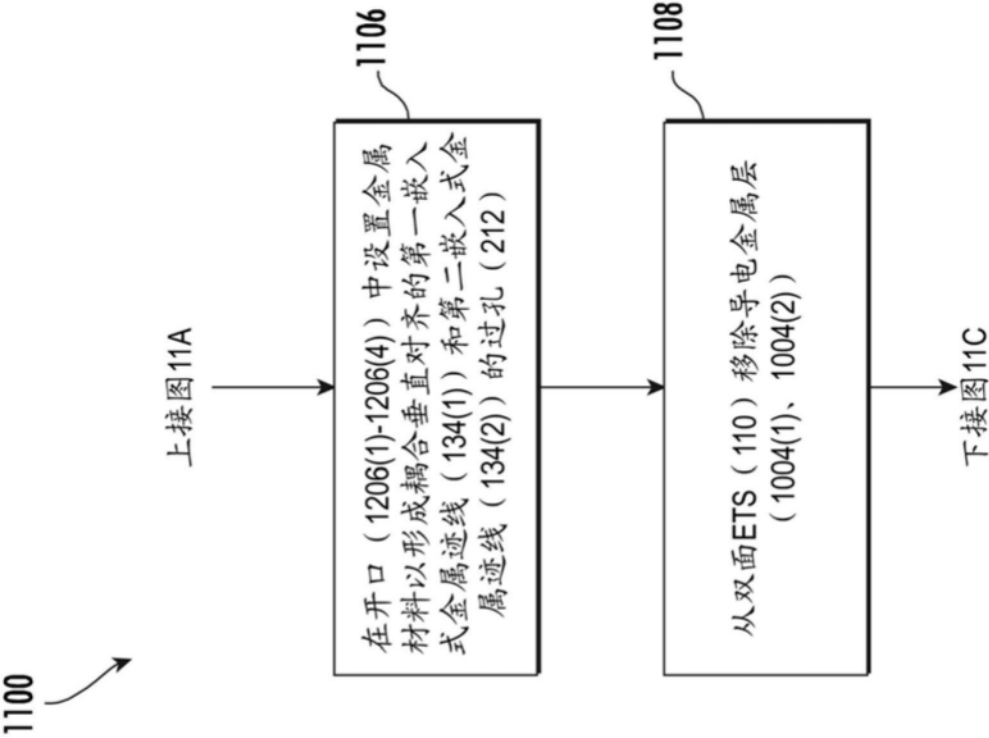


图11B

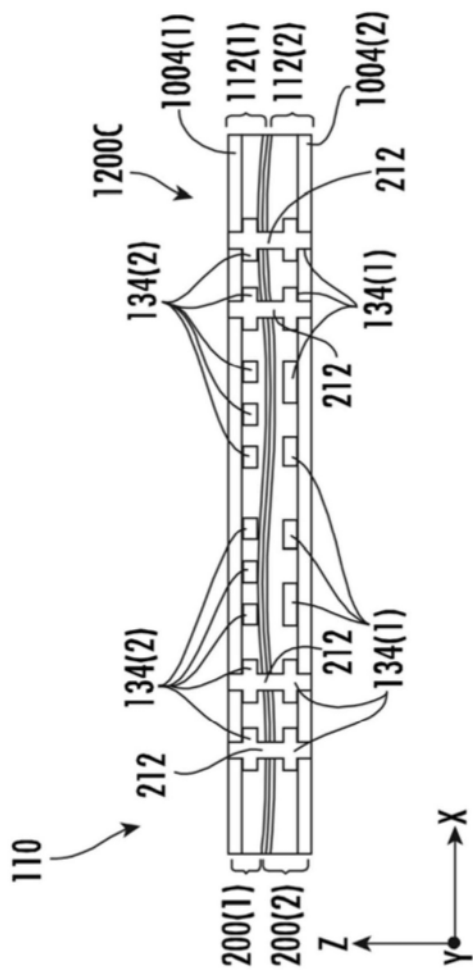


图12C

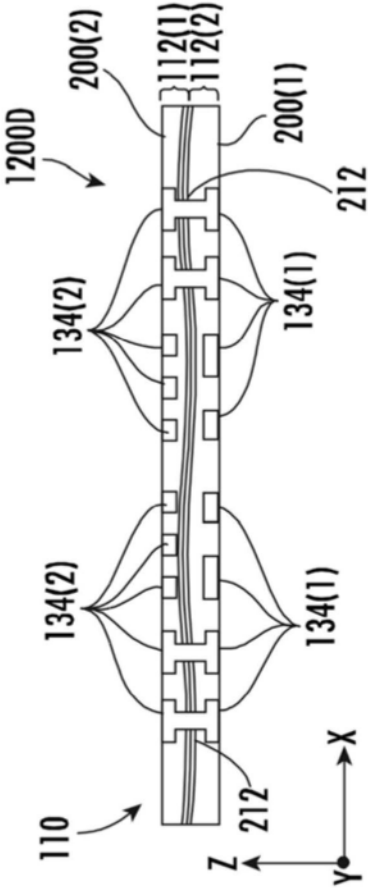


图12D

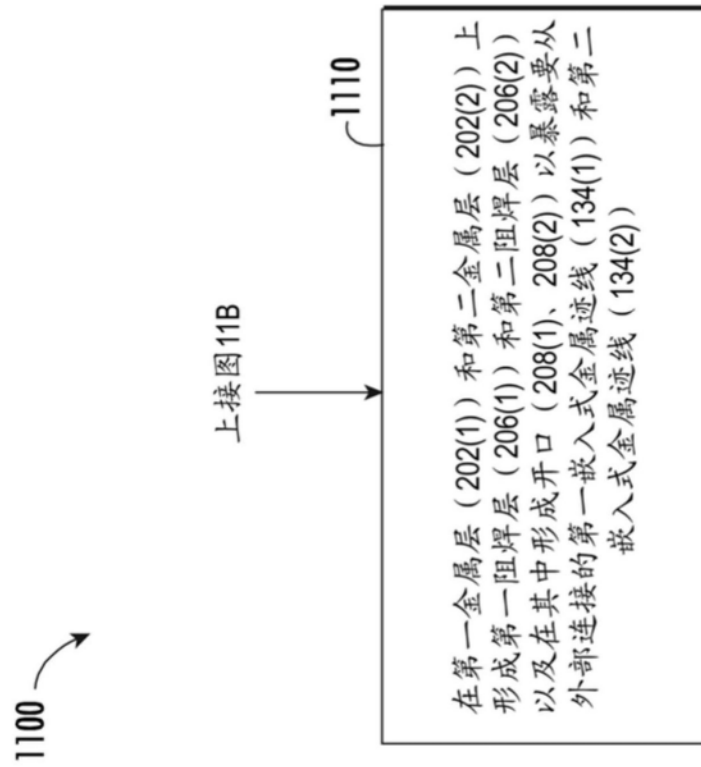


图11C

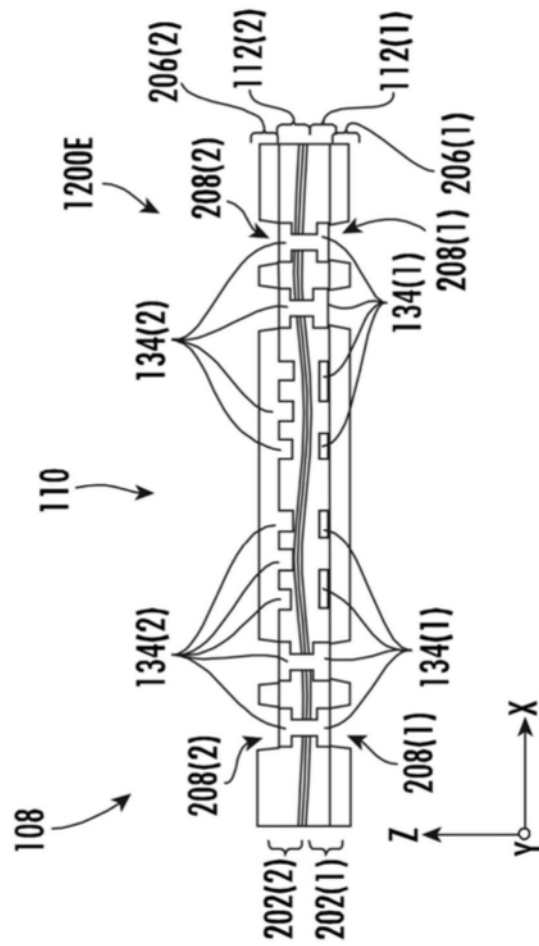


图12E

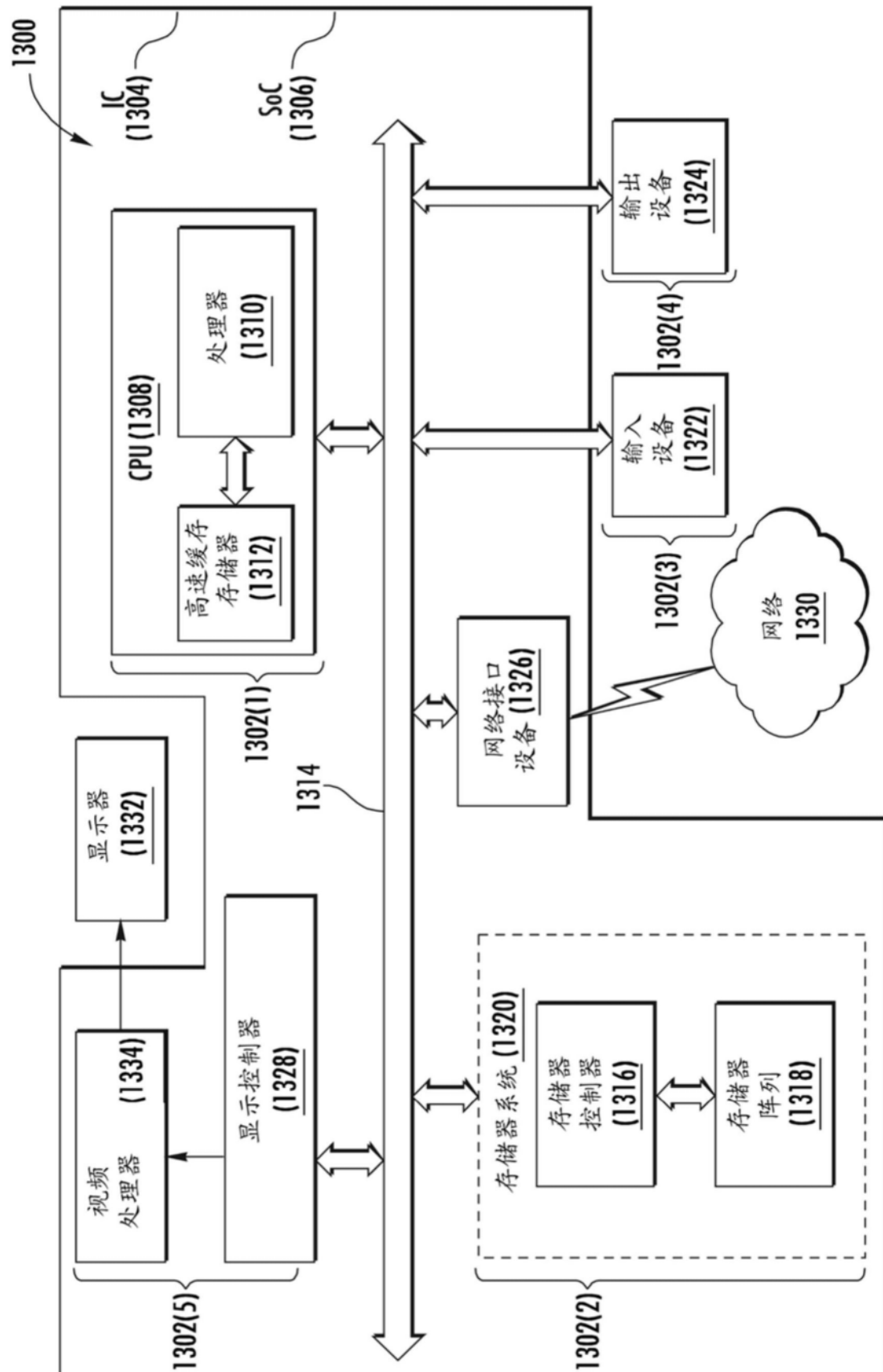


图13

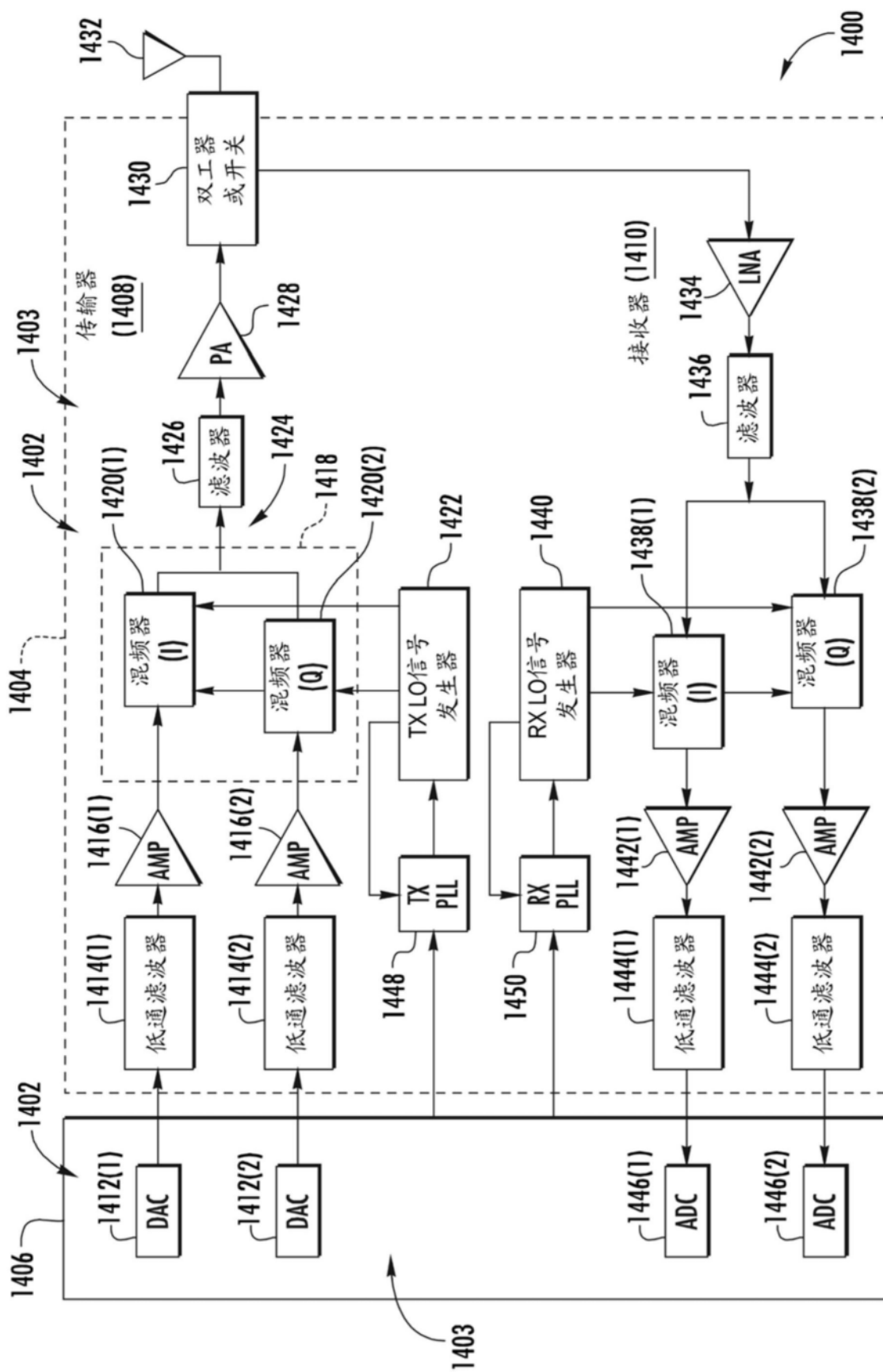


图14