(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月14日(14.03.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/053456 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/739* (2006.01)
H01L 29/12 (2006.01) *H01L 21/336* (2006.01)

(21) 国際出願番号： PCT/JP2023/030989

(22) 国際出願日： 2023年8月28日(28.08.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-143915 2022年9月9日(09.09.2022) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 大井 信敬 (**OI, Nobutaka**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人あい特許事務所 (**AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS**); 〒5410059 大阪府大阪市中央区博労町三丁目２番８号 岩田東急ビル８階 Osaka (JP).

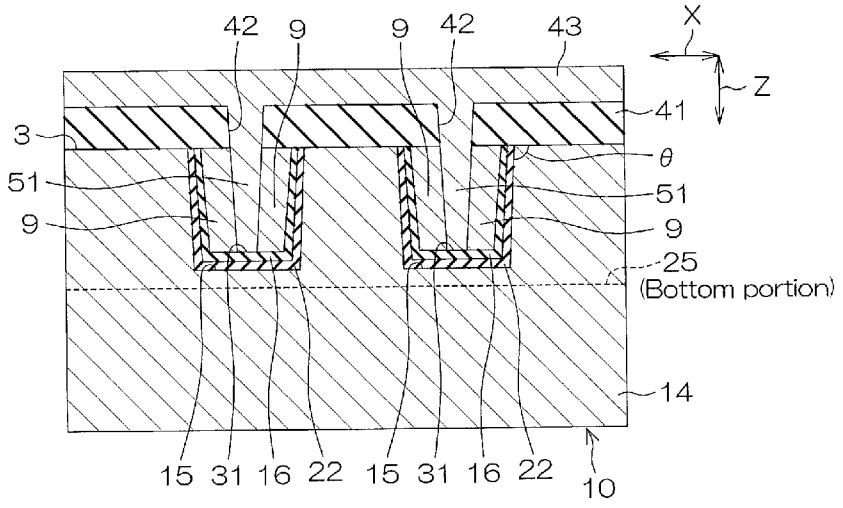
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

WO 2024/053456 A1

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置および半導体装置の製造方法

[図8]



(57) **Abstract:** Provided is a semiconductor device including: a gate electrode embedded in a gate trench; a surface insulating layer that is formed on a first principal surface and that has a contact hole; a covering insulating layer that covers the gate electrode in the gate trench and that insulates the gate electrode from a contact electrode; and an embedded body that is embedded in a region on the covering insulating layer in the gate trench and that has etching selectivity with respect to the surface insulating layer.

[続葉有]

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:ゲートトレンチに埋め込まれたゲート電極と、第1主面上に形成され、かつコンタクト孔を有する表面絶縁層と、ゲートトレンチ内においてゲート電極を被覆し、ゲート電極とコンタクト電極との間を絶縁する被覆絶縁層と、ゲートトレンチ内における被覆絶縁層上の領域に埋め込まれ、表面絶縁層に対してエッチング選択比を有する埋め込み体とを含む、半導体装置を提供する。

明　細　書

発明の名称 ： 半導体装置および半導体装置の製造方法

関連出願

[0001]　本出願は、２０２２年９月９日に日本国特許庁に提出された特願２０２２－１４３９１５号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

技術分野

[0002]　本開示は、半導体装置およびその製造方法に関する。

背景技術

[0003]　特許文献１は、トレンチが形成された主面を有する半導体層と、前記半導体層の前記主面の表層部において前記トレンチの側壁に沿って形成された第１導電型のボディ領域と、前記ボディ領域の表層部において前記トレンチの側壁に沿って形成された第２導電型の不純物領域と、前記トレンチの内壁に形成されたゲート絶縁層と、前記トレンチに埋め込まれ、前記ゲート絶縁層を挟んで前記ボディ領域および前記不純物領域と対向するゲート電極と、前記トレンチ内から前記トレンチの側壁を貫通して前記半導体層の前記主面の表層部に引き出され、前記ボディ領域および前記不純物領域に電気的に接続されたコンタクト電極と、前記トレンチ内において前記ゲート電極および前記コンタクト電極の間に介在し、前記ゲート電極および前記コンタクト電極を絶縁する埋め込み絶縁層とを含む、半導体装置を開示している。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第２０１９／１０３１３５号

発明の概要

発明が解決しようとする課題

[0005]　本開示の一実施形態は、ゲート電極とコンタクト電極との間の容量の制御性を向上することができる半導体装置およびその製造方法を提供する。

[0006] 本開示の一実施形態は、ゲートトレンチに交差するコンタクトトレンチを含む構造において、チャネル幅の縮小を抑制し、オン抵抗を低減することができる半導体装置およびその製造方法を提供する。

課題を解決するための手段

[0007] 本開示の一実施形態に係る半導体装置は、第１方向に延びるゲートトレンチが形成された第１主面を有するチップと、前記第１主面の表面部において前記ゲートトレンチの側壁に沿って形成された第１導電型のボディ領域と、前記ボディ領域の表面部において前記ゲートトレンチの側壁に沿って形成された第２導電型の第１不純物領域と、前記ゲートトレンチの内壁に形成されたゲート絶縁層と、前記ゲートトレンチに埋め込まれ、前記ゲート絶縁層を挟んで前記ボディ領域および前記第１不純物領域に対向するゲート電極と、前記ゲート電極を被覆するように前記第１主面上に形成され、かつ前記第１方向に交差する第２方向に沿って前記ゲートトレンチ上の領域から前記ゲートトレンチの外側に引き出されたコンタクト孔を有する前記表面絶縁層と、前記コンタクト孔を介して前記ボディ領域および前記第１不純物領域に電気的に接続され、かつ前記ゲートトレンチ内から前記ゲートトレンチの側壁を介して前記第１主面の表面部に引き出されたコンタクト電極と、前記ゲートトレンチ内において前記ゲート電極を被覆し、前記ゲート電極と前記コンタクト電極との間を絶縁する被覆絶縁層と、前記ゲートトレンチ内における前記被覆絶縁層上の領域に埋め込まれ、前記表面絶縁層に対してエッチング選択比を有する埋め込み体とを含む。

[0008] 本開示の一実施形態に係る半導体装置の製造方法は、ゲートトレンチが形成された第１主面を有する半導体ウエハの前記ゲートトレンチの内壁にゲート絶縁層を形成する工程と、前記ゲート絶縁層の形成後、前記ゲートトレンチにゲート電極を埋め込む工程と、前記ゲート電極を上面側から選択的に除去することによって、前記ゲートトレンチ内に凹部を形成する工程と、前記ゲート電極の上面を被覆するように、前記凹部内に被覆絶縁層を形成する工程と、前記凹部内における前記被覆絶縁層上の領域に、埋め込み体を埋め込

む工程と、前記第１主面の表面部に選択的に第１導電型の不純物を注入することによって、前記ゲートトレンチの側壁に沿ってボディ領域を形成する工程と、前記ボディ領域の表面部に選択的に第２導電型の不純物を注入することによって、前記ゲートトレンチの側壁に沿って第１不純物領域を形成する工程と、前記ゲート電極および前記埋め込み体を被覆するように、前記第１主面上に表面絶縁層を形成する工程と、前記表面絶縁層を選択的にエッチングすることによって、前記埋め込み体および前記第１主面が選択的に露出するように、前記ゲートトレンチに交差するコンタクト孔を形成する工程と、前記コンタクト孔を介したエッチングによって、前記ボディ領域および前記第１不純物領域が露出するように、前記第１主面の表面部にコンタクトトレンチを形成する工程と、前記コンタクトトレンチに埋め込まれるように、前記ボディ領域および前記第１不純物に接続されるコンタクト電極を形成する工程とを含み、前記埋め込み体は、前記表面絶縁層に対してエッチング選択比を有する材料により形成されている。

発明の効果

[0009] 本開示の一実施形態によれば、埋め込み体は、表面絶縁層に対してエッチング選択比を有する材料により形成されている。これにより、表面絶縁層にコンタクト孔を形成する際に埋め込み体をエッチングストップ層として利用できるので、被覆絶縁層がエッチングされることを防止することができる。したがって、被覆絶縁層の厚さを、被覆絶縁層の形成時の設計値として簡単に制御することができる。よって、ゲート電極とコンタクト電極との間のショートやＴＺＤＢ（Time Zero Dielectric Breakdown）の低下を防ぐとともに、ゲート電極とコンタクト電極との間の容量の制御性を向上することができる。

図面の簡単な説明

[0010] [図1]図１は、本開示の第１実施形態に係る半導体装置の一部の領域を示す模式的な断面斜視図である。

[図2]図２は、図１からチップの第１主面の上の構造を取り除いた図である。

[図3]図３は、図２からエミッタコンタクト電極層を取り除いた図である。

[図4]図４は、図３を前記チップの第１主面から見た模式的な平面図である。

[図5]図５は、図４に示すＶ－Ｖ線に沿う断面図である。

[図6]図６は、図４に示すＶＩ－ＶＩ線に沿う断面図である。

[図7]図７は、図３に示すＶＩＩ－ＶＩＩ線に沿う断面斜視図である。

[図8]図８は、図４に示すＶＩＩＩ－ＶＩＩＩ線に沿う断面図である。

[図9]図９は、図６の二点鎖線ＩＸで囲まれた部分の拡大図である。

[図10]図１０Ａおよび図１０Ｂは、前記半導体装置の製造工程の一部を示す図である。

[図11]図１１Ａおよび図１１Ｂは、それぞれ、図１０Ａおよび図１０Ｂの後の工程を示す図である。

[図12]図１２Ａおよび図１２Ｂは、それぞれ、図１１Ａおよび図１１Ｂの後の工程を示す図である。

[図13]図１３Ａおよび図１３Ｂは、それぞれ、図１２Ａおよび図１２Ｂの後の工程を示す図である。

[図14]図１４Ａおよび図１４Ｂは、それぞれ、図１３Ａおよび図１３Ｂの後の工程を示す図である。

[図15]図１５Ａおよび図１５Ｂは、それぞれ、図１４Ａおよび図１４Ｂの後の工程を示す図である。

[図16]図１６Ａおよび図１６Ｂは、それぞれ、図１５Ａおよび図１５Ｂの後の工程を示す図である。

[図17]図１７Ａおよび図１７Ｂは、それぞれ、図１６Ａおよび図１６Ｂの後の工程を示す図である。

[図18]図１８は、本開示の第２実施形態に係る半導体装置の一部の領域を示す模式的な断面図である。

[図19]図１９は、本開示の第２実施形態に係る半導体装置の一部の領域を示す模式的な断面図である。

[図20]図２０は、本開示の第２実施形態に係る半導体装置の一部の領域を示

す模式的な断面図である。

[図21]図２１は、本開示の第３実施形態に係る半導体装置の一部の領域を示す模式的な断面斜視図である。

[図22]図２２は、本開示の第４実施形態に係る半導体装置の一部の領域を示す模式的な断面斜視図である。

[図23]図２３は、図２２の構造の形成に関連する工程を示す図である。

発明を実施するための形態

[0011] 次に、本開示の実施形態を、添付図面を参照して詳細に説明する。

[0012] 図１は、本開示の第１実施形態に係る半導体装置１の一部の領域を示す模式的な断面斜視図である。図２は、図１からチップ２の第１主面３の上の構造を取り除いた図である。図３は、図２からエミッタコンタクト電極層５１を取り除いた図である。

[0013] 図４は、図３をチップ２の第１主面３から見た模式的な平面図である。図５は、図４に示すＶ－Ｖ線に沿う断面図である。図６は、図４に示すＶＩ－ＶＩ線に沿う断面図である。図７は、図３に示すＶＩＩ－ＶＩＩ線に沿う断面斜視図である。図８は、図４に示すＶＩＩＩ－ＶＩＩＩ線に沿う断面図である。図９は、図６の二点鎖線ＩＸで囲まれた部分の拡大図である。図５、図６および図８では、チップ２の第１主面３の上の構造も図示している。

[0014] 半導体装置１は、この実施形態では、トレンチゲート型のＩＧＢＴ（Insulated Gate Bipolar Transistor）を備えた基本形態を有している。図１～図３を参照して、半導体装置１は、ｎ⁻型のチップ２を含む。チップ２は、この実施形態では、ｎ⁻型のシリコン単結晶基板からなる。シリコン単結晶基板は、ＦＺ（Floating Zone）法を経て製造されたｎ⁻型のシリコン単結晶の半導体ウエハを用いて形成されている。チップ２は、半導体チップと称されてもよいし、半導体層と称されてもよい。

[0015] チップ２は、一方側の第１主面３および他方側の第２主面４を有している。チップ２の厚さは、５０μｍ以上３００μｍ以下であってもよい。チップ２の厚さは、５０μｍ以上１００μｍ以下、１００μｍ以上１５０μｍ以下

、１５０μｍ以上２００μｍ以下、２００μｍ以上２５０μｍ以下、または、２５０μｍ以上３００μｍ以下であってもよい。

[0016] 図１～図３を参照して、第２主面４の表面部には、ｐ型のコレクタ領域５が形成されている。第１主面３の表面部には、ｎ型の電荷蓄積領域６が形成されている。電荷蓄積領域６は、コレクタ領域５に対して第１主面３側に間隔を空けて形成されている。

[0017] 図１～図３を参照して、チップ２においてコレクタ領域５および電荷蓄積領域６の間の領域には、ｎ⁻型のドリフト領域７が形成されている。ドリフト領域７は、チップ２においてコレクタ領域５および電荷蓄積領域６の間に位置する領域によって形成されている。電荷蓄積領域６の表面部には、ｐ型のボディ領域８が形成されている。第１主面３の表面部には、複数のトレンチゲート電極構造１０および複数のトレンチエミッタ電極構造１１が間隔を空けて形成されている。

[0018] 図１～図７では、互いに隣り合う１つのトレンチゲート電極構造１０および１つのトレンチエミッタ電極構造１１だけが示されている。以下では、これら１つのトレンチゲート電極構造１０および１つのトレンチエミッタ電極構造１１の構造に着目して半導体装置１の構造について説明する。

[0019] トレンチゲート電極構造１０およびトレンチエミッタ電極構造１１は、平面視において、任意の第１方向Ｘに沿って帯状に延びている。トレンチゲート電極構造１０およびトレンチエミッタ電極構造１１は、第１方向Ｘに交差する第２方向Ｙに沿って間隔を空けて形成されている。

[0020] 平面視とは、より具体的には、第１主面３の法線方向Ｚ（以下、単に「法線方向Ｚ」という。）から見た平面視のことをいう。第２方向Ｙは、より具体的には、第１方向Ｘに直交する方向である。第１方向Ｘおよび第２方向Ｙは、第１主面３の接線方向でもある。

[0021] トレンチゲート電極構造１０およびトレンチエミッタ電極構造１１の間のトレンチピッチＰ０は、０．１μｍ以上０．６μｍ未満であってもよい。トレンチピッチＰ０は、０．１μｍ以上０．２μｍ以下、０．２μｍ以上０．

３μｍ以下、０．３μｍ以上０．４μｍ以下、０．４μｍ以上０．５μｍ以下、または、０．５μｍ以上０．６μｍ未満であってもよい。トレンチピッチＰ０は、０．２μｍ以上０．４μｍ以下（たとえば０．２５μｍ程度）であることが好ましい。

[0022] トレンチゲート電極構造１０は、ゲートトレンチ１２、ゲート絶縁層１３、ゲート電極層１４、複数のゲート電極凹部１５、複数のゲート被覆絶縁層１６、複数のゲート埋め込み体９および複数のゲート中間絶縁層２２を含む。ゲートトレンチ１２は、第１主面３からボディ領域８および電荷蓄積領域６を貫通してドリフト領域７に至る。

[0023] ゲートトレンチ１２の深さは、２．０μｍ以上４．０μｍ以下であってもよい。ゲートトレンチ１２の深さは、２．０μｍ以上２．５μｍ以下、２．５μｍ以上３．０μｍ以下、３．０μｍ以上３．５μｍ以下、または、３．５μｍ以上４．０μｍ以下であってもよい。ゲートトレンチ１２の深さは、２．５μｍ以上３．５μｍ以下（たとえば３．０μｍ程度）であることが好ましい。

[0024] ゲートトレンチ１２の第２方向幅は、０．５μｍ以上１．５μｍ以下であってもよい。ゲートトレンチ１２の第２方向幅は、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１．０μｍ以下、１．０μｍ以上１．２５μｍ以下、または、１．２５μｍ以上１．５μｍ以下であってもよい。ゲートトレンチ１２の第２方向幅は、０．５μｍ以上１．０μｍ以下（たとえば０．７５μｍ程度）であることが好ましい。

[0025] ゲート絶縁層１３は、酸化シリコンにより形成されていてもよい。ゲート絶縁層１３は、ゲートトレンチ１２の内壁に沿って膜状に形成されている。ゲート絶縁層１３は、ゲートトレンチ１２内において凹状の空間を区画している。

[0026] ゲート電極層１４は、導電性のポリシリコンにより形成されていてもよい。ゲート電極層１４は、ゲート電圧によって制御される。ゲート電極層１４は、ゲート絶縁層１３を挟んでゲートトレンチ１２に埋め込まれている。ゲ

ート電極層１４は、より具体的には、ゲートトレンチ１２内においてゲート絶縁層１３によって区画された凹状の空間に埋め込まれている。

[0027] 複数のゲート電極凹部１５は、この実施形態では、第１方向Ｘに沿って間隔を空けてゲート電極層１４の上面に形成されている。これにより、ゲート電極層１４の上端部は、複数のゲート電極凹部１５を含む凹凸構造を有している。

[0028] 互いに隣り合う複数のゲート電極凹部１５の間隔は、０μｍを超えて１０μｍ以下であってもよい。互いに隣り合う複数のゲート電極凹部１５の間隔は、ゲート電極層１４において互いに隣り合う２つのゲート電極凹部１５によって挟まれた部分の第１方向Ｘの幅でもある。互いに隣り合う複数のゲート電極凹部１５の間隔は、０μｍを超えて２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であってもよい。

[0029] 各ゲート電極凹部１５の側壁は、この実施形態では、ゲート絶縁層１３およびゲート電極層１４により形成されている。第１方向Ｘにおいて対向する一対の側壁がゲート電極層１４により形成され、第２方向Ｙにおいて対向する一対の側壁がゲート絶縁層１３により形成されている。各ゲート電極凹部１５の底壁は、ゲート電極層１４により形成されている。図８を参照して、各ゲート電極凹部１５の底壁は、法線方向Ｚに関して、第１主面３およびエミッタ領域２５（後述）の底部の間の領域に位置していてもよいし、エミッタ領域２５の底部よりも深い部分に位置していてもよい。

[0030] 図８を参照して、各ゲート電極凹部１５は、底面積が開口面積よりも小さいテーパ形状に形成されている。ゲート電極層１４の上面およびゲート電極凹部１５の側壁がゲート電極層１４内において成す角度θは、９０°を超えて１２０°以下（たとえば１０２°程度）であってもよい。

[0031] 複数のゲート被覆絶縁層１６は、ゲートトレンチ１２内においてゲート電極層１４の上面およびゲート電極凹部１５の側壁に形成されている。複数のゲート被覆絶縁層１６は、より具体的には、複数のゲート電極凹部１５にそ

れぞれ独立して形成されている。各ゲート被覆絶縁層１６は、ゲートトレンチ１２内でゲート電極層１４を被覆し、かつゲート電極凹部１５の側壁に沿って形成され、ゲートトレンチ１２の開口から露出している。各ゲート被覆絶縁層１６は、各ゲート電極凹部１５において、凹状の空間を区画している。当該ゲート電極凹部１５内の凹状の空間は、下方および側方からゲート被覆絶縁層１６に取り囲まれている。

[0032] 図９を参照して、ゲート被覆絶縁層１６は、ゲート電極層１４の上面を被覆する底部２３と、底部２３からゲートトレンチ１２の側壁に沿って上方に延びる側部２４とを含む。ゲート被覆絶縁層１６の底部２３は、１５０ｎｍ以上３００ｎｍ以下の厚さを有している。一方、ゲート被覆絶縁層１６の側部２４は、ゲートトレンチ１２の深さ方向における下端部４７に第１厚さＴ１を有し、ゲートトレンチ１２の深さ方向における上端部４８に、第１厚さＴ１よりも薄い第２厚さＴ２を有している。第１厚さＴ１は、たとえば、３００ｎｍ以下であり、第２厚さＴ２は、たとえば、５０ｎｍ以下である。また、ゲート埋め込み体９の上端部の幅Ｗ１は、ゲート電極層１４の上端部の幅Ｗ２よりも狭くてもよい。

[0033] ゲート被覆絶縁層１６の側部２４は、断面視において、ゲートトレンチ１２の側壁に近い側の外側側面２９と、外側側面２９の反対側の内側側面３０とが、ゲート被覆絶縁層１６の下端部４７から上端部４８に向かって互いに近づくように傾斜するテーパ形状を有している。ゲート被覆絶縁層１６の側部２４の上端と第１主面３との間には、段差Ｓが形成されていてもよい。換言すると、ゲート被覆絶縁層１６の側部２４の上端は、第１主面３に対してゲートトレンチ１２の深さ方向に低い高さ位置に配置されていてもよい。

[0034] 複数のゲート埋め込み体９は、この実施形態では、ゲート電極層１４と同じ材料により形成されていてもよい。つまり、複数のゲート埋め込み体９は、導電性のポリシリコンにより形成されていてもよい。ゲート埋め込み体９は、導電性を有するが、この実施形態では電気的にフローティングされていてもよい。ゲート埋め込み体９は、ゲート被覆絶縁層１６を挟んでゲート電

極凹部１５に埋め込まれている。ゲート埋め込み体９は、より具体的には、ゲート電極凹部１５内においてゲート被覆絶縁層１６によって区画された凹状の空間に埋め込まれている。

[0035] 複数のゲート中間絶縁層２２は、酸化シリコンにより形成されていてもよい。各ゲート中間絶縁層２２は、各ゲート電極凹部１５内においてゲート電極層１４とゲート被覆絶縁層１６との間に介在されている。図９を参照して、ゲート中間絶縁層２２は、この実施形態では、ゲート電極層１４の上面とゲート被覆絶縁層１６の底部２３との間に形成されている。ゲート中間絶縁層２２の厚さ（第３厚さＴ３）は、たとえば、２０ｎｍ以上１５０ｎｍ以下であってもよい。ゲート中間絶縁層２２は、図ではゲート被覆絶縁層１６（底部２３）と明確に区別されている。製造プロセスの条件によっては、ゲート被覆絶縁層１６と区別されず、外観上においてゲート被覆絶縁層１６と一体であってもよい。

[0036] トレンチエミッタ電極構造１１は、エミッタトレンチ１７、エミッタ絶縁層１８、エミッタ電極層１９、エミッタ電極凹部２０、エミッタ被覆絶縁層２１、エミッタ埋め込み体２７およびエミッタ中間絶縁層２８を含む。エミッタトレンチ１７は、第１主面３からボディ領域８および電荷蓄積領域６を貫通してドリフト領域７に至る。

[0037] エミッタトレンチ１７の深さは、２．０μｍ以上４．０μｍ以下であってもよい。エミッタトレンチ１７の深さは、２．０μｍ以上２．５μｍ以下、２．５μｍ以上３．０μｍ以下、３．０μｍ以上３．５μｍ以下、または、３．５μｍ以上４．０μｍ以下であってもよい。エミッタトレンチ１７の深さは、２．５μｍ以上３．５μｍ以下（たとえば３．０μｍ程度）であることが好ましい。エミッタトレンチ１７の深さは、ゲートトレンチ１２の深さとほぼ等しいことが好ましい。

[0038] エミッタトレンチ１７の第２方向幅は、０．５μｍ以上１．５μｍ以下であってもよい。エミッタトレンチ１７の第２方向幅は、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１．０μｍ以下、１．０μｍ以上１．２５

μｍ以下、または、１．２５μｍ以上１．５μｍ以下であってもよい。エミッタトレンチ１７の第２方向幅は、０．５μｍ以上１．０μｍ以下（たとえば０．７５μｍ程度）であることが好ましい。エミッタトレンチ１７の第２方向幅は、ゲートトレンチ１２の第２方向幅とほぼ等しいことが好ましい。

[0039] エミッタ絶縁層１８は、酸化シリコンにより形成されていてもよい。エミッタ絶縁層１８は、エミッタトレンチ１７の内壁に沿って膜状に形成されている。エミッタ絶縁層１８は、エミッタトレンチ１７内において凹状の空間を区画している。

[0040] エミッタ電極層１９は、導電性のポリシリコンにより形成されていてもよい。エミッタ電極層１９は、エミッタ電圧によって制御される。エミッタ電圧は、ゲート電圧未満の電圧値を有している。エミッタ電圧は、基準電圧（たとえばグランド電圧）であってもよい。エミッタ電極層１９は、エミッタ絶縁層１８を挟んでエミッタトレンチ１７に埋め込まれている。エミッタ電極層１９は、より具体的には、エミッタトレンチ１７内においてエミッタ絶縁層１８によって区画された凹状の空間に埋め込まれている。

[0041] エミッタ電極凹部２０は、この実施形態では、エミッタ電極層１９の上面のほぼ全面を掘り下げるように形成されている。換言すると、エミッタ電極層１９は、エミッタ絶縁層１８によって区画された凹状の空間の深さ方向途中部まで埋め込まれている。

[0042] エミッタ電極凹部２０の側壁は、この実施形態では、エミッタ絶縁層１８により形成されている。エミッタ電極凹部２０の底壁は、エミッタ電極層１９により形成されている。図５および図６を参照して、エミッタ電極凹部２０の底壁は、法線方向Ｚに関して、第１主面３およびエミッタ領域２５（後述）の底部の間の領域に位置していてもよいし、エミッタ領域２５の底部よりも深い部分に位置していてもよい。つまり、エミッタ電極層１９の上端部は、エミッタ領域２５（後述）の底部に対して第１主面３側に位置している。法線方向Ｚに関して、エミッタ電極凹部２０の深さは、ゲート電極凹部１５の深さにほぼ等しくてもよい。

[0043] エミッタ被覆絶縁層２１は、エミッタトレンチ１７内においてエミッタ電極層１９の上面およびエミッタ電極凹部２０の側壁に形成されている。つまり、エミッタ被覆絶縁層２１は、エミッタ電極凹部２０の内壁に沿って形成されている。エミッタ被覆絶縁層２１は、エミッタトレンチ１７内でエミッタ電極層１９を被覆し、かつエミッタ電極凹部２０の側壁に沿って形成され、エミッタトレンチ１７の開口から露出している。エミッタ被覆絶縁層２１は、エミッタ電極凹部２０において、凹状の空間を区画している。当該エミッタ電極凹部２０内の凹状の空間は、下方および側方からエミッタ被覆絶縁層２１に取り囲まれている。説明を省略するが、エミッタ被覆絶縁層２１は、図９に示すゲート被覆絶縁層１６と同じ断面形状を有している。

[0044] エミッタ埋め込み体２７は、この実施形態では、エミッタ電極層１９と同じ材料により形成されていてもよい。つまり、エミッタ埋め込み体２７は、導電性のポリシリコンにより形成されていてもよい。エミッタ埋め込み体２７は、導電性を有するが、この実施形態では電気的にフローティングされていてもよい。エミッタ埋め込み体２７は、エミッタ被覆絶縁層２１を挟んでエミッタ電極凹部２０に埋め込まれている。エミッタ埋め込み体２７は、より具体的には、エミッタ電極凹部２０内においてエミッタ被覆絶縁層２１によって区画された凹状の空間に埋め込まれている。

[0045] エミッタ中間絶縁層２８は、酸化シリコンにより形成されていてもよい。エミッタ中間絶縁層２８は、エミッタ電極凹部２０内においてエミッタ電極層１９とエミッタ被覆絶縁層２１との間に介在されている。

[0046] ボディ領域８の表面部においてゲートトレンチ１２の側壁に沿う領域には、n^+型のエミッタ領域２５（不純物領域）が形成されている。エミッタ領域２５は、より具体的には、第１方向Ｘに関して、ゲートトレンチ１２の一方側の側壁および他方側の側壁に沿って複数形成されている。複数のエミッタ領域２５は、第１方向Ｘに沿って延びる帯状にそれぞれ形成されている。エミッタ領域２５は、ゲートトレンチ１２の側壁に接している。エミッタ領域２５は、エミッタトレンチ１７の側壁にも接している。

[0047] 第１主面３の表面部においてゲートトレンチ１２の側壁に沿う領域には、第１主面３から第２主面４側に向けて、エミッタ領域２５、ボディ領域８、電荷蓄積領域６およびドリフト領域７がこの順に形成されている。ボディ領域８においてゲート絶縁層１３を挟んでゲート電極層１４と対向する領域にＩＧＢＴのチャネルＣＨが形成される。

[0048] 図３～図６および図７を参照して、第１主面３の表面部には、複数のコンタクトトレンチ３１が形成されている。複数のコンタクトトレンチ３１は、第１方向Ｘに沿って間隔を空けて形成されている。複数のコンタクトトレンチ３１は、第２方向Ｙに沿って延びる帯状にそれぞれ形成されている。各コンタクトトレンチ３１の第１方向幅は、ゲートトレンチ１２の第２方向幅よりも小さい。

[0049] 各コンタクトトレンチ３１は、より具体的には、対応するゲート被覆絶縁層１６の内方領域からゲートトレンチ１２の側壁を貫通して第１主面３の表面部に引き出されている。各コンタクトトレンチ３１は、この実施形態では、第２方向Ｙに関して、ゲート被覆絶縁層１６の内方領域からゲートトレンチ１２の一方側の側壁および他方側の側壁を貫通している。

[0050] 各コンタクトトレンチ３１は、平面視においてゲート電極層１４と交差する第１交差領域３３を含む。第１交差領域３３において、各コンタクトトレンチ３１の底壁は、ゲート被覆絶縁層１６により形成され、各コンタクトトレンチ３１の側壁は、ゲート埋め込み体９により形成されている。

[0051] 各コンタクトトレンチ３１は、平面視においてエミッタ電極層１９と交差する第２交差領域３４を含む。第２交差領域３４において、各コンタクトトレンチ３１の底壁は、エミッタ被覆絶縁層２１により形成され、各コンタクトトレンチ３１の側壁は、エミッタ埋め込み体２７により形成されている。

[0052] 各コンタクトトレンチ３１は、第１交差領域３３からゲートトレンチ１２の外側に引き出されたコンタクト領域３５をさらに含む。コンタクト領域３５は、平面視においてゲートトレンチ１２およびエミッタトレンチ１７の間の領域において第１交差領域３３および第２交差領域３４を接続する接続領

域と称されてもよい。コンタクト領域３５において、各コンタクトトレンチ３１の底壁は、ボディ領域８により形成され、各コンタクトトレンチ３１の側壁は、ボディ領域８およびエミッタ領域２５により形成されている。つまり、コンタクト領域３５においてコンタクトトレンチ３１の側壁には、ボディ領域８およびエミッタ領域２５の積層構造が露出している。

[0053] 各コンタクトトレンチ３１は、さらに、エミッタトレンチ１７の一方側の側壁から外側に引き出された引き出し部３２を有している。各引き出し部３２は、第１主面３の表面部からエミッタトレンチ１７の一方側の側壁を貫通し、エミッタトレンチ１７内に至る。

[0054] 図７を参照して、第１交差領域３３における第１主面３からゲート電極層１４の上面までの第１深さＤ１は、コンタクト領域３５におけるコンタクトトレンチ３１の第２深さＤ２よりも浅い。したがって、コンタクトトレンチ３１は、第２方向Ｙにおいて、ゲート電極層１４およびエミッタ電極層１９が選択的に突出した凹凸構造を有している。たとえば、第１深さＤ１は、１μｍ以下であり、好ましくは、０．５μｍ以上１μｍ以下である。第２深さＤ２は、０．３μｍ以上１．０μｍ以下である。

[0055] 第１交差領域３３においてゲート電極層１４の上端部は、エミッタ領域２５の底部に対して第１主面３側に位置している。これにより、ゲート電極層１４は、第１方向Ｘにおける第１交差領域３３の両側近傍において、ゲート絶縁層１３を介してエミッタ領域２５に対向する対向部４０を有している。対向部４０は、図７において横向きハッチングで示した領域である。対向部４０は、法線方向Ｚにおいて、一対のゲート埋め込み体９の下方に位置している。

[0056] コンタクトトレンチ３１は、第１交差領域３３および第２交差領域３４における第１底壁３７と、コンタクト領域３５および引き出し部３２における第２底壁３８とを含む。第１底壁３７と第２底壁３８との間には、第１深さＤ１と第２深さＤ２との差に起因する段差３９が形成されている。

[0057] 複数のコンタクトトレンチ３１の配置は、任意である。複数のコンタクト

トレンチ３１は、第１方向Ｘに沿って等間隔に形成されていてもよい。複数のコンタクトトレンチ３１は、第１方向Ｘに沿って不等間隔に形成されていてもよい。

[0058] ボディ領域８において各コンタクトトレンチ３１の底壁に沿う領域には、p^+型のコンタクト領域３６が形成されている。コンタクト領域３６は、ボディ領域８において各コンタクトトレンチ３１の底壁および側壁に沿う領域に形成されていてもよい。コンタクト領域３６は、法線方向Ｚに関して、ボディ領域８においてエミッタ領域２５よりも深い領域に形成されている。

[0059] コンタクト領域３６は、コンタクトトレンチ３１の底壁から露出した露出面を有している。コンタクト領域３６の露出面は、第１主面３およびボディ領域８の底部の間の領域に形成されている。コンタクト領域３６の露出面は、より具体的には、ボディ領域８の底部およびエミッタ領域２５の底部の間の領域に形成されている。コンタクト領域３６の露出面は、さらに具体的には、ゲート電極層１４の上面およびエミッタ電極層１９の上面よりも下方に形成されている。

[0060] 第１主面３の上には、層間絶縁層４１が形成されている。層間絶縁層４１は、トレンチゲート電極構造１０およびトレンチエミッタ電極構造１１を被覆している。層間絶縁層４１は、ゲートトレンチ１２から露出するゲート被覆絶縁層１６およびゲート埋め込み体９、ならびに、エミッタトレンチ１７から露出するエミッタ被覆絶縁層２１およびエミッタ埋め込み体２７を被覆している。

[0061] 層間絶縁層４１は、酸化シリコンまたは窒化シリコンにより形成されていてもよい。層間絶縁層４１は、酸化膜（SiO_2膜）および窒化膜（ＳｉＮ膜）を含む積層構造を有していてもよい。酸化膜（SiO_2膜）は、不純物を含有しないＮＳＧ（Nondoped Silicon Glass）膜、および／または、リンを含有するＰＳＧ（Phosphorus Silicon Glass）膜を含んでいてもよい。

[0062] 層間絶縁層４１は、第１主面３からこの順に積層されたＮＳＧ膜およびＰＳＧ膜を含む積層構造を有していてもよい。ＮＳＧ膜の厚さは、２０００Å

以上８０００Å以下（たとえば５０００Å程度）であってもよい。ＰＳＧ膜の厚さ、２０００Å以上６０００Å以下（たとえば４０００Å程度）であってもよい。

[0063] 層間絶縁層４１には、複数のコンタクト孔４２が形成されている。複数のコンタクト孔４２は、対応するコンタクトトレンチ３１にそれぞれ連通している。つまり、複数のコンタクト孔４２は、第１方向Ｘに沿って間隔を空けて形成され、第２方向Ｙに沿って延びる帯状にそれぞれ形成されている。

[0064] 複数のコンタクト孔４２は、層間絶縁層４１を貫通し、対応するコンタクトトレンチ３１にそれぞれ連通している。これにより、複数のコンタクト孔４２は、対応するコンタクトトレンチ３１との間で一つのエミッタコンタクトトレンチ３１，４２を形成している。

[0065] 各コンタクト孔４２の第１方向幅は、各コンタクトトレンチ３１の第１方向幅以上であってもよい。つまり、各コンタクト孔４２の第１方向幅は、各コンタクトトレンチ３１の第１方向幅と等しくてもよいし、各コンタクトトレンチ３１の第１方向幅を超えていてもよい。各コンタクト孔４２の第１方向幅が各コンタクトトレンチ３１の第１方向幅を超えている場合、各コンタクト孔４２の内壁は、対応するコンタクトトレンチ３１の内壁を取り囲んでいてもよい。

[0066] 複数のコンタクト孔４２の配置は、任意であり、コンタクトトレンチ３１の配置に応じて調整される。複数のコンタクト孔４２は、第１方向Ｘに沿って等間隔に形成されていてもよい。複数のコンタクト孔４２は、第１方向Ｘに沿って不等間隔に形成されていてもよい。

[0067] 層間絶縁層４１の上には、エミッタ主面電極層４３が形成されている。エミッタ主面電極層４３は、層間絶縁層４１の上からコンタクト孔４２およびコンタクトトレンチ３１（つまり、エミッタコンタクトトレンチ３１，４２）に入り込んでいる。エミッタ主面電極層４３は、たとえば、チタン等のバリア層と、タングステン等の電極層との積層構造を含んでいてもよい。この実施形態では、エミッタ主面電極層４３において複数のコンタクトトレンチ

３１内に位置する部分によって、複数のエミッタコンタクト電極層５１が形成されている。これにより、複数のエミッタコンタクト電極層５１が、チップ２の表面部に埋め込まれた構造が形成されている。

[0068] 複数のエミッタコンタクト電極層５１は、複数のコンタクトトレンチ３１の配列および形状に対応した配列および形状をそれぞれ有している。つまり、複数のエミッタコンタクト電極層５１は、第１方向Ｘに沿って間隔を空けて形成され、第２方向Ｙに沿って延びる帯状にそれぞれ形成されている。

[0069] 各エミッタコンタクト電極層５１は、平面視においてゲート電極層１４と交差する第１交差領域３３において、法線方向Ｚおよび第１方向Ｘに関して、ゲート被覆絶縁層１６を挟んでゲート電極層１４と対向している。各エミッタコンタクト電極層５１は、ゲート被覆絶縁層１６によってゲート電極層１４から絶縁されている。

[0070] 第１交差領域３３において、エミッタコンタクト電極層５１とゲート被覆絶縁層１６との間にゲート埋め込み体９が介在している。この実施形態では、第１交差領域３３において、ゲート埋め込み体９は、第１交差領域３３に対して第１方向Ｘの両側のそれぞれに設けられ、エミッタコンタクト電極層５１を第１方向Ｘの両側の側方から挟む一対のゲート埋め込み体９を含む。したがって、第１交差領域３３において、エミッタコンタクト電極層５１は、法線方向Ｚではゲート被覆絶縁層１６に直接的に接しており、第１方向Ｘではゲート埋め込み体９に接している。エミッタコンタクト電極層５１は、下方のゲート被覆絶縁層１６および両側方のゲート埋め込み体９によって三方から取り囲まれている。

[0071] 各エミッタコンタクト電極層５１は、平面視においてエミッタ電極層１９と交差する第２交差領域３４において、法線方向Ｚおよび第１方向Ｘに関して、エミッタ被覆絶縁層２１を挟んでエミッタ電極層１９と対向している。各エミッタコンタクト電極層５１は、エミッタ被覆絶縁層２１によってエミッタ電極層１９から絶縁されている。

[0072] 第２交差領域３４において、エミッタコンタクト電極層５１とエミッタ被

覆絶縁層２１との間にエミッタ埋め込み体２７が介在している。この実施形態では、第２交差領域３４において、エミッタ埋め込み体２７は、第２交差領域３４に対して第１方向Ｘの両側のそれぞれに設けられ、エミッタコンタクト電極層５１を第１方向Ｘの両側の側方から挟む一対のエミッタ埋め込み体２７を含む。したがって、第２交差領域３４において、エミッタコンタクト電極層５１は、法線方向Ｚではエミッタ被覆絶縁層２１に直接的に接しており、第１方向Ｘではエミッタ埋め込み体２７に接している。エミッタコンタクト電極層５１は、下方のエミッタ被覆絶縁層２１および両側方のエミッタ埋め込み体２７によって三方から取り囲まれている。

[0073] チップ２の第２主面４の上には、コレクタ電極層６１が形成されている。コレクタ電極層６１は、コレクタ領域５に接続されている。図示はしないが、層間絶縁層４１の上には、エミッタ主面電極層４３と同様の構造を有するゲート主面電極層が形成されていてもよい。ゲート主面電極層は、層間絶縁層４１に形成されたゲートコンタクト孔を介してゲート電極層１４に電気的に接続されていてもよい。

[0074] 図１０Ａ，１０Ｂ～図１７Ａ，１７Ｂは、半導体装置１の製造工程の一部を工程順に示す図である。図１０Ａ，１０Ｂ～図１７Ａ，１７Ｂにおいて、「Ａ」が併記された図番の図は図５の断面に対応し、「Ｂ」が併記された図番の図は図８の断面に対応している。

[0075] 図１０Ａ，１０Ｂを参照して、まず、ｎ⁻型の半導体ウエハ２６が用意される。半導体ウエハ２６は、前述のチップ２の第１主面３および第２主面４（図示せず）を有している。次に、半導体ウエハ２６内に、ｐ型のコレクタ領域５（図示せず）およびｎ型の電荷蓄積領域６が形成される。コレクタ領域５は、半導体ウエハ２６の第２主面４に対するｐ型不純物の導入によって形成される。コレクタ領域５は、イオン注入マスク（図示せず）を介するイオン注入法によって半導体ウエハ２６の第２主面４の表面部に形成されてもよい。電荷蓄積領域６は、第１主面３に対するｎ型不純物の導入によって形成される。電荷蓄積領域６は、イオン注入マスク（図示せず）を介するイオン

注入法によって第１主面３の表面部に形成されてもよい。

[0076] 次に、所定パターンを有するマスクを介して、半導体ウエハ２６の不要な部分が第１主面３から選択的に除去される。半導体ウエハ２６の不要な部分は、エッチング法（たとえばウエットエッチング法）によって除去されてもよい。これにより、ゲートトレンチ１２およびエミッタトレンチ１７が形成される。その後、マスクは除去される。次に、たとえば熱酸化処理法またはウェット酸化処理法によって、ゲート絶縁層１３およびエミッタ絶縁層１８が、それぞれ、ゲートトレンチ１２の内壁およびエミッタトレンチ１７の内壁に形成される。次に、たとえばＣＶＤ法によって、ゲート電極層１４およびエミッタ電極層１９が、それぞれ、ゲートトレンチ１２およびエミッタトレンチ１７に埋め込まれる。これにより、トレンチゲート電極構造１０およびトレンチエミッタ電極構造１１が形成される。

[0077] 次に、図１１Ａ，１１Ｂを参照して、所定パターンを有するマスクを介して、ゲート電極層１４およびエミッタ電極層１９が、第１主面３から選択的に除去される。これにより、ゲート電極凹部１５およびエミッタ電極凹部２０が形成される。ゲート電極層１４の不要な部分およびエミッタ電極層１９の不要な部分は、エッチング法（たとえばウエットエッチング法）によって除去されてもよい。

[0078] 次に、図１２Ａ，１２Ｂを参照して、ゲート中間絶縁層２２およびエミッタ中間絶縁層２８のベースとなる第１ベース絶縁層４４、ならびにゲート被覆絶縁層１６およびエミッタ被覆絶縁層２１のベースとなる第２ベース絶縁層４５が形成される。第１ベース絶縁層４４は、たとえば、ゲート電極層１４およびエミッタ電極層１９の表面、ならびに半導体ウエハ２６の表面の熱酸化処理によって形成されてもよい。一方、第２ベース絶縁層４５は、たとえばＣＶＤ法によって、第１ベース絶縁層４４上に絶縁材料を堆積することによって形成されてもよい。第１ベース絶縁層４４および第２ベース絶縁層４５は、ゲートトレンチ１２およびエミッタトレンチ１７内に形成されるとともに、半導体ウエハ２６の第１主面３を被覆するように形成される。

[0079] 次に、図１３Ａ，１３Ｂを参照して、たとえばＣＶＤ法によって、ゲート埋め込み体９およびエミッタ埋め込み体２７のベースとなるポリシリコン層が第１主面３の全面に堆積される。その後、当該ポリシリコン層をエッチバックによって平坦化することによって、ゲート電極凹部１５およびエミッタ電極凹部２０にそれぞれ埋め込まれたゲート埋め込み体９およびエミッタ埋め込み体２７が得られる。

[0080] 次に、半導体ウエハ２６内にｐ型のボディ領域８およびｎ$^{+}$型のエミッタ領域２５が形成される。ボディ領域８は、第１主面３に対するｐ型不純物の導入によって形成される。ボディ領域８は、イオン注入マスク（図示せず）を介するイオン注入法によって第１主面３の表面部に形成されてもよい。エミッタ領域２５は、第１主面３に対するｎ型不純物の導入によって形成される。エミッタ領域２５は、イオン注入マスク（図示せず）を介するイオン注入法によって第１主面３の表面部に形成されてもよい。

[0081] 次に、図１４Ａ，１４Ｂを参照して、第１主面３の上に、層間絶縁層４１が形成される。層間絶縁層４１は、トレンチゲート電極構造１０およびトレンチエミッタ電極構造１１を被覆するように第１主面３の上に形成される。この工程は、ＣＶＤ法によって、ＮＳＧ膜（たとえば５０００Å）およびＰＳＧ膜（たとえば４０００Å）を第１主面３の上からこの順に形成する工程を含んでいてもよい。

[0082] 次に、図１５Ａ，１５Ｂを参照して、所定パターンを有するマスクを介して、層間絶縁層４１の不要な部分、ゲート被覆絶縁層１６の不要な部分およびエミッタ被覆絶縁層２１の不要な部分が選択的に除去される。層間絶縁層４１等の不要な部分は、エッチング法（たとえばドライエッチング法）によって除去されてもよい。これにより、コンタクト孔４２が形成される。

[0083] 次に、図１６Ａ，１６Ｂを参照して、コンタクト孔４２の形成時に使用したマスクを介して、半導体ウエハ２６の不要な部分が除去される。半導体ウエハ２６の不要な部分は、たとえば、エッチング法（たとえばドライエッチング法）によって除去されてもよい。これにより、第１主面３にコンタクト

トレンチ３１が形成される。図１６Ａでは、コンタクトトレンチ３１の奥側に見える構造を破線ハッチングで示している。

[0084] この実施形態では、半導体ウエハ２６がシリコン単結晶基板であり、ゲート埋め込み体９がポリシリコンであるため、コンタクトトレンチ３１の形成時にゲート埋め込み体９も同時にエッチングされる。また、コンタクトトレンチ３１の第２深さＤ２が、ゲート埋め込み体９の厚さＴ４（図１５Ａ，１５Ｂ参照）よりも大きい。そのため、第１交差領域３３では、ゲート埋め込み体９が第１主面３からゲート電極凹部１５の底壁まで貫通するように、ゲート埋め込み体９がエッチングされる。

[0085] 次に、コンタクト領域３６が、第１主面３の表面部に形成される。コンタクト領域３６は、より具体的には、ボディ領域８の表層部においてコンタクトトレンチ３１の底壁に沿う領域に形成される。コンタクト領域３６は、コンタクトトレンチ３１の側壁および底壁に沿う領域に形成されてもよい。コンタクト領域３６は、コンタクトトレンチ３１に対するｐ型不純物の導入によって形成される。コンタクト領域３６は、イオン注入マスク（図示せず）を介するイオン注入法によってコンタクトトレンチ３１に導入されてもよい。これにより、コンタクトトレンチ３１の底壁に沿うコンタクト領域３６が形成される。

[0086] 次に、図１７Ａ，１７Ｂを参照して、エミッタ主面電極層４３が、層間絶縁層４１の上に形成される。エミッタ主面電極層４３は、スパッタ法やＣＶＤ法によって形成されてもよい。そして、エミッタ主面電極層４３においてコンタクトトレンチ３１に入り込んだ部分によって、エミッタコンタクト電極層５１が形成される。また、半導体ウエハ２６の第２主面４に、コレクタ電極層６１が形成される。以上を含む工程を経て、半導体装置１が得られる。

[0087] 以上、半導体装置１によれば、ゲート埋め込み体９がポリシリコンで形成されており、酸化シリコンや窒化シリコンからなる層間絶縁層４１に対してエッチング選択比を有している。ゲート埋め込み体９が層間絶縁層４１に対

してエッチング選択比を有するとは、たとえば、層間絶縁層４１のエッチング量（ａ）とゲート埋め込み体９のエッチング量（ｂ）との比で示されるエッチング選択比（ａ／ｂ）が、たとえば１．５以上であり、好ましくは、５以上であり、さらに好ましくは、１０以上であることである。

[0088] これにより、層間絶縁層４１にコンタクト孔４２を形成する際に（図１５Ａ，１５Ｂ参照）、ゲート埋め込み体９をエッチングストッパとして使用することができる。ゲート中間絶縁層２２がコンタクト孔４２の形成時に、エッチングガスに晒されることを防止することができる。そのため、ゲート中間絶縁層２２の厚さを、ゲート中間絶縁層２２の形成条件（たとえば、熱酸化条件、ＣＶＤ条件等）により、設計値に簡単に制御することができる。よって、ゲート電極層１４とエミッタコンタクト電極層５１との間のショートやＴＺＤＢ（Time Zero Dielectric Breakdown）の低下を防ぐとともに、ゲート電極層１４とエミッタコンタクト電極層５１との間の容量の制御性を向上することができる。

[0089] また、コンタクト孔４２の形成時にゲート中間絶縁層２２がエッチングされない。そのため、ゲート中間絶縁層２２のオーバーエッチングに起因するゲート－エミッタ間の短絡防止の目的のために、ゲート中間絶縁層２２を過剰に厚く形成する必要がない。さらに、分厚いゲート中間絶縁層２２の形成のためにゲート電極凹部１５を深く形成する必要もない。これにより、ゲート電極凹部１５を比較的浅く形成することができるので、第１交差領域３３の両側近傍において、ゲート絶縁層１３を介してエミッタ領域２５に対向するゲート電極層１４の対向部４０を確保することができる。その結果、第１交差領域３３の近傍領域をチャネル形成領域４６（図３参照）として利用できるので、チャネル幅の縮小を抑制することができる。よって、オン抵抗を低減することができる半導体装置１を提供することができる。

[0090] 図１８は、本開示の第２実施形態に係る半導体装置７１の一部の領域を示す模式的な断面図である。図１９は、本開示の第２実施形態に係る半導体装置７１の一部の領域を示す模式的な断面図である。図２０は、本開示の第２

実施形態に係る半導体装置７１の一部の領域を示す模式的な断面図である。図１８が図５の断面に対応し、図１９が図６の断面に対応し、図２０が図８の断面に対応している。以下では、第１実施形態に係る半導体装置１に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0091] 図１８～図２０を参照して、第２実施形態では、第１交差領域３３における第１主面３からゲート電極層１４の上面までの第１深さＤ１は、コンタクト領域３５におけるコンタクトトレンチ３１の第２深さＤ２よりも深い。また、第１交差領域３３においてコンタクトトレンチ３１の底壁には、ゲート被覆絶縁層１６とゲート埋め込み体９の積層構造が形成されている。これにより、ゲート埋め込み体９は、図２０に示すように、第１方向Ｘにおける第１交差領域３３の一方側から他方側に跨るように形成され、エミッタコンタクト電極層５１を第１方向Ｘの両側の側方および下方の三方から取り囲んでいる。

[0092] また、第１交差領域３３においてゲート電極層１４の上端部は、エミッタ領域２５の底部に対して第２主面４側（第１主面３の反対側）に位置している。したがって、第２実施形態に係る半導体装置７１では、図７に示す対向部４０が存在せず、ゲート電極層１４は、第１方向Ｘにおける第１交差領域３３の両側近傍において、ゲート絶縁層１３を介してエミッタ領域２５に対向していない。

[0093] 以上、第２実施形態に係る半導体装置７１によっても、半導体装置１に対して述べた効果と同様の効果を奏することができる。半導体装置７１は、半導体装置１の製造方法において、ゲート電極凹部１５の深さおよびエミッタ電極凹部２０の深さを変更するだけで製造できる。

[0094] 図２１は、本開示の第３実施形態に係る半導体装置８１の一部の領域を示す模式的な断面斜視図である。以下では、半導体装置１に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0095] 前述の半導体装置１では、第２主面４の表面部に、ｐ型のコレクタ領域５

が形成されている例について説明した。これに対して、半導体装置８１では、第２主面４の表面部に、ｐ型のコレクタ領域５に代えてｎ型のドレイン領域８２が形成されている。これにより、半導体装置８１は、トレンチゲート型のＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）を備えた基本形態を有している。前述の半導体装置１の説明は、「エミッタ」を「ソース」と読み替え、「コレクタ」を「ドレイン」と読み替えて、半導体装置８１の説明に準用される。

[0096] 以上、半導体装置８１によっても、半導体装置１に対して述べた効果と同様の効果を奏することができる。半導体装置８１は、半導体装置１の製造方法において、ｐ型のコレクタ領域５に代えてｎ型のドレイン領域８２を形成すると共に、各マスクのレイアウトを変更するだけで製造できる。

[0097] 図２２は、本開示の第４実施形態に係る半導体装置９１の一部の領域を示す模式的な断面斜視図である。図２３は、図２２の構造の形成に関連する工程を示す図である。図２２および図２３は、前述の半導体装置１の図９に対応する断面を示している。以下では、半導体装置１に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0098] 前述の半導体装置１では、ゲート埋め込み体９の上端部の幅Ｗ１が、ゲート電極層１４の上端部の幅Ｗ２よりも狭い例について説明した。これに対して、半導体装置９１では、ゲート埋め込み体９の上端部の幅Ｗ１は、ゲート電極層１４の上端部の幅Ｗ２よりも広い。より詳細に説明すると、ゲートトレンチ１２は、底面積が開口面積よりも小さいテーパ形状に形成されている。第１主面３に平行な面９２に対してゲートトレンチ１２の側壁が成す角度θ２は、たとえば、８０°を超えて９０°未満、好ましくは、８５°を超えて９０°未満であってもよい。したがって、ゲートトレンチ１２の深さ方向に関して、ゲート電極層１４の深さ位置よりもゲートトレンチ１２の開口端に近い位置に形成されたゲート埋め込み体９の幅Ｗ１は、ゲート電極層１４の幅Ｗ２よりも広くなる。

[0099] また、前述の半導体装置１では、ゲート被覆絶縁層１６の側部２４は、下

端部４７の第１厚さＴ１よりも薄い第２厚さＴ２を上端部４８有している例について説明した。これに対して、半導体装置９１では、上端部４８において外側側面２９と内側側面３０とが接することにより、第２厚さＴ２が０（ゼロ）であってもよい。ゲート被覆絶縁層１６の側部２４の上端部４８は、上方に向かって尖った鋭利な先端部であってもよい。

[0100] 以上、半導体装置９１によっても、半導体装置１に対して述べた効果と同様の効果を奏することができる。半導体装置９１は、半導体装置１の製造方法において、テーパ形状となる条件でエッチングによりゲートトレンチ１２を形成し、かつテーパ形状となるようにゲート被覆絶縁層１６の側部２４を形成することにより製造できる。また、前述の説明では省略したが、ゲートトレンチ１２の側方に形成されたチップ２のメサ構造９３（エミッタ領域２５等が形成される部分）は、断面視において台形であり、かつラウンド形状に形成さえた上端部９４を有していてもよい。このようなメサ構造９３に対して、テーパ形状となる条件でゲート被覆絶縁層１６を形成することによって、ゲート埋め込み体９の幅Ｗ１をゲート電極層１４の幅Ｗ２よりも広くすることができる。

[0101] 本開示の実施形態について説明したが、本開示は他の形態で実施することもできる。

[0102] たとえば、前述の各実施形態において、各半導体部分の導電型が反転された構造が採用されてもよい。つまり、ｐ型の部分がｎ型とされ、ｎ型の部分がｐ型とされてもよい。

[0103] 前述の各実施形態では、チップ２がシリコン単結晶からなる例について説明した。しかし、チップ２は、ＳｉＣを含んでいてもよい。また、チップ２は、ＳｉＣ単結晶からなっていてもよい。

[0104] 以上、本開示の実施形態は、すべての点において例示であり限定的に解釈されるべきではなく、すべての点において変更が含まれることが意図される。

[0105] この明細書および図面の記載から以下に付記する特徴が抽出され得る。

[0106] ［付記１－１］

第１方向（Ｘ）に延びるゲートトレンチ（１２）が形成された第１主面（３）を有するチップ（２）と、

前記第１主面（３）の表面部において前記ゲートトレンチ（１２）の側壁に沿って形成された第１導電型のボディ領域（８）と、

前記ボディ領域（８）の表面部において前記ゲートトレンチ（１２）の側壁に沿って形成された第２導電型の第１不純物領域（２５）と、

前記ゲートトレンチ（１２）の内壁に形成されたゲート絶縁層（１３）と、

前記ゲートトレンチ（１２）に埋め込まれ、前記ゲート絶縁層（１３）を挟んで前記ボディ領域（８）および前記第１不純物領域（２５）に対向するゲート電極（１４）と、

前記ゲート電極（１４）を被覆するように前記第１主面（３）上に形成され、かつ前記第１方向（Ｘ）に交差する第２方向（Ｙ）に沿って前記ゲートトレンチ（１２）上の領域から前記ゲートトレンチ（１２）の外側に引き出されたコンタクト孔（４２）を有する前記表面絶縁層（４１）と、

前記コンタクト孔（４２）を介して前記ボディ領域（８）および前記第１不純物領域（２５）に電気的に接続され、かつ前記ゲートトレンチ（１２）内から前記ゲートトレンチ（１２）の側壁を介して前記第１主面（３）の表面部に引き出されたコンタクト電極（５１）と、

前記ゲートトレンチ（１２）内において前記ゲート電極（１４）を被覆し、前記ゲート電極（１４）と前記コンタクト電極（５１）との間を絶縁する被覆絶縁層（１６）と、

前記ゲートトレンチ（１２）内における前記被覆絶縁層（１６）上の領域に埋め込まれ、前記表面絶縁層（４１）に対してエッチング選択比を有する埋め込み体（９）とを含む、半導体装置（１，７１，８１）。

[0107] ［付記１－２］

前記被覆絶縁層（１６）は、前記ゲート電極（１４）の上面を被覆する底

部（２３）と、前記底部（２３）から前記ゲートトレンチ（１２）の側壁に沿って上方に延びる側部（２４）とを含む、付記１－１に記載の半導体装置（１，７１，８１）。

[0108] ［付記１－３］

前記被覆絶縁層（１６）の前記底部（２３）は、１５０ｎｍ以上３００ｎｍ以下の厚さを有している、付記１－２に記載の半導体装置（１，７１，８１）。

[0109] ［付記１－４］

前記被覆絶縁層（１６）の前記側部（２４）は、前記ゲートトレンチ（１２）の深さ方向における下端部（４７）に第１厚さ（Ｔ１）を有し、前記ゲートトレンチ（１２）の深さ方向における上端部（４８）に、前記第１厚さ（Ｔ１）よりも薄い第２厚さ（Ｔ２）を有している、付記１－２または付記１－３に記載の半導体装置（１，７１，８１）。

[0110] ［付記１－５］

前記被覆絶縁層（１６）の前記側部（２４）は、断面視において、前記ゲートトレンチ（１２）の側壁に近い側の外側側面（２９）と前記外側側面（２９）の反対側の内側側面（３０）とが、前記下端部（４７）から前記上端部（４８）に向かって互いに近づくように傾斜するテーパ形状を有している、付記１－２～付記１－４のいずれか一項に記載の半導体装置（１，７１，８１）。

[0111] ［付記１－６］

前記コンタクト孔（４２）に沿って延びるように前記第１主面（３）の表面部に形成され、底壁（３７，３８）および側壁を有するコンタクトトレンチ（３１）を含み、

前記ボディ領域（８）は、少なくとも前記コンタクトトレンチ（３１）の前記底壁（３７，３８）に沿って形成され、

前記第１不純物領域（２５）は、少なくとも前記コンタクトトレンチ（３１）の前記側壁に沿って形成され、

前記コンタクト電極（５１）は、前記コンタクトトレンチ（３１）に埋め込まれ、前記コンタクトトレンチ（３１）の内部で前記ボディ領域（８）および前記第１不純物領域（２５）に接続されている、付記１－１～付記１－５のいずれか一項に記載の半導体装置（１，７１，８１）。

[0112] ［付記１－７］

前記コンタクトトレンチ（３１）は、前記ゲートトレンチ（１２）と交差する交差領域（３３）と、前記交差領域（３３）から前記ゲートトレンチ（１２）の外側に引き出され、前記ボディ領域（８）および前記第１不純物領域（２５）が露出するコンタクト領域（３５）とを含み、

前記交差領域（３３）における前記第１主面（３）から前記ゲート電極（１４）の上面までの深さ（Ｄ１）は、前記コンタクト領域（３５）における前記第１主面（３）から前記コンタクトトレンチ（３１）の底壁までの深さ（Ｄ２）よりも浅い、付記１－６に記載の半導体装置（１，８１）。

[0113] ［付記１－８］

前記交差領域（３３）において前記コンタクトトレンチ（３１）の前記底壁（３７）には前記被覆絶縁層（１６）の前記底部（２３）が露出しており、

前記埋め込み体（９）は、前記交差領域（３３）に対して前記第１方向（Ｘ）の両側のそれぞれに設けられ、前記コンタクト電極（５１）を前記第１方向（Ｘ）の両側の側方から挟む一対の埋め込み体（９）を含む、付記１－７に記載の半導体装置（１，８１）。

[0114] ［付記１－９］

前記交差領域（３３）における前記第１主面（３）から前記ゲート電極（１４）の上面までの深さ（Ｄ１）は、１μｍ以下である、付記１－７または付記１－８に記載の半導体装置（１，８１）。

[0115] ［付記１－１０］

前記コンタクトトレンチ（３１）は、前記ゲートトレンチ（１２）と交差する交差領域（３３）と、前記交差領域（３３）から前記ゲートトレンチ（

１２）の外側に引き出され、前記ボディ領域（８）および前記第１不純物領域（２５）が露出するコンタクト領域とを含み、

前記交差領域（３３）における前記第１主面（３）から前記ゲート電極（１４）の上面までの深さ（Ｄ１）は、前記コンタクト領域における前記第１主面（３）から前記コンタクトトレンチ（３１）の底壁までの深さ（Ｄ２）よりも深い、付記１－６に記載の半導体装置（７１）。

[0116] ［付記１－１１］

前記交差領域（３３）において前記コンタクトトレンチ（３１）の前記底壁（３７）には前記被覆絶縁層（１６）の前記底部（２３）および前記埋め込み体（９）の積層構造が形成されており、

前記埋め込み体（９）は、前記第１方向（Ｘ）における前記交差領域（３３）の一方側から他方側に跨るように形成され、前記コンタクト電極（５１）を前記第１方向（Ｘ）の両側の側方および下方の三方から取り囲んでいる、付記１－１０に記載の半導体装置（７１）。

[0117] ［付記１－１２］

前記表面絶縁層（４１）に対する前記埋め込み体（９）のエッチング選択比は、１．５以上である、付記１－１～付記１－１１のいずれか一項に記載の半導体装置（１，７１，８１）。

[0118] ［付記１－１３］

前記埋め込み体（９）は、前記ゲート電極（１４）と同じ材料により形成されている、付記１－１～付記１－１２のいずれか一項に記載の半導体装置（１，７１，８１）。

[0119] ［付記１－１４］

前記表面絶縁層（４１）は、酸化シリコンにより形成されており、

前記ゲート電極（１４）および前記埋め込み体（９）は、ポリシリコンにより形成されている、付記１－１～付記１－１２のいずれか一項に記載の半導体装置（１，７１，８１）。

[0120] ［付記１－１５］

ゲートトレンチ（１２）が形成された第１主面（３）を有する半導体ウエハ（２６）の前記ゲートトレンチ（１２）の内壁にゲート絶縁層（１３）を形成する工程と、

前記ゲート絶縁層（１３）の形成後、前記ゲートトレンチ（１２）にゲート電極（１４）を埋め込む工程と、

前記ゲート電極（１４）を上面側から選択的に除去することによって、前記ゲートトレンチ（１２）内に凹部（１５）を形成する工程と、

前記ゲート電極（１４）の上面を被覆するように、前記凹部（１５）内に被覆絶縁層（１６）を形成する工程と、

前記凹部（１５）内における前記被覆絶縁層（１６）上の領域に、埋め込み体（９）を埋め込む工程と、

前記第１主面（３）の表面部に選択的に第１導電型の不純物を注入することによって、前記ゲートトレンチ（１２）の側壁に沿ってボディ領域（８）を形成する工程と、

前記ボディ領域（８）の表面部に選択的に第２導電型の不純物を注入することによって、前記ゲートトレンチ（１２）の側壁に沿って第１不純物領域（２５）を形成する工程と、

前記ゲート電極（１４）および前記埋め込み体（９）を被覆するように、前記第１主面（３）上に表面絶縁層（４１）を形成する工程と、

前記表面絶縁層（４１）を選択的にエッチングすることによって、前記埋め込み体（９）および前記第１主面（３）が選択的に露出するように、前記ゲートトレンチ（１２）に交差するコンタクト孔（４２）を形成する工程と、

前記コンタクト孔（４２）を介したエッチングによって、前記ボディ領域（８）および前記第１不純物領域（２５）が露出するように、前記第１主面（３）の表面部にコンタクトトレンチ（３１）を形成する工程と、

前記コンタクトトレンチ（３１）に埋め込まれるように、前記ボディ領域（８）および前記第１不純物に接続されるコンタクト電極（５１）を形成す

る工程とを含み、

前記埋め込み体（９）は、前記表面絶縁層（４１）に対してエッチング選択比を有する材料により形成されている、半導体装置（１，７１，８１）の製造方法。

符号の説明

[0121] １　：半導体装置

２　：チップ

３　：第１主面

４　：第２主面

５　：コレクタ領域

６　：電荷蓄積領域

７　：ドリフト領域

８　：ボディ領域

９　：ゲート埋め込み体

１０　：トレンチゲート電極構造

１１　：トレンチエミッタ電極構造

１２　：ゲートトレンチ

１３　：ゲート絶縁層

１４　：ゲート電極層

１５　：ゲート電極凹部

１６　：ゲート被覆絶縁層

１７　：エミッタトレンチ

１８　：エミッタ絶縁層

１９　：エミッタ電極層

２０　：エミッタ電極凹部

２１　：エミッタ被覆絶縁層

２２　：ゲート中間絶縁層

２３　：底部

２４　：側部

２５　：エミッタ領域

２６　：半導体ウエハ

２７　：エミッタ埋め込み体

２８　：エミッタ中間絶縁層

２９　：外側側面

３０　：内側側面

３１　：コンタクトトレンチ

３２　：引き出し部

３３　：第１交差領域

３４　：第２交差領域

３５　：コンタクト領域

３６　：コンタクト領域

３７　：第１底壁

３８　：第２底壁

３９　：段差

４０　：対向部

４１　：層間絶縁層

４２　：コンタクト孔

４３　：エミッタ主面電極層

４４　：第１ベース絶縁層

４５　：第２ベース絶縁層

４６　：チャネル形成領域

４７　：下端部

４８　：上端部

５１　：エミッタコンタクト電極層

６１　：コレクタ電極層

７１　：半導体装置

８１　：半導体装置

８２　：ドレイン領域

９１　：半導体装置

９２　：平行な面

９３　：メサ構造

９４　：上端部

ＣＨ　：チャネル

Ｄ１　：第１深さ

Ｄ２　：第２深さ

Ｐ０　：トレンチピッチ

Ｓ　　：段差

Ｔ１　：第１厚さ

Ｔ２　：第２厚さ

Ｔ３　：第３厚さ

Ｔ４　：厚さ

Ｗ１　：幅

Ｗ２　：幅

Ｘ　　：第１方向

Ｙ　　：第２方向

Ｚ　　：法線方向

請求の範囲

[請求項1] 第１方向に延びるゲートトレンチが形成された第１主面を有するチップと、

前記第１主面の表面部において前記ゲートトレンチの側壁に沿って形成された第１導電型のボディ領域と、

前記ボディ領域の表面部において前記ゲートトレンチの側壁に沿って形成された第２導電型の第１不純物領域と、

前記ゲートトレンチの内壁に形成されたゲート絶縁層と、

前記ゲートトレンチに埋め込まれ、前記ゲート絶縁層を挟んで前記ボディ領域および前記第１不純物領域に対向するゲート電極と、

前記ゲート電極を被覆するように前記第１主面上に形成され、かつ前記第１方向に交差する第２方向に沿って前記ゲートトレンチ上の領域から前記ゲートトレンチの外側に引き出されたコンタクト孔を有する前記表面絶縁層と、

前記コンタクト孔を介して前記ボディ領域および前記第１不純物領域に電気的に接続され、かつ前記ゲートトレンチ内から前記ゲートトレンチの側壁を介して前記第１主面の表面部に引き出されたコンタクト電極と、

前記ゲートトレンチ内において前記ゲート電極を被覆し、前記ゲート電極と前記コンタクト電極との間を絶縁する被覆絶縁層と、

前記ゲートトレンチ内における前記被覆絶縁層上の領域に埋め込まれ、前記表面絶縁層に対してエッチング選択比を有する埋め込み体とを含む、半導体装置。

[請求項2] 前記被覆絶縁層は、前記ゲート電極の上面を被覆する底部と、前記底部から前記ゲートトレンチの側壁に沿って上方に延びる側部とを含む、請求項１に記載の半導体装置。

[請求項3] 前記被覆絶縁層の前記底部は、１５０ｎｍ以上３００ｎｍ以下の厚さを有している、請求項２に記載の半導体装置。

[請求項4] 前記被覆絶縁層の前記側部は、前記ゲートトレンチの深さ方向における下端部に第１厚さを有し、前記ゲートトレンチの深さ方向における上端部に、前記第１厚さよりも薄い第２厚さを有している、請求項２または３に記載の半導体装置。

[請求項5] 前記被覆絶縁層の前記側部は、断面視において、前記ゲートトレンチの側壁に近い側の外側側面と前記外側側面の反対側の内側側面とが、前記下端部から前記上端部に向かって互いに近づくように傾斜するテーパ形状を有している、請求項２～４のいずれか一項に記載の半導体装置。

[請求項6] 前記コンタクト孔に沿って延びるように前記第１主面の表面部に形成され、底壁および側壁を有するコンタクトトレンチを含み、

前記ボディ領域は、少なくとも前記コンタクトトレンチの前記底壁に沿って形成され、

前記第１不純物領域は、少なくとも前記コンタクトトレンチの前記側壁に沿って形成され、

前記コンタクト電極は、前記コンタクトトレンチに埋め込まれ、前記コンタクトトレンチの内部で前記ボディ領域および前記第１不純物領域に接続されている、請求項１～５のいずれか一項に記載の半導体装置。

[請求項7] 前記コンタクトトレンチは、前記ゲートトレンチと交差する交差領域と、前記交差領域から前記ゲートトレンチの外側に引き出され、前記ボディ領域および前記第１不純物領域が露出するコンタクト領域とを含み、

前記交差領域における前記第１主面から前記ゲート電極の上面までの深さは、前記コンタクト領域における前記第１主面から前記コンタクトトレンチの底壁までの深さよりも浅い、請求項６に記載の半導体装置。

[請求項8] 前記交差領域において前記コンタクトトレンチの前記底壁には前記

被覆絶縁層の前記底部が露出しており、

前記埋め込み体は、前記交差領域に対して前記第１方向の両側のそれぞれに設けられ、前記コンタクト電極を前記第１方向の両側の側方から挟む一対の埋め込み体を含む、請求項７に記載の半導体装置。

[請求項9] 前記交差領域における前記第１主面から前記ゲート電極の上面までの深さは、１μｍ以下である、請求項７または８に記載の半導体装置。

[請求項10] 前記コンタクトトレンチは、前記ゲートトレンチと交差する交差領域と、前記交差領域から前記ゲートトレンチの外側に引き出され、前記ボディ領域および前記第１不純物領域が露出するコンタクト領域とを含み、

前記交差領域における前記第１主面から前記ゲート電極の上面までの深さは、前記コンタクト領域における前記第１主面から前記コンタクトトレンチの底壁までの深さよりも深い、請求項６に記載の半導体装置。

[請求項11] 前記交差領域において前記コンタクトトレンチの前記底壁には前記被覆絶縁層の前記底部および前記埋め込み体の積層構造が形成されており、

前記埋め込み体は、前記第１方向における前記交差領域の一方側から他方側に跨るように形成され、前記コンタクト電極を前記第１方向の両側の側方および下方の三方から取り囲んでいる、請求項１０に記載の半導体装置。

[請求項12] 前記表面絶縁層に対する前記埋め込み体のエッチング選択比は、１．５以上である、請求項１～１１のいずれか一項に記載の半導体装置。

[請求項13] 前記埋め込み体は、前記ゲート電極と同じ材料により形成されている、請求項１～１２のいずれか一項に記載の半導体装置。

[請求項14] 前記表面絶縁層は、酸化シリコンにより形成されており、

前記ゲート電極および前記埋め込み体は、ポリシリコンにより形成されている、請求項１～１２のいずれか一項に記載の半導体装置。

[請求項15] ゲートトレンチが形成された第１主面を有する半導体ウエハの前記ゲートトレンチの内壁にゲート絶縁層を形成する工程と、

前記ゲート絶縁層の形成後、前記ゲートトレンチにゲート電極を埋め込む工程と、

前記ゲート電極を上面側から選択的に除去することによって、前記ゲートトレンチ内に凹部を形成する工程と、

前記ゲート電極の上面を被覆するように、前記凹部内に被覆絶縁層を形成する工程と、

前記凹部内における前記被覆絶縁層上の領域に、埋め込み体を埋め込む工程と、

前記第１主面の表面部に選択的に第１導電型の不純物を注入することによって、前記ゲートトレンチの側壁に沿ってボディ領域を形成する工程と、

前記ボディ領域の表面部に選択的に第２導電型の不純物を注入することによって、前記ゲートトレンチの側壁に沿って第１不純物領域を形成する工程と、

前記ゲート電極および前記埋め込み体を被覆するように、前記第１主面上に表面絶縁層を形成する工程と、

前記表面絶縁層を選択的にエッチングすることによって、前記埋め込み体および前記第１主面が選択的に露出するように、前記ゲートトレンチに交差するコンタクト孔を形成する工程と、

前記コンタクト孔を介したエッチングによって、前記ボディ領域および前記第１不純物領域が露出するように、前記第１主面の表面部にコンタクトトレンチを形成する工程と、

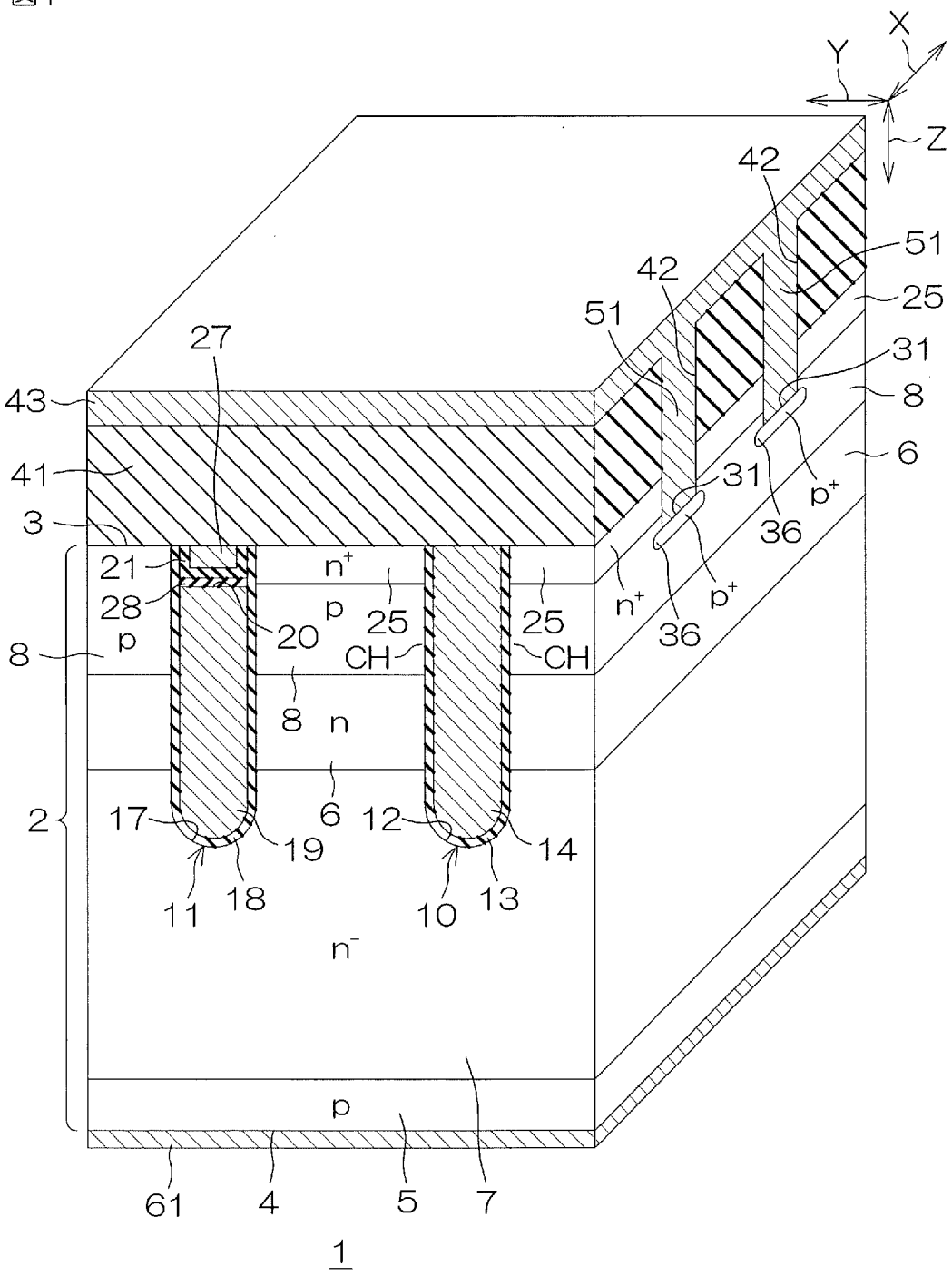
前記コンタクトトレンチに埋め込まれるように、前記ボディ領域および前記第１不純物に接続されるコンタクト電極を形成する工程とを

含み、

前記埋め込み体は、前記表面絶縁層に対してエッチング選択比を有する材料により形成されている、半導体装置の製造方法。

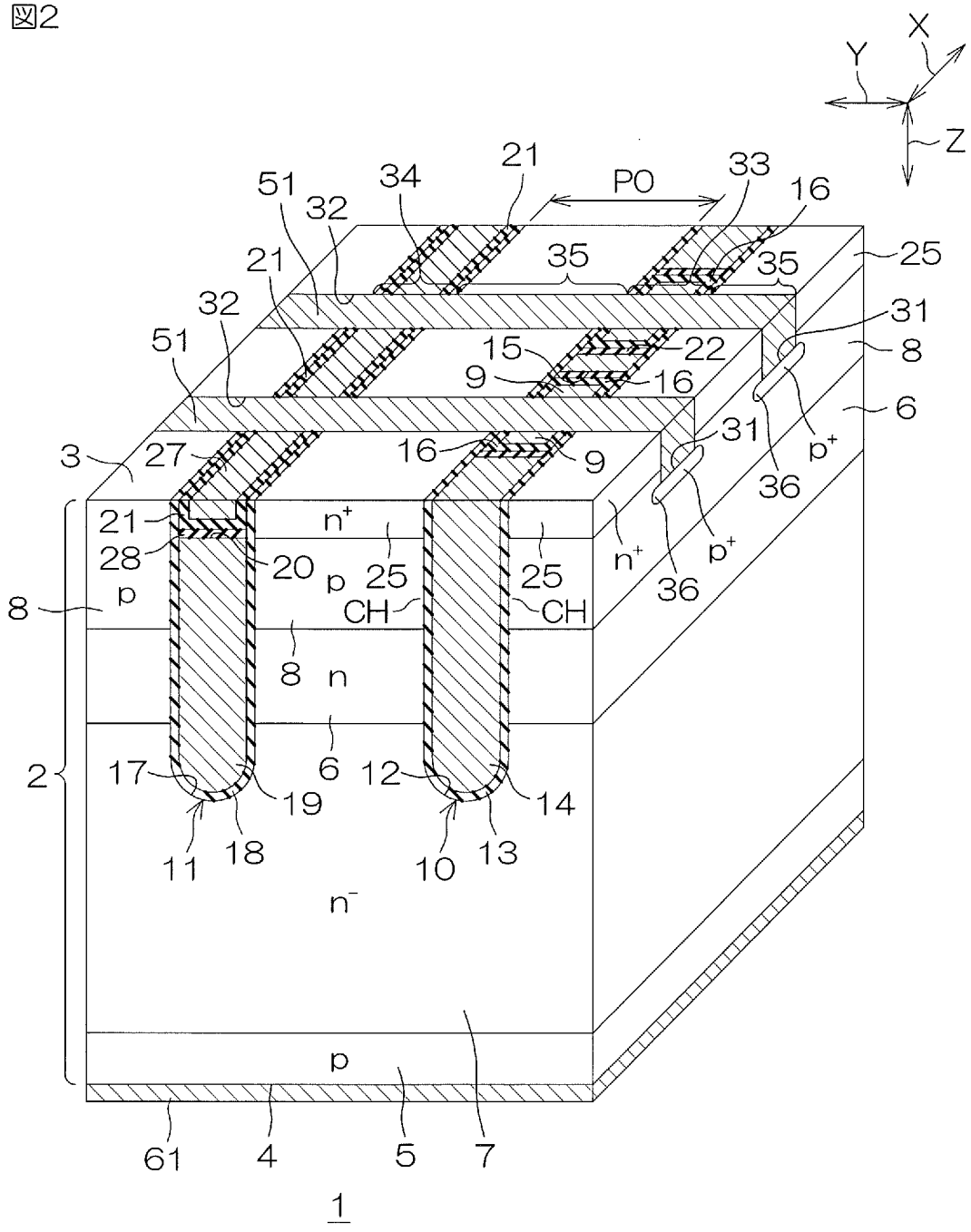
[図1]

図1


X
Y
Z
42
51
25
31
8
6
27
43
41
3
21
28
20
n+
p
25
CH
8
n
2
17
19
11
18
6
12
14
10
13
n−
p
61
4
5
7
1

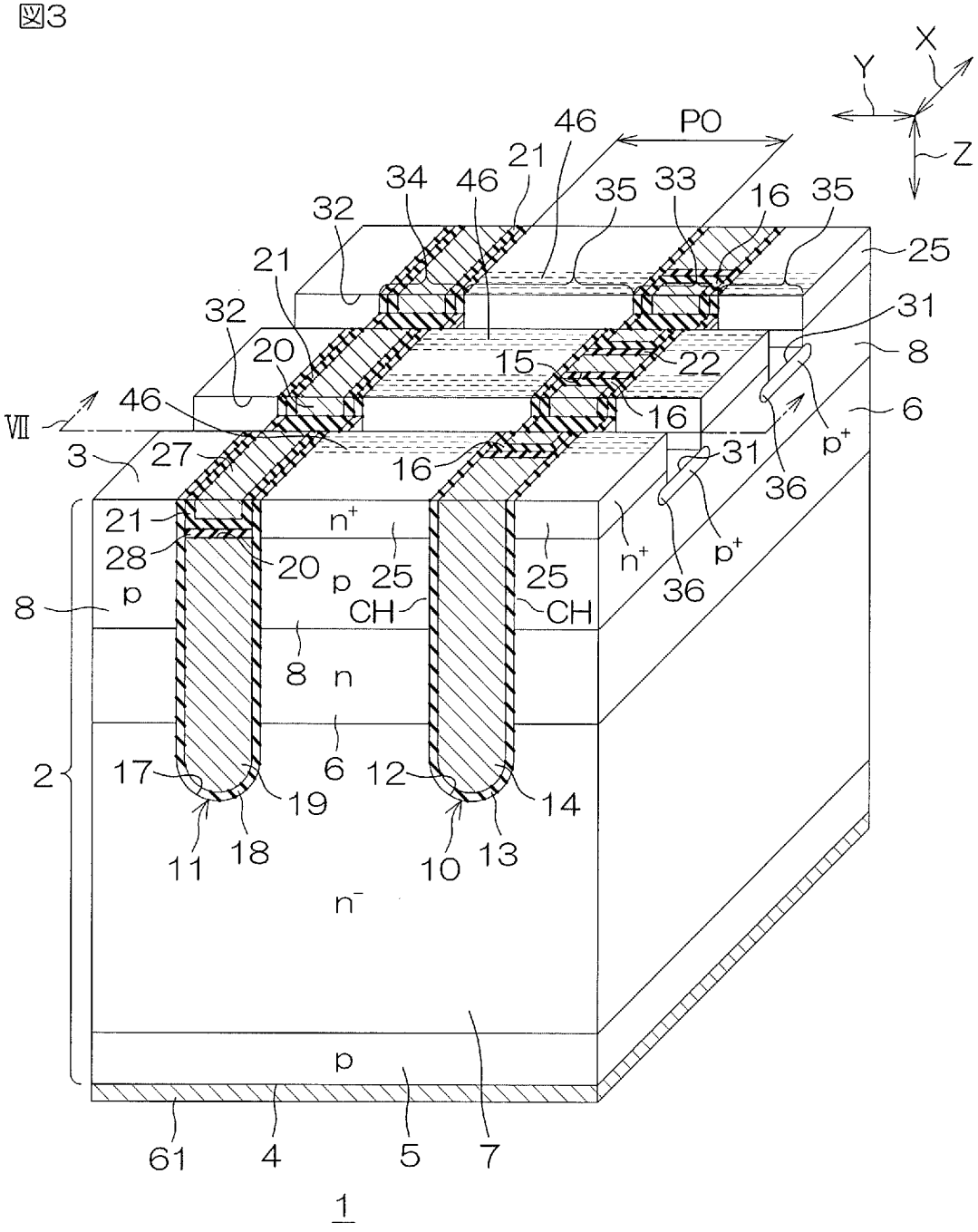
[図2]

図2


X
Y
Z
51
34
21
PO
33
16
32
21
35
35
25
32
31
51
15
22
8
9
16
6
3
27
16
9
31
p+
36
21
n+
28
20
p
25
25
n+
p+
36
8
p
CH
CH
8
n
2
17
6
12
19
14
11
18
10
13
n−
p
61
4
5
7
1

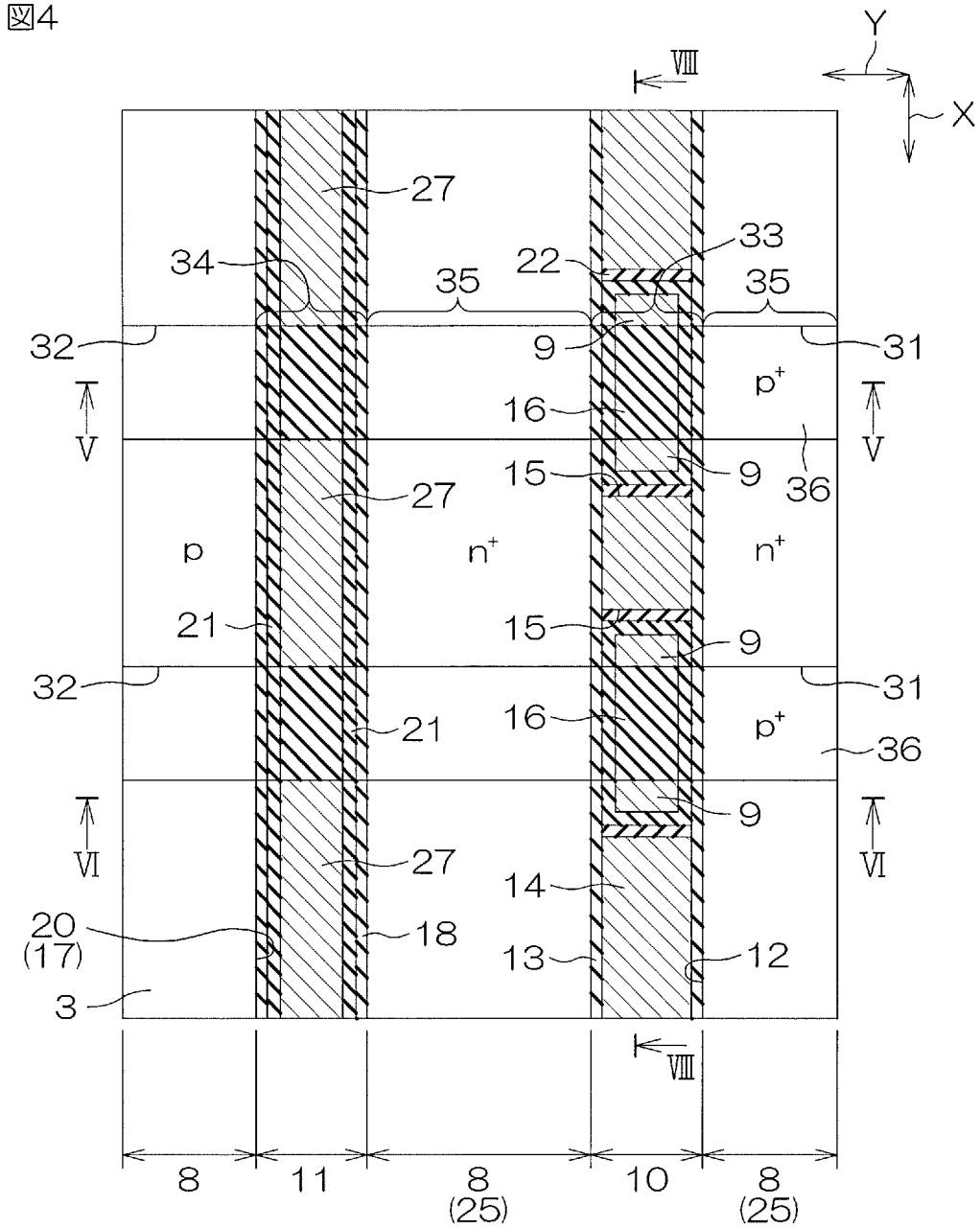
[図3]

図3


X
Y
Z
PO
46
21
34
46
35
33
16
35
32
25
21
31
32
20
15
22
8
46
16
6
Ⅶ
3
27
16
31
36
p+
21
n+
28
20
p
25
25
n+
36
p+
8
p
CH
CH
8
n
2
17
6
12
14
19
11
18
10
13
n−
p
61
4
5
7
1

[図4]

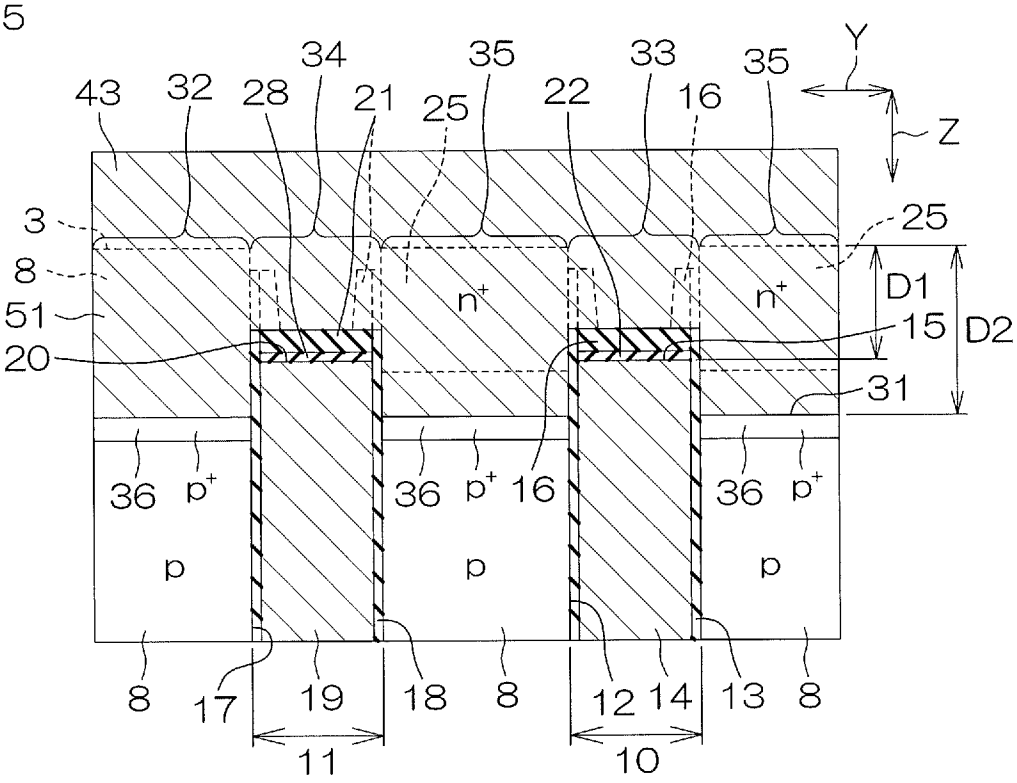
図4


Y
X
VIII
27
34
35
22
33
35
32
9
31
p+
16
V
V
15
9
36
27
p
n+
n+
21
15
9
32
31
16
p+
21
36
VI
9
VI
27
14
20
(17)
18
13
12
3
VIII
8
11
8
(25)
10
8
(25)

1

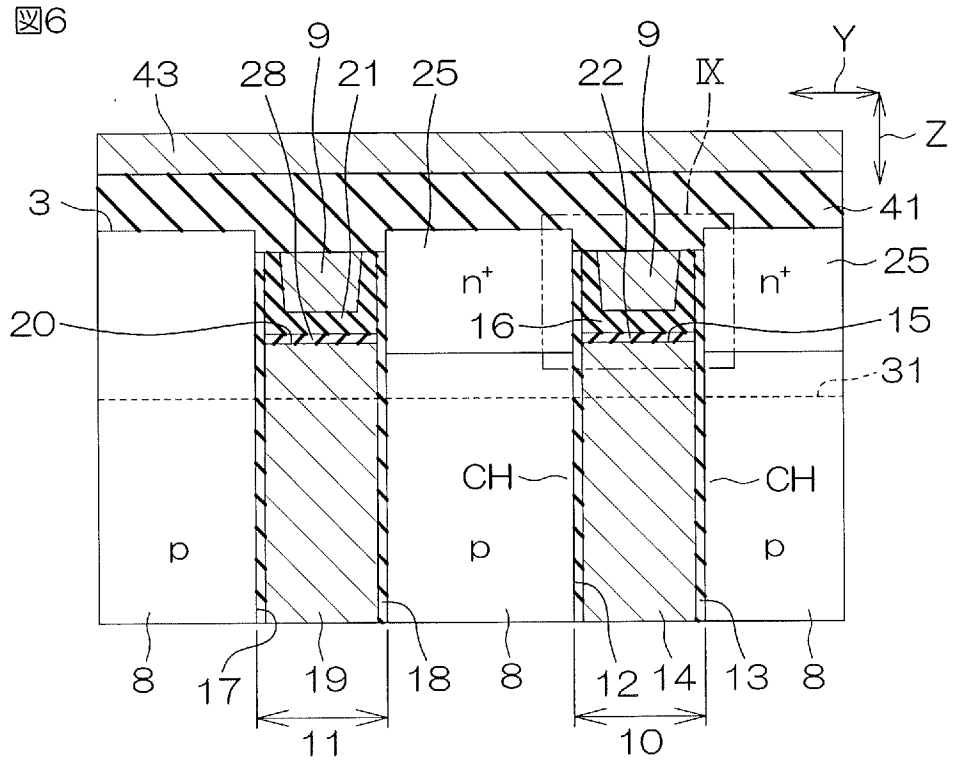
[図5]

図5


43
32
28
34
21
25
35
22
33
16
35
Y
Z
3
8
51
20
25
D1
D2
15
31
n+
n+
36
p+
36
p+
16
36
p+
p
p
p
8
17
19
18
8
12
14
13
8
11
10

[図6]

図6


43
28
9
21
25
22
9
IX
Y
Z
3
41
25
n+
n+
20
16
15
31
CH
CH
p
p
p
8
17
19
18
8
12
14
13
8
11
10

[図7]

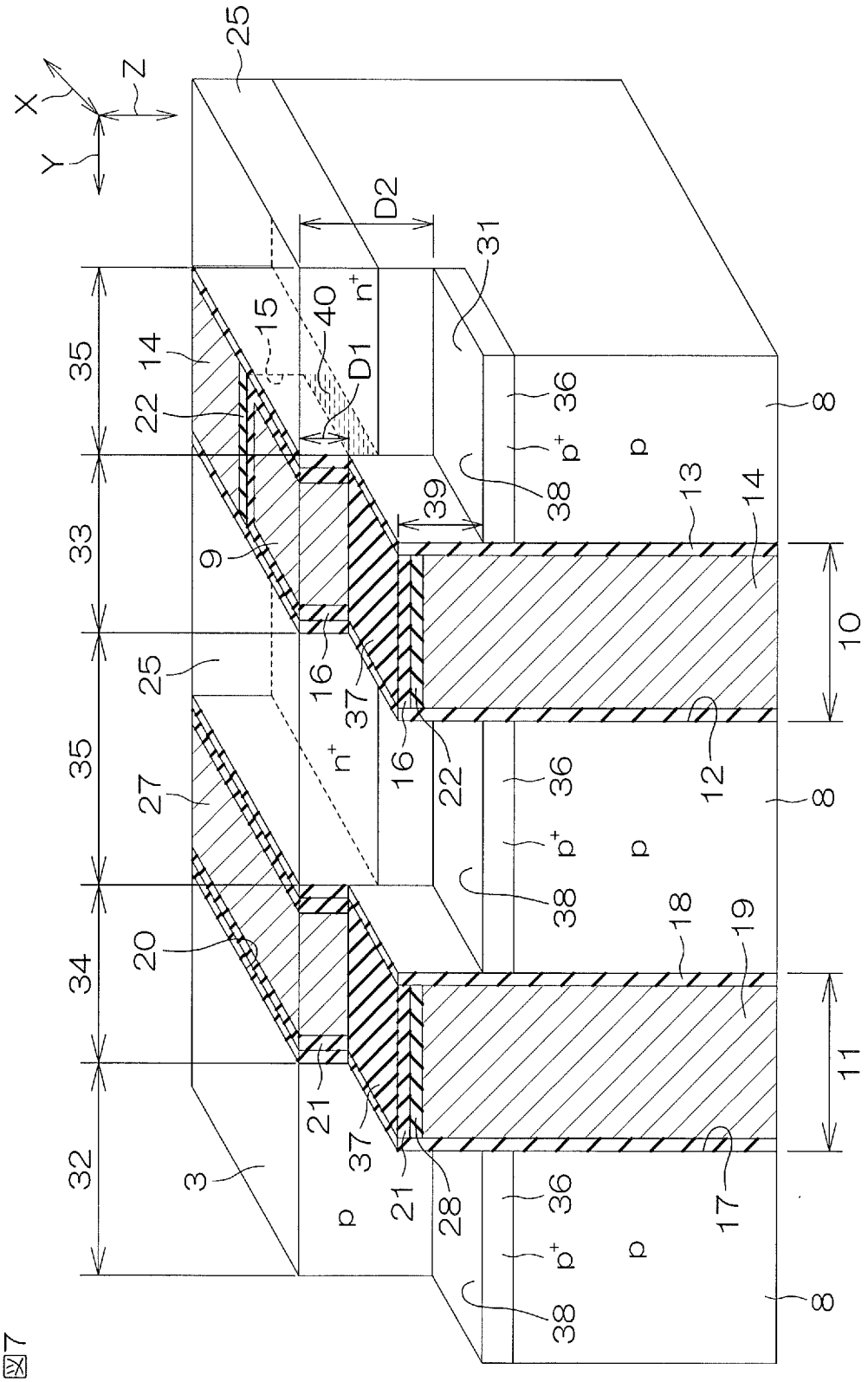
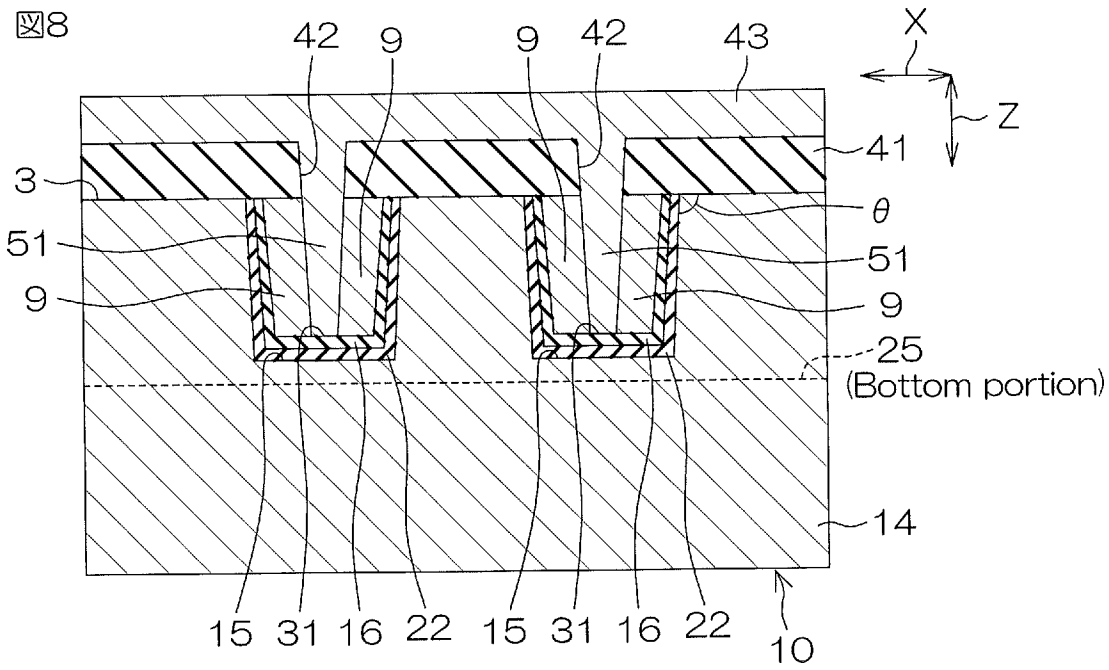

X
Y
Z
25
D2
31
35
14
15
40
n+
D1
22
36
p+
p
8
38
39
13
14
33
9
10
16
37
25
n+
35
27
16
22
12
36
p+
p
8
38
18
19
34
20
11
21
37
21
28
17
32
3
p
36
p+
p
8
38

図7

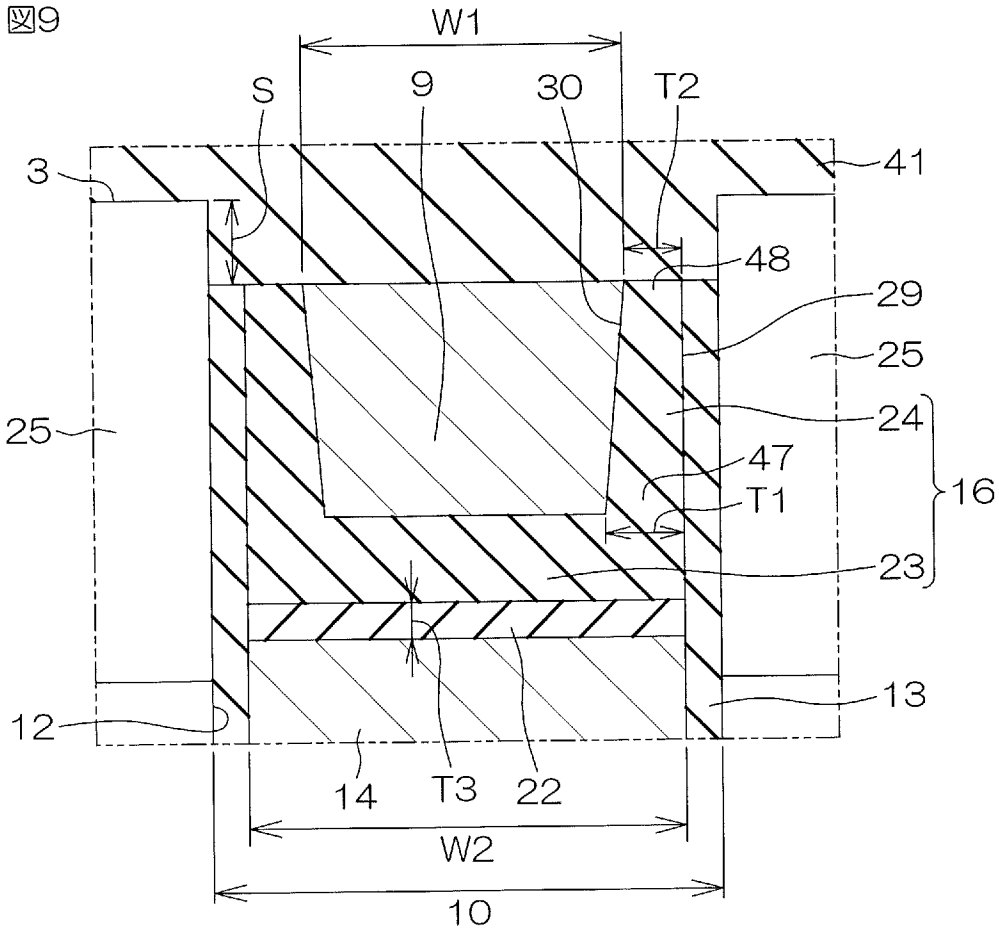
[図8]

図8


42
9
9
42
43
X
Z
41
3
θ
51
51
9
9
25
(Bottom portion)
14
15
31
16
22
15
31
16
22
10

[図9]

図9


W1
S
9
30
T2
3
41
48
29
25
25
24
47
T1
16
23
13
12
14
T3
22
W2
10

[図10]

図10A

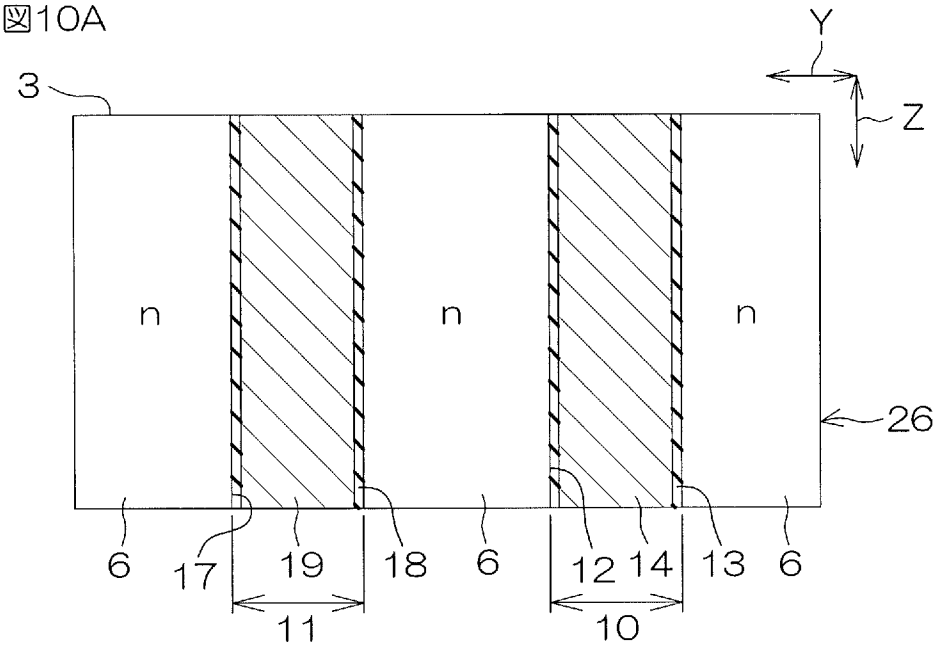
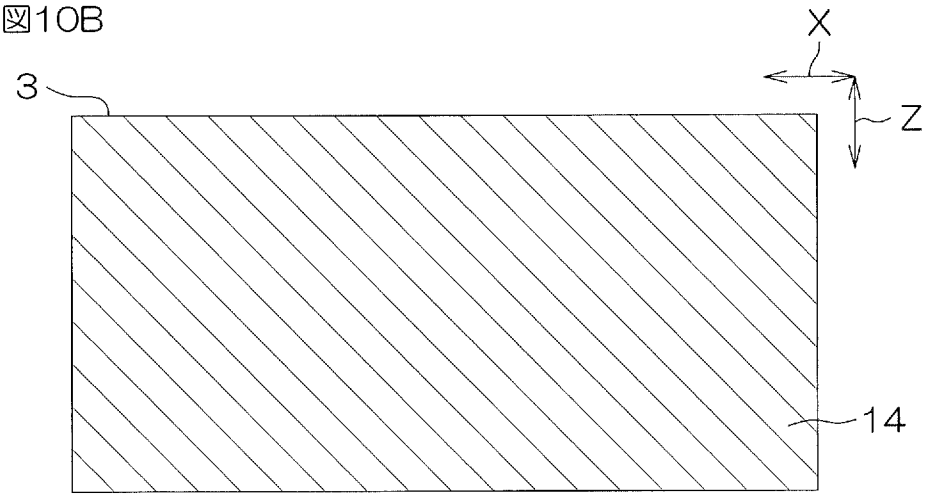


図10B



[図11]

図11A

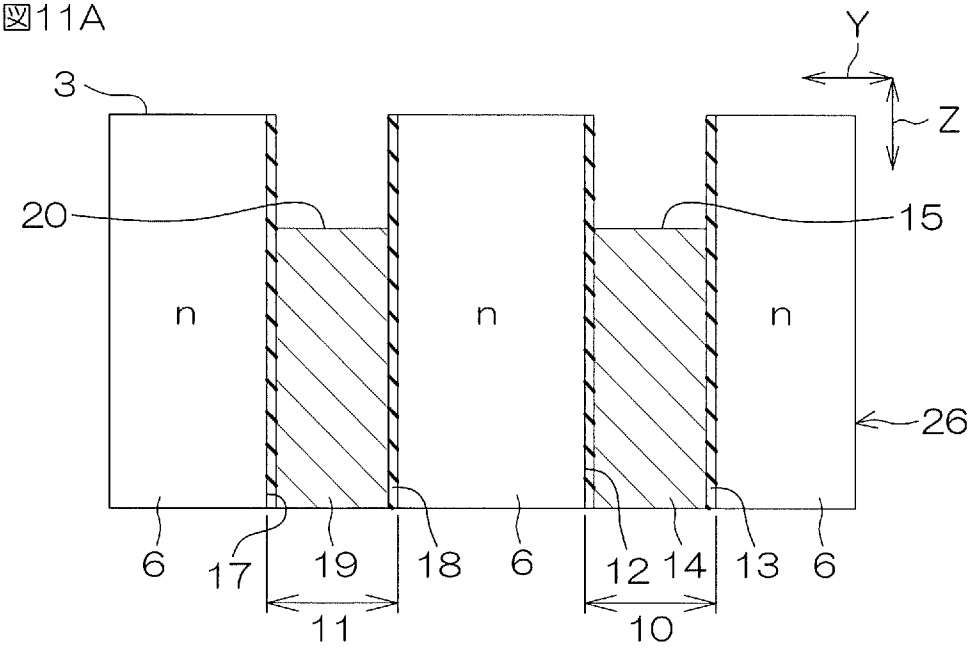
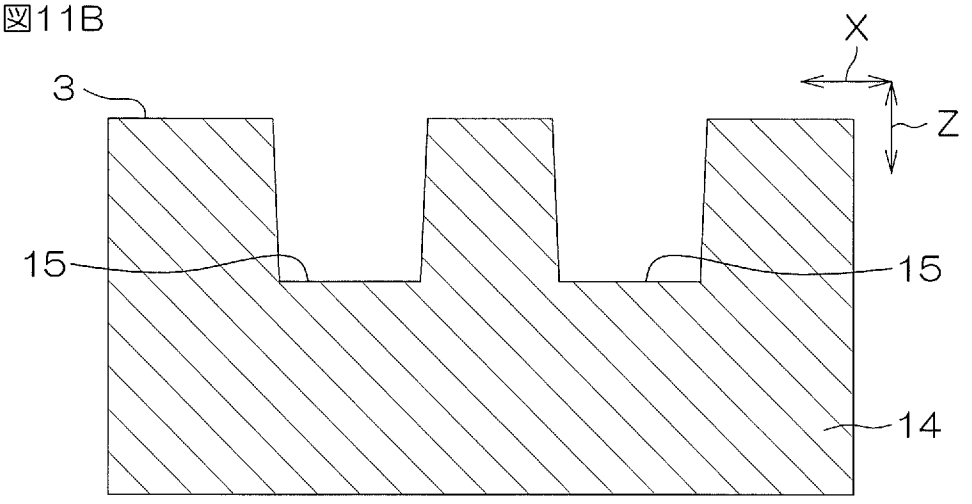


図11B



[図12]

図12A

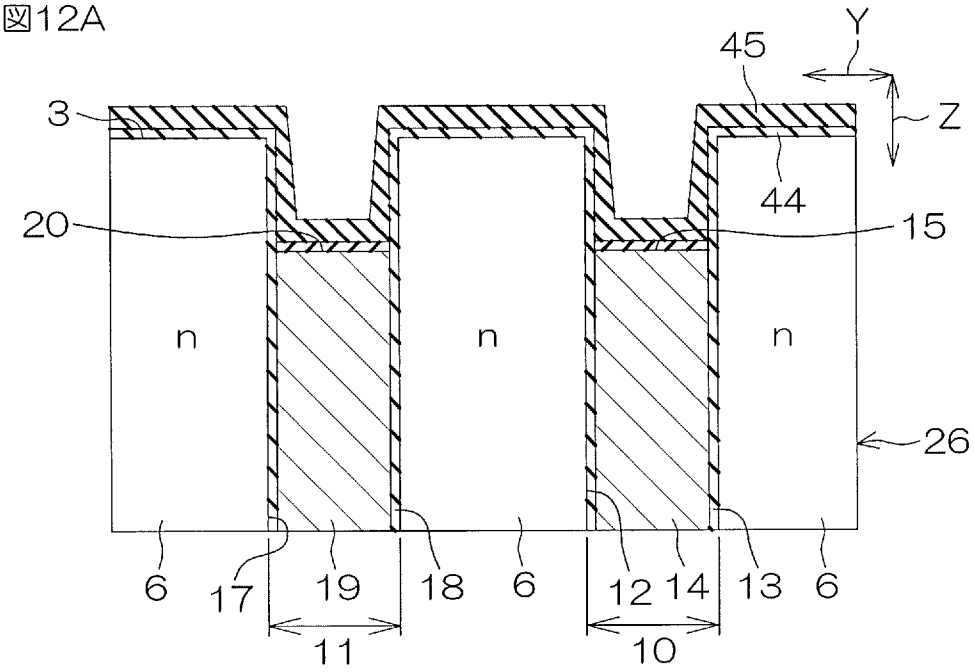
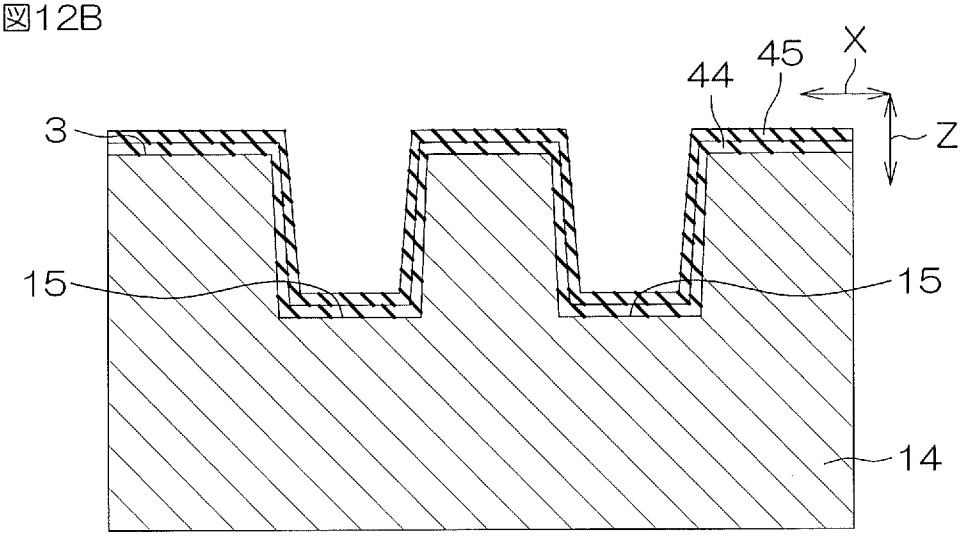


図12B



[図13]

図13A

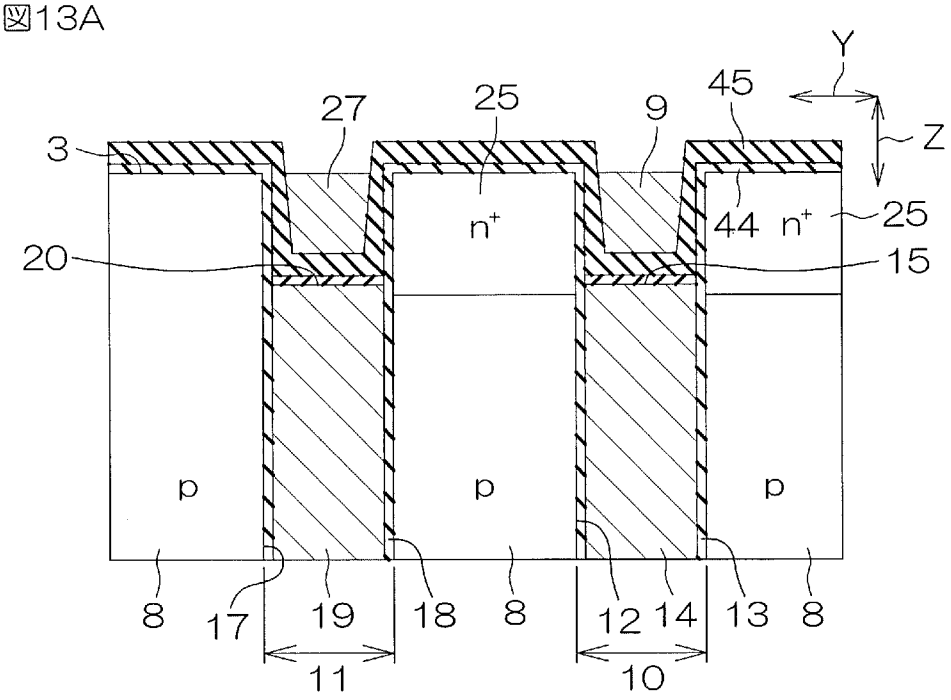
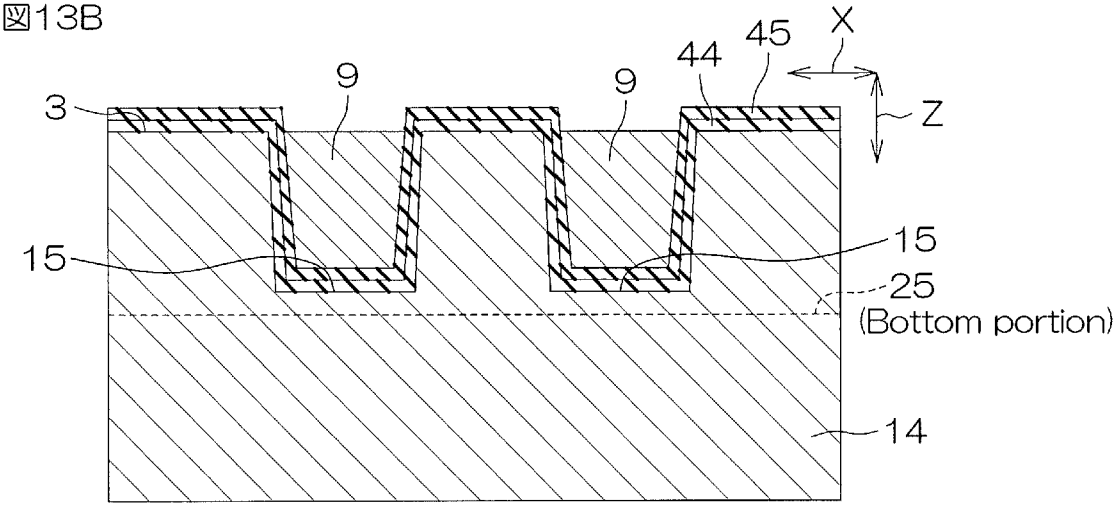


図13B



[図14]

図14A

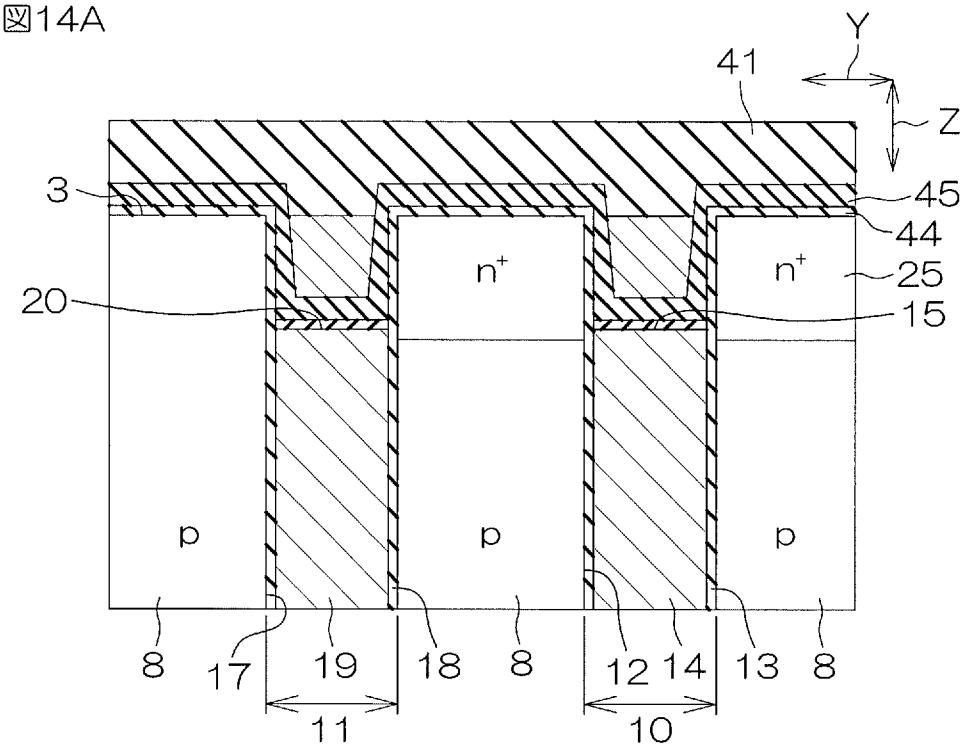
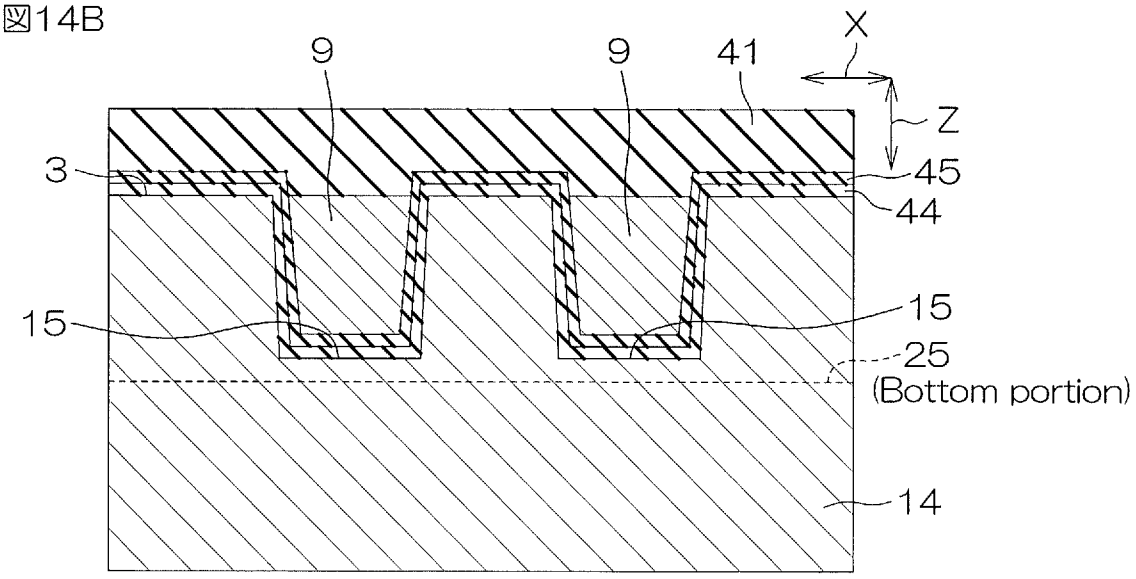


図14B



[図15]

図15A

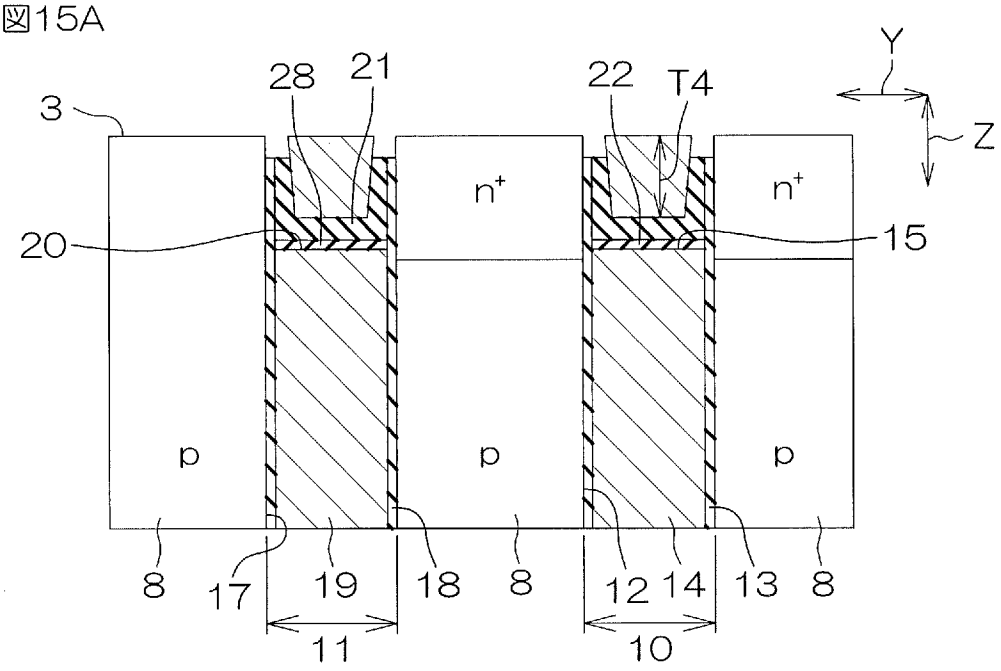
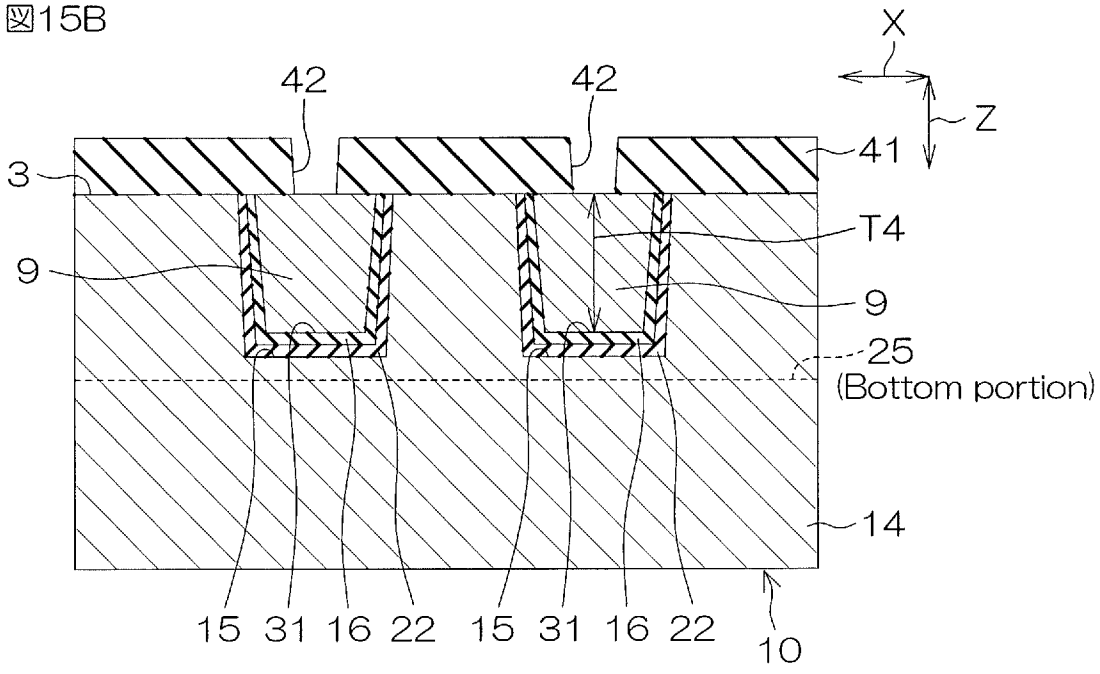


図15B



[図16]

図16A

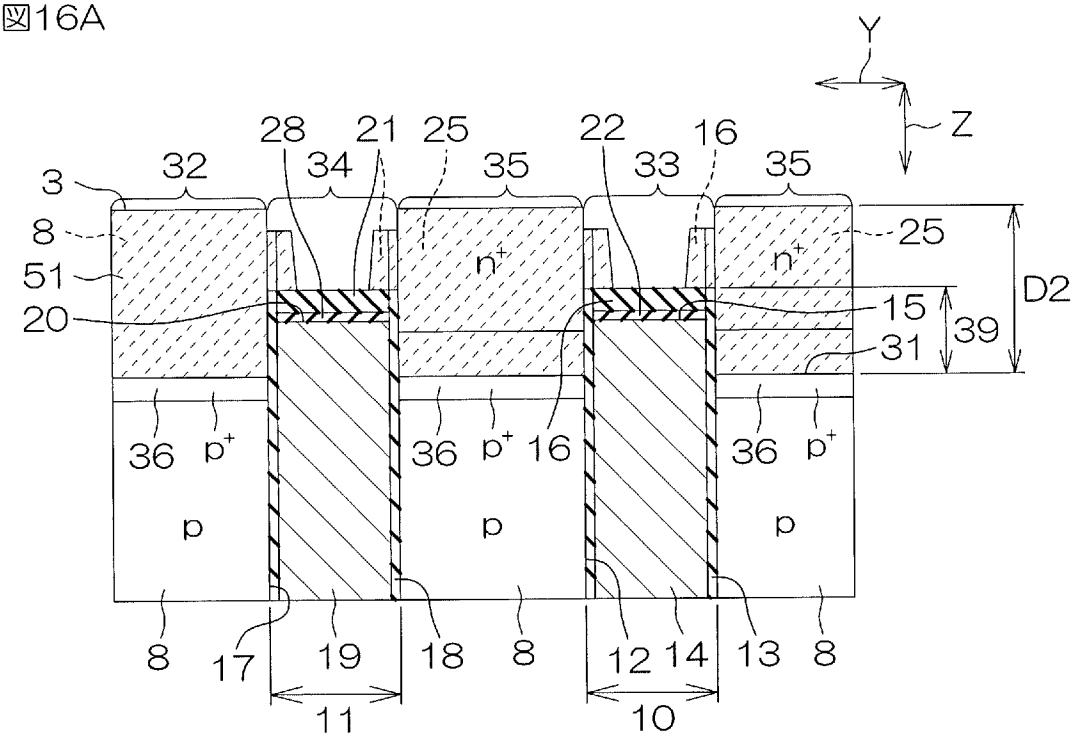
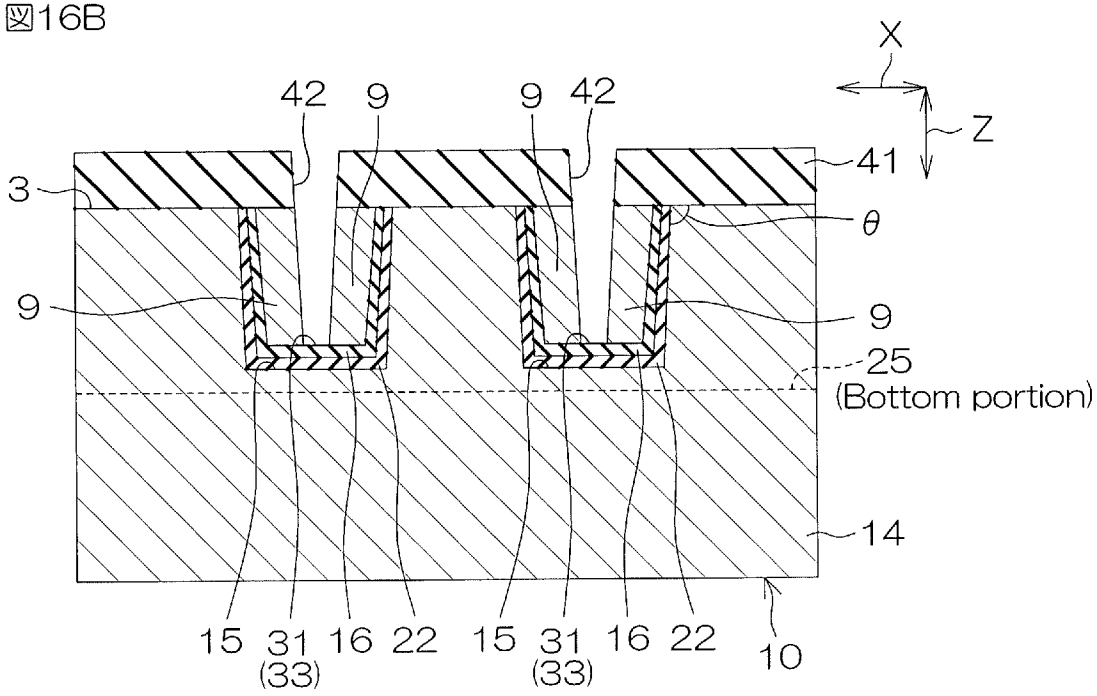


図16B



[図17]

図17A

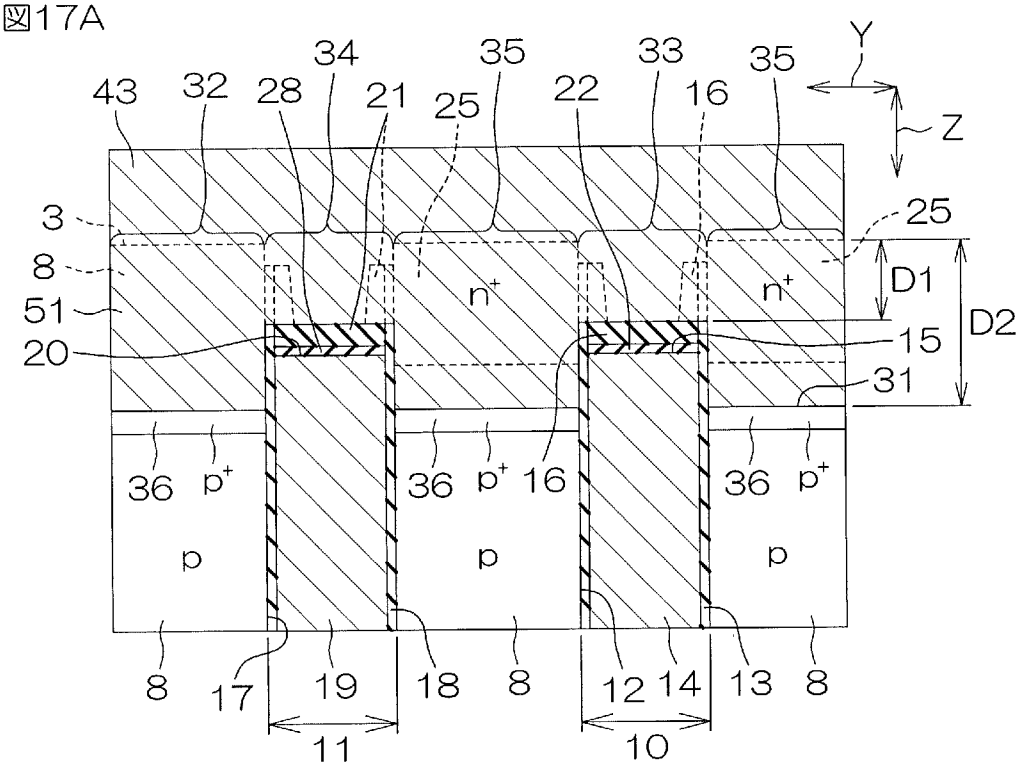
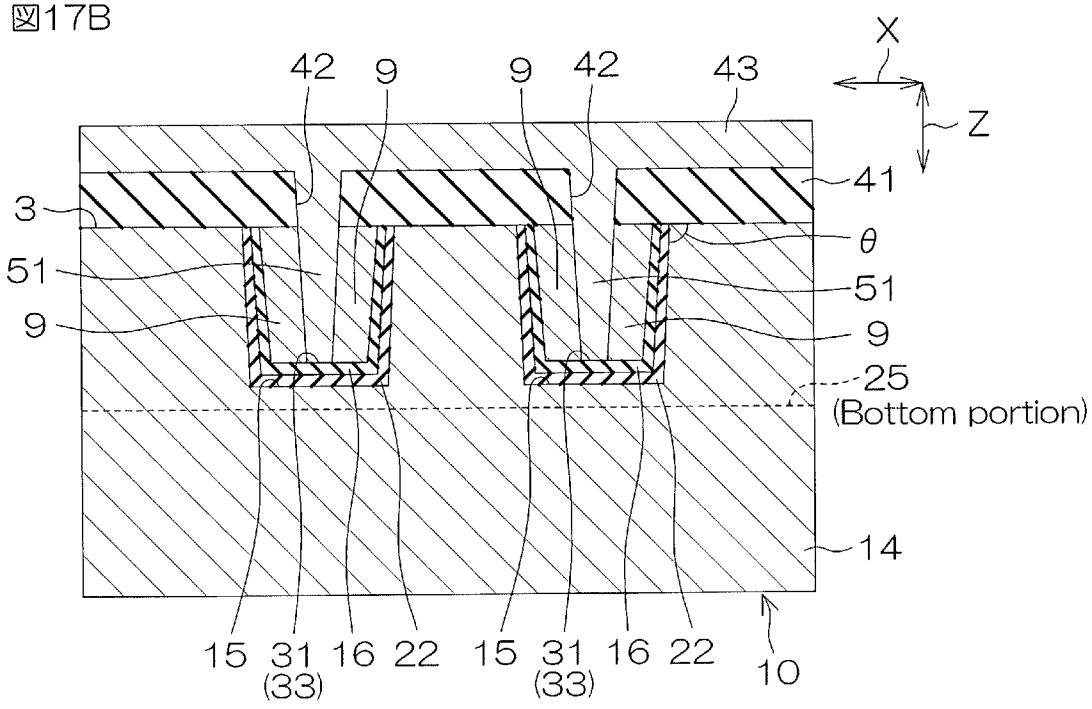
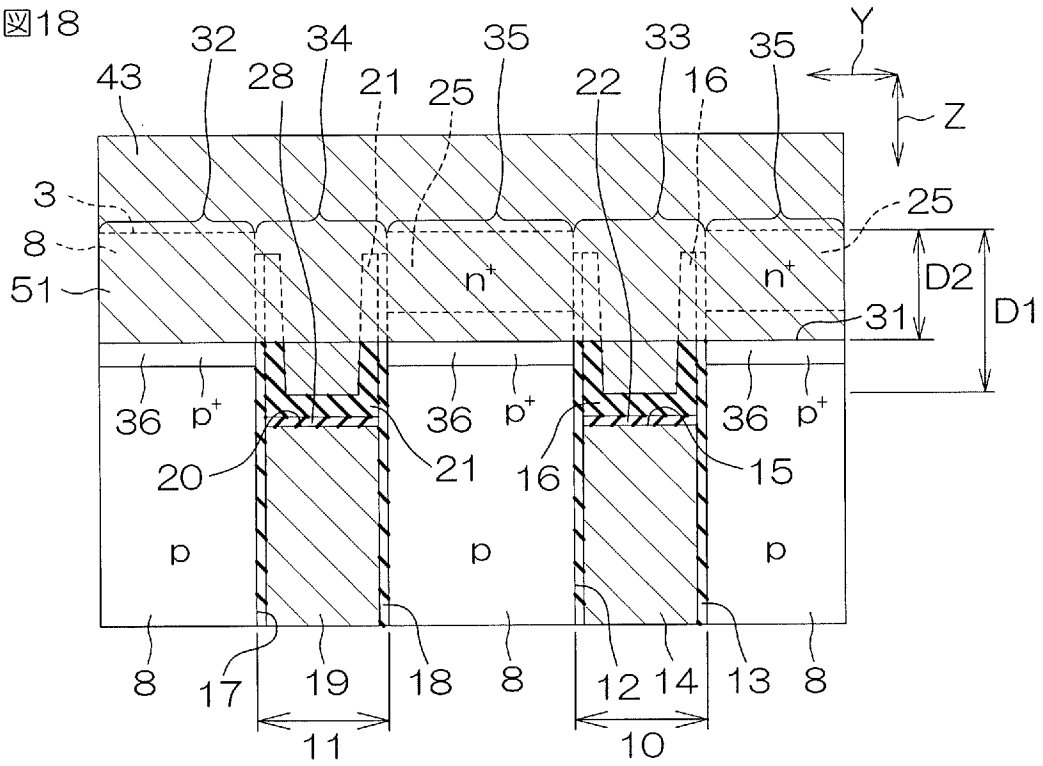


図17B



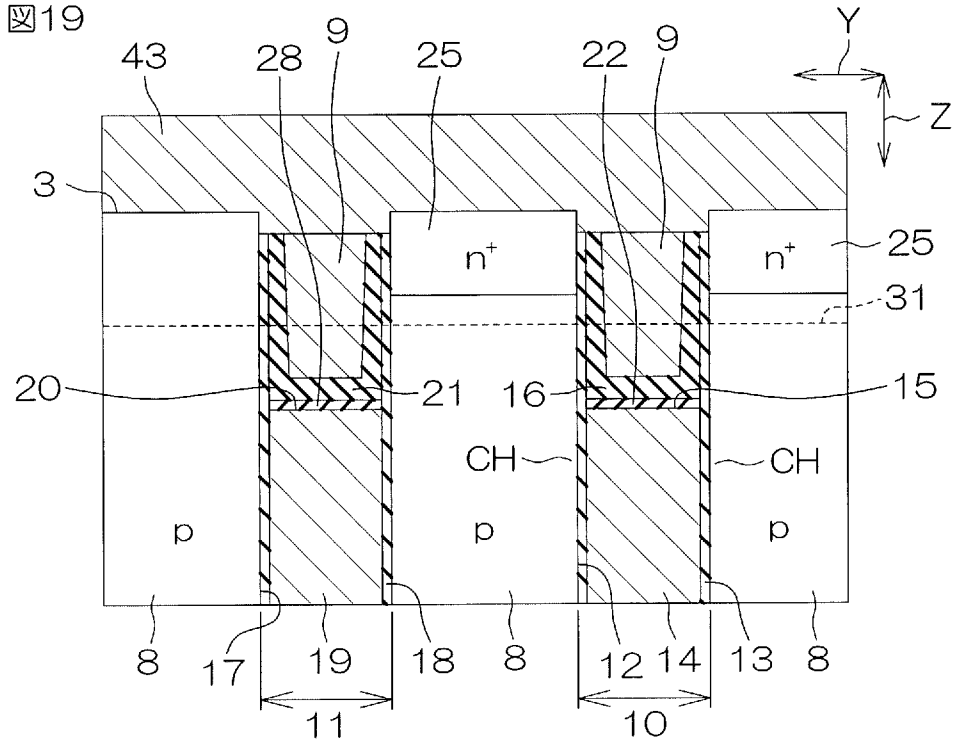
[図18]

図18



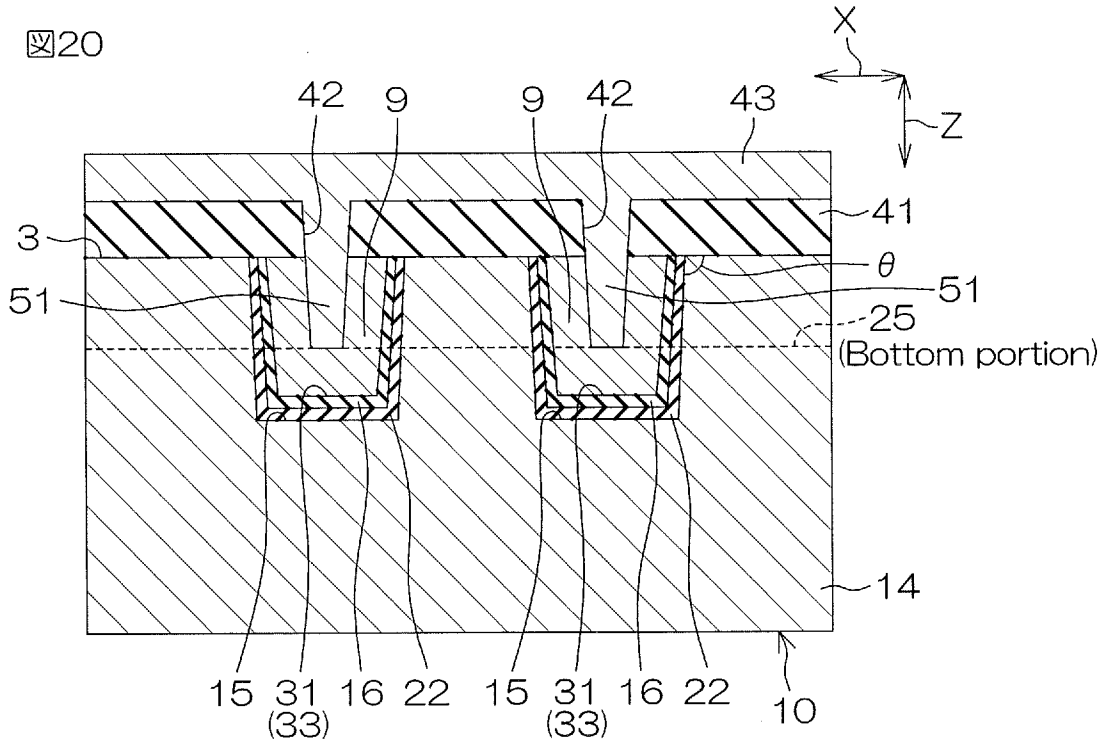
[図19]

図19



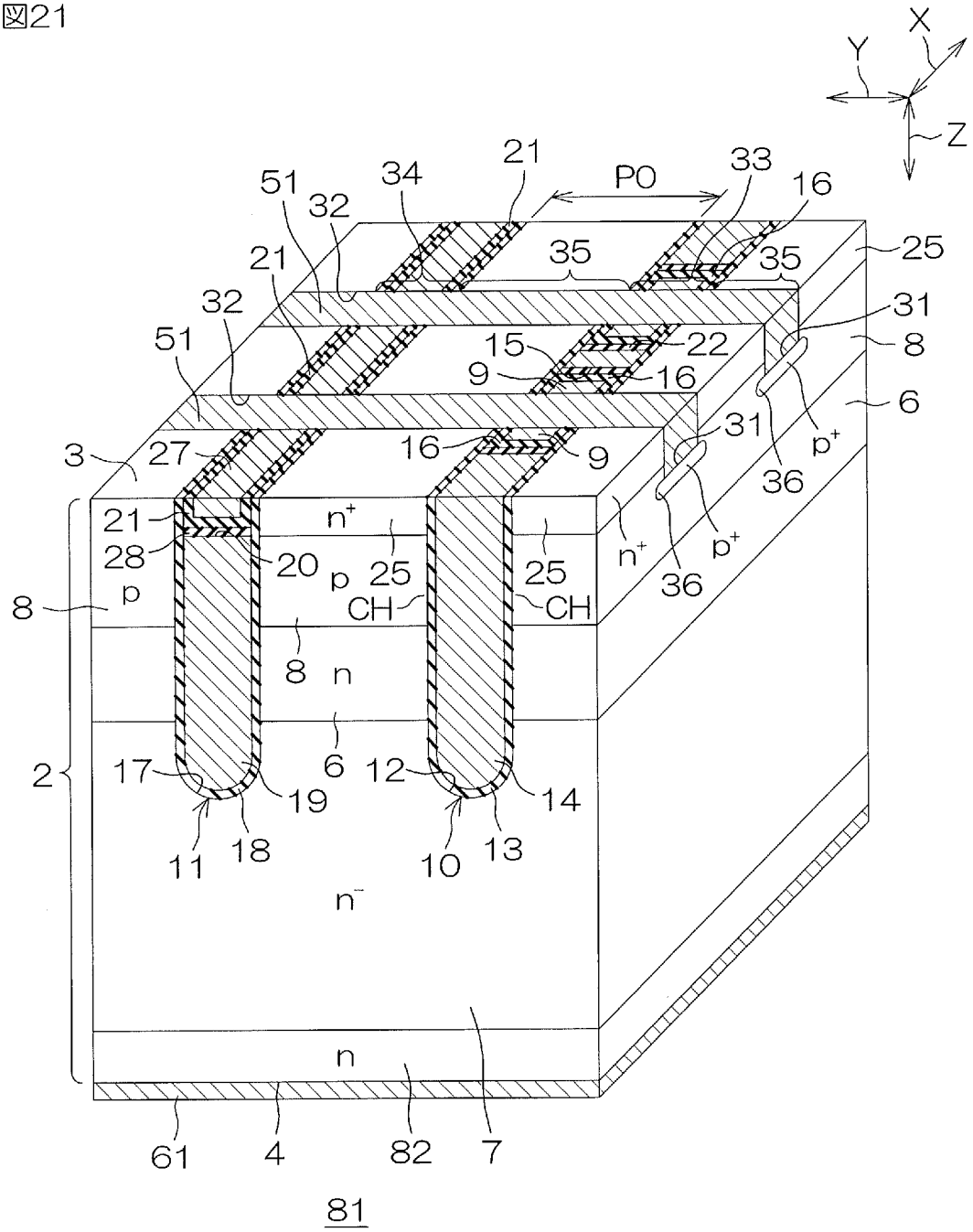
[図20]

図20


X
Z
42
9
9
42
43
41
3
θ
51
51
25
(Bottom portion)
14
15
31
(33)
16
22
15
31
(33)
16
22
10

[図21]

図21


X
Y
Z
P0
51
32
34
21
33
16
35
25
31
8
6
15
22
9
3
27
36
p+
n+
28
20
p
CH
2
17
19
12
14
11
18
10
13
n−
61
4
82
7
81

[図22]

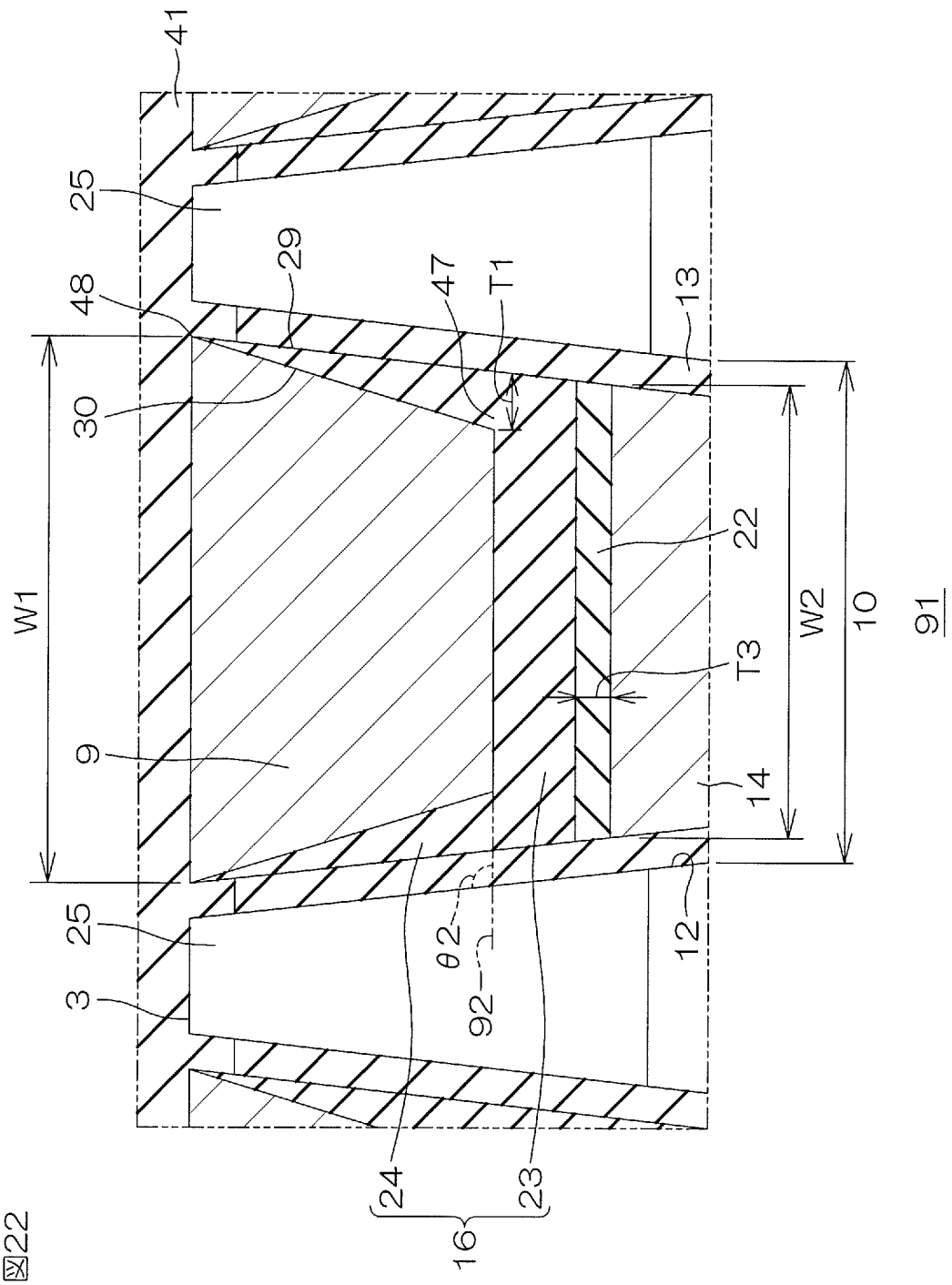


図22

[図23]

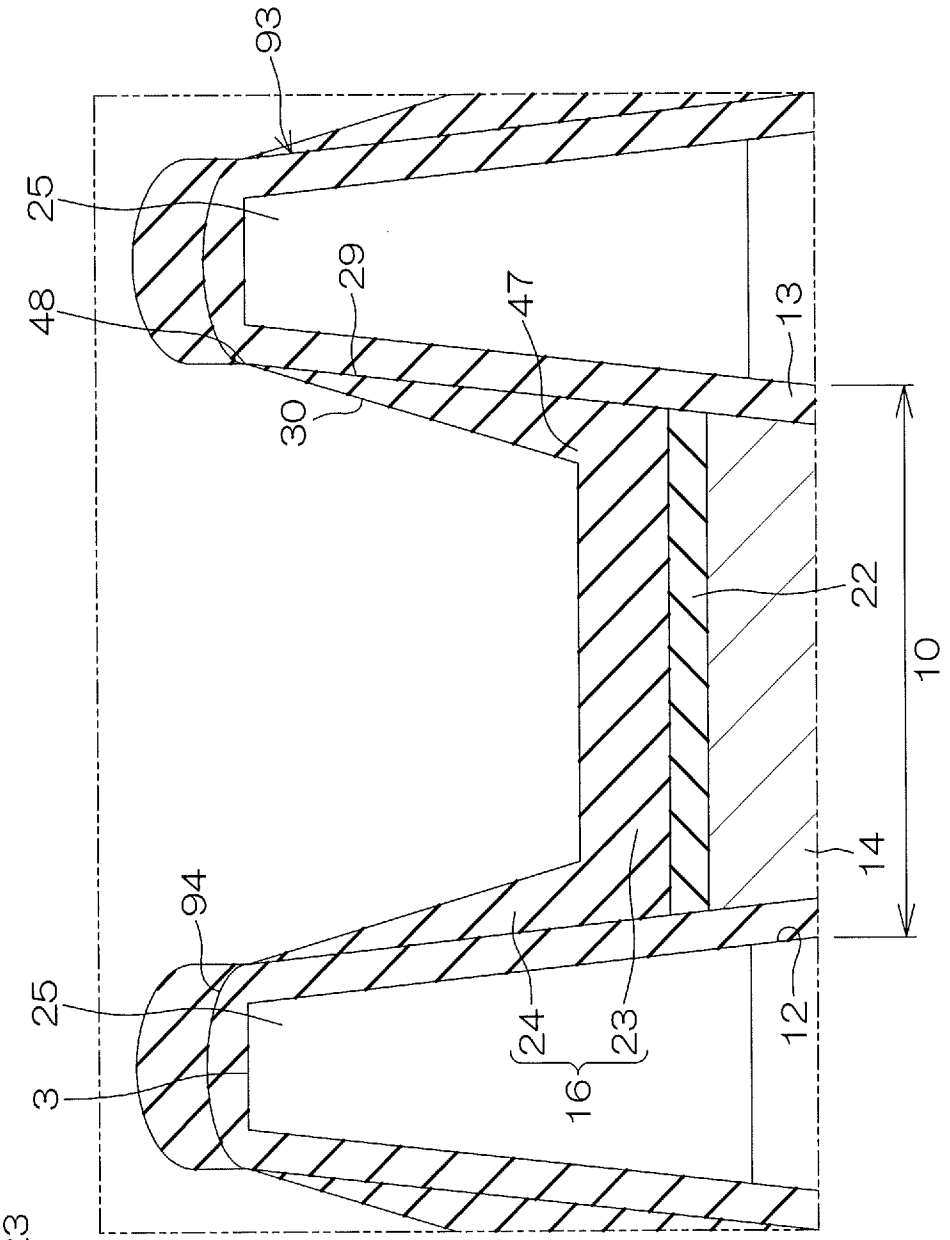


図23

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/030989

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 29/12***(2006.01)i; ***H01L 29/739***(2006.01)i; ***H01L 21/336***(2006.01)i
FI: H01L29/78 652K; H01L29/78 652J; H01L29/78 653C; H01L29/78 655A; H01L29/78 652M; H01L29/78 655G; H01L29/78 658F; H01L29/78 658G; H01L29/78 652T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L29/12; H01L29/739; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2019/103135 A1 (ROHM CO., LTD.) 31 May 2019 (2019-05-31) paragraphs [0011]-[0077], fig. 1-6	1-3, 6
Y		12
A		4-5, 7-11, 13-15
Y	JP 2001-160549 A (MATSUSHITA ELECTRONICS INDUSTRY CORP.) 12 June 2001 (2001-06-12) paragraphs [0005], [0014], [0017]	12
A		1-11, 13-15
A	JP 2003-303967 A (SHINDENGEN ELECTRIC MFG. CO., LTD.) 24 October 2003 (2003-10-24)	1-15
A	JP 2005-116985 A (TOYOTA MOTOR CORP.) 28 April 2005 (2005-04-28)	1-15
A	JP 2019-220727 A (ROHM CO., LTD.) 26 December 2019 (2019-12-26)	1-15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 October 2023	**07 November 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/030989

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2019/103135 A1	31 May 2019	US 2020/0287044 A1 paragraphs [0058]-[0124], fig. 1-6 DE 112018006007 T5 CN 111373547 A	
JP 2001-160549 A	12 June 2001	(Family: none)	
JP 2003-303967 A	24 October 2003	(Family: none)	
JP 2005-116985 A	28 April 2005	(Family: none)	
JP 2019-220727 A	26 December 2019	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2023/030989

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 21/336(2006.01)i
FI: H01L29/78 652K; H01L29/78 652J; H01L29/78 653C; H01L29/78 655A; H01L29/78 652M; H01L29/78 655G; H01L29/78 658F; H01L29/78 658G; H01L29/78 652T

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L29/12; H01L29/739; H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2019/103135 A1 (ローム株式会社) 31.05.2019 (2019-05-31) 段落[0011]-[0077], 図1-6	1-3, 6
Y		12
A		4-5, 7-11, 13-15
Y	JP 2001-160549 A (松下電子工業株式会社) 12.06.2001 (2001-06-12) 段落[0005], [0014], [0017]	12
A		1-11, 13-15
A	JP 2003-303967 A (新電元工業株式会社) 24.10.2003 (2003-10-24)	1-15
A	JP 2005-116985 A (トヨタ自動車株式会社) 28.04.2005 (2005-04-28)	1-15
A	JP 2019-220727 A (ローム株式会社) 26.12.2019 (2019-12-26)	1-15

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.10.2023	07.11.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
石塚　健太郎 5F 4815
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/030989

引用文献	公表日	パテントファミリー文献	公表日
WO 2019/103135 A1	31.05.2019	US 2020/0287044 A1 段落[0058]-[0124], 図1-6 DE 112018006007 T5 CN 111373547 A	
JP 2001-160549 A	12.06.2001	（ファミリーなし）	
JP 2003-303967 A	24.10.2003	（ファミリーなし）	
JP 2005-116985 A	28.04.2005	（ファミリーなし）	
JP 2019-220727 A	26.12.2019	（ファミリーなし）	