

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 561 443

②1 N° d'enregistrement national :

84 04204

⑤1 Int Cl^a : H 01 L 21/90, 21/308.

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 19 mars 1984.

③0 Priorité :

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 38 du 20 septembre 1985.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : *COMMISSARIAT A L'ENERGIE ATO-
MIQUE, Etablissement de caractère scientifique, tech-
nique et industriel.* — FR.

⑦2 Inventeur(s) : Joël Hartmann et Pierre Jeuch.

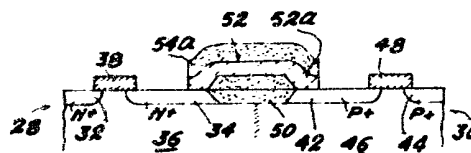
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Brevatome.

⑤4 Procédé pour interconnecter les zones actives et/ou les grilles d'un circuit intégré CMOS.

⑤7 Procédé pour interconnecter les zones actives et/ou les
grilles d'un circuit intégré CMOS.

Ce procédé se caractérise en ce que, après avoir réalisé les
éléments constitutifs 32, 34, 38, 42, 44, 48, 50 du circuit
intégré à l'exception des connexions 52a, on dépose directe-
ment sur l'ensemble du circuit une couche 52 d'un matériau
conducteur, puis on grave cette couche 52 de matériau
conducteur afin de réaliser les connexions voulues 52a.



FR 2 561 443 - A1

D

Procédé pour interconnecter les zones actives et/ou
les grilles d'un circuit intégré CMOS

La présente invention a pour objet un procédé pour interconnecter les zones actives et/ou les grilles d'un circuit intégré CMOS. Ce procédé permet en particulier de réaliser des connexions à courtes distances entre les sources et les drains des transistors MOS (métal-oxyde-semiconducteur) à canal N ou P entrant dans la constitution du circuit intégré CMOS (MOS complémentaire) et aussi de connecter ces sources et/ou ces drains avec les grilles de ces mêmes transistors.

Les circuits intégrés CMOS, dont le plus simple est un inverseur, constitué uniquement d'un transistor à canal N et d'un transistor à canal P dont l'un est bloqué quand l'autre conduit et vice versa, présentent l'avantage de consommer très peu d'énergie électrique. En revanche, ils présentent une faible densité d'intégration.

Cette faible densité d'intégration est liée en particulier à la nécessité de connecter fréquemment des régions de type N⁺ (source ou drain des transistors à canal N) et des régions de type P⁺ (source ou drain des transistors à canal P), cette nécessité s'expliquant par le fait que chaque porte élémentaire du circuit intégré comprend à la fois des transistors à canal N et des transistors à canal P.

Ces connexions, comme représenté sur la figure 1 illustrant en coupe longitudinale un inverseur CMOS, sont actuellement obtenues, après avoir réalisé les éléments constitutifs du circuit, c'est-à-dire les zones actives telles que les sources 2 et 8 et les drains 4 et 6 des transistors du circuit, les grilles 12 et 14 de ces transistors et l'oxyde de champ 16, en

déposant tout d'abord sur l'ensemble du circuit intégré une couche d'isolant 18, généralement en oxyde de silicium, puis en gravant cette couche d'isolant afin de réaliser les trous de contact électrique, tels que
5 20 et 22, des zones actives ainsi que ceux des grilles. Ensuite, on dépose sur la couche d'isolant gravée 18 une couche conductrice 24, généralement en aluminium, puis on grave celle-ci afin de réaliser les connexions voulues, telles que la connexion 24a entre le
10 drain 4 du transistor à canal N et le drain 6 du transistor à canal P de l'inverseur.

Dans un tel procédé, outre la surface occupée par les connexions elles-mêmes, ce sont essentiellement les trous de contact électrique (20, 22) réalisés dans la couche d'isolant, et les gardes telles que
15 26 et 27 nécessaires pour le positionnement de ces trous qui réduisent la densité d'intégration des circuits intégrés CMOS.

Afin d'augmenter la densité d'intégration de ces circuits CMOS, notamment en diminuant la surface occupée par les connexions, on réalise parfois des circuits à deux niveaux d'interconnexion, généralement en aluminium, mais ceci complique le procédé de fabrication des circuits de façon significative, et ne
20 permet pas, de toute façon, de supprimer les encombrements des trous de contact électrique, réalisés dans la couche d'isolant.

La présente invention a justement pour objet un procédé pour interconnecter les zones actives et/ou
30 les grilles des circuits intégrés CMOS permettant de remédier à ces inconvénients et permettant notamment d'augmenter de façon notable la densité d'intégration de ces circuits.

Ce procédé permet, après la réalisation des
35 éléments constitutifs du circuit intégré, telles que

Les zones actives, les grilles et l'oxyde de champ, de réaliser les différentes connexions voulues, sans avoir au préalable déposé sur l'ensemble du circuit intégré une couche isolante et réaliser, dans cette
5 couche, des trous de contact électrique nécessaires pour réaliser les connexions.

Il peut être utilisé avantageusement pour effectuer des liaisons à courtes distances, c'est-à-dire des liaisons entre les sources et drains et/ou
10 les grilles des transistors du circuit intégré.

De façon plus précise, l'invention a pour objet un procédé pour interconnecter les zones actives et/ou les grilles d'un circuit intégré CMOS, se caractérisant en ce que, après avoir réalisé les éléments
15 constitutifs du circuit intégré, à l'exception des connexions, on dépose directement sur l'ensemble du circuit une couche d'un matériau conducteur, dit premier matériau, puis on grave cette couche de matériau conducteur afin de réaliser les connexions voulues.

Par éléments constitutifs d'un circuit intégré, il faut comprendre tout ce qui constitue le circuit, c'est-à-dire l'oxyde de champ, les sources, drains et grilles des transistors, les circuits à transfert de charge (CCD) etc..., avant que l'on ait
20 réalisé les différentes connexions du circuit ; la couche d'isolant, dans laquelle on réalise les trous de contact électrique, utilisée dans l'art antérieur pour permettre la réalisation des connexions du circuit ne fait bien entendu pas partie des éléments
25 constitutifs du circuit intégré.

Le fait de supprimer, dans le procédé de l'invention, le dépôt de la couche isolante et la réalisation des trous de contact électrique dans cette
30 couche, pour réaliser les différentes connexions du circuit, permet d'augmenter de façon considérable la
35

densité d'intégration des circuits CMOS.

Selon un mode particulier de mise en oeuvre du procédé de l'invention, la couche du premier matériau conducteur est gravée au moyen d'un plasma.

5 Selon un autre mode particulier de mise en oeuvre du procédé de l'invention, on effectue les étapes successives suivantes :

- dépôt sur l'ensemble du circuit intégré de la couche du premier matériau conducteur,
- 10 - dépôt sur la couche du premier matériau conducteur d'une couche d'un deuxième matériau, ce deuxième matériau étant différent du premier matériau conducteur,
- réalisation d'un masque sur la couche du deuxième
- 15 matériau représentant l'image des connexions à réaliser,
- élimination de la partie de la couche du deuxième matériau dépourvue de masque,
- élimination de la partie de la couche du premier
- 20 matériau conducteur dépourvue du restant de la couche du deuxième matériau, et
- élimination du masque.

Afin de réaliser un auto-alignement des connexions sur les zones actives (source et drain) des circuits intégrés, le procédé objet de l'invention

25 peut avantageusement comprendre les étapes successives suivantes :

- isolation latérale des grilles du circuit intégré,
- dépôt sur l'ensemble du circuit intégré de la couche
- 30 du premier matériau conducteur,
- dépôt sur la couche du premier matériau conducteur d'une première couche de résine servant à effacer le relief de la couche du premier matériau conducteur,
- réalisation d'une gravure de la première couche de
- 35 résine afin de ne laisser de la résine qu'aux emplacements des zones actives à interconnecter,

- réalisation dans une deuxième couche de résine d'un masque représentant l'image des connexions à réaliser,
- élimination de la partie de la couche du premier matériau conducteur dépourvue de résine, et
- élimination de la résine.

De façon avantageuse, la couche du premier matériau conducteur est réalisée en un alliage de titane et de tungstène et la couche du deuxième matériau en silicium, en oxyde de silicium ou en aluminium.

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre, donnée à titre illustratif et non limitatif, en référence aux figures annexées, dans lesquelles :

- la figure 1, déjà décrite, représentant en coupe longitudinale un inverseur CMOS, illustre le procédé d'interconnexion d'un tel circuit selon l'art antérieur,
- les figures 2 à 5 illustrent, en coupe longitudinale, les différentes étapes du procédé de l'invention, conformément à un premier mode de mise en oeuvre, et
- les figures 6 à 9 illustrent, en coupe longitudinale, les différentes étapes du procédé de l'invention, conformément à un deuxième mode de mise en oeuvre.

Sur les figures 2 à 5, on a représenté un inverseur CMOS, constitué d'un transistor MOS₂₈ à canal N et d'un transistor MOS₃₀ à canal P que l'on désire interconnecter.

Le transistor 28 à canal N comporte une source 32 et un drain 34, réalisés dans un substrat semiconducteur 36, par exemple en silicium de type P, ainsi qu'une grille 38, réalisée par exemple en sili-

5 cium polycristallin dopé. De même, le transistor 30 à canal P comporte une source 44 et un drain 42, réalisés dans un substrat semiconducteur 46, notamment en silicium de type N, ainsi qu'une grille 48 par exemple en silicium polycristallin dopé ou en siliciure.

10 Ces transistors 28 et 30 sont séparés l'un de l'autre par un oxyde de champ 50 réalisé par exemple selon la technologie LOCOS (oxydation localisée). Cet oxyde de champ 50 est partiellement enterré dans le substrat semiconducteur.

15 Les sources, les drains et les grilles de ces deux transistors 28 et 30 ainsi que l'oxyde de champ 50 représentent ce qu'on appelle les éléments constitutifs du circuit intégré, ici un inverseur CMOS.

20 Conformément à l'invention, l'interconnexion du drain 34 du transistor 28 à canal N et du drain 42 du transistor 30 à canal P est réalisée, en déposant directement sur l'ensemble du circuit intégré une couche 52 de matériau conducteur, dit premier matériau, puis en gravant cette couche 52 de premier matériau conducteur afin de réaliser la connexion désirée (figure 5), notamment la connexion du drain 34 et du drain 42 du circuit intégré. Cette couche 52, de préférence en un alliage de titane et de tungstène comprenant par exemple 90% en poids de tungstène et 10% en poids de titane, peut être déposée par la technique de dépôt par pulvérisation magnétron. Elle présente par exemple une épaisseur de 0,1 μm .

30 La gravure de cette couche conductrice 52 peut être réalisée, comme représenté sur les figures 2 à 5, c'est-à-dire en déposant tout d'abord sur cette couche 52 une couche 54 d'un deuxième matériau, ce deuxième matériau étant différent du premier matériau constituant la couche 52. Cette couche 54, déposée par
35

exemple par la technique de pulvérisation magnétron peut être réalisée en silicium ou en oxyde de silicium et éventuellement en aluminium. Elle peut présenter une épaisseur d'environ 500 \AA ($5 \cdot 10^{-2} \text{ \mu m}$).

5 On réalise ensuite sur cette couche 54 un masque 56, par exemple en résine par les procédés classiques de la photolithographie, représentant l'image de la connexion 52a (figure 3) à réaliser, c'est-à-dire servant à définir les dimensions de cette
10 connexion.

Après la réalisation du masque, on élimine la partie de la couche 54 de deuxième matériau dépourvue de masque. La structure obtenue est représentée sur la figure 3. Lorsque la couche 54 est réalisée en
15 oxyde de silicium, la gravure de celle-ci peut par exemple être réalisée chimiquement avec de l'acide fluorhydrique (HF) comme agent d'attaque et lorsque la couche est réalisée en silicium, cette gravure peut être réalisée en utilisant un plasma contenant de
20 l'hexafluorure de soufre (SF_6).

Les étapes suivantes du procédé de l'invention consistent à éliminer la partie de la couche 52 du premier matériau conducteur non recouverte du restant 54a de la couche 54, comme représenté sur la figure 4. La gravure de la couche conductrice 52, le
25 restant 54a de la couche 54 servant de masque à cette gravure, peut être réalisée par attaque chimique, par exemple à l'aide d'une solution contenant de l'acide sulfurique (H_2SO_4) et de l'eau oxygénée (H_2O_2) lorsque
30 cette couche 52 est réalisée en Ti-W.

Ce mélange d'acide sulfurique et d'eau oxygénée permet d'éliminer également le masque de résine 56. La structure finale est représentée sur la figure 5.

35 La couche 52 de matériau conducteur ainsi

gravée permet de connecter entre eux le drain 34 du transistor 28 à canal N et le drain 42 du transistor 30 à canal P.

5 Outre son rôle de masque pour la gravure de la couche 52, l'emploi d'une couche 54 de deuxième matériau en silicium ou en oxyde de silicium permet d'éviter, lors de l'insolation de la résine photosensible pour la réalisation du masque, le phénomène d'interférence dans ladite résine, ce phénomène étant
10 dû au grand pouvoir réfléchissant des couches conductrices généralement utilisées (ici Ti-W). Ceci permet d'obtenir, dans la couche de résine, une image plus précise de la connexion à réaliser.

15 Sur les figures 6 à 9, on a représenté un autre mode de mise en oeuvre du procédé selon l'invention. Ce mode de mise en oeuvre permet d'obtenir un auto-alignement de la ligne d'interconnexion à réaliser, par exemple la ligne 52a, sur les zones actives à connecter, par exemple le drain 34 et le drain 42 respectivement des transistors 28 à canal N et 30 à canal P.
20

Comme précédemment, après avoir réalisé les éléments constitutifs du circuit intégré, c'est-à-dire les sources, les drains et les grilles des transistors 28 et 30 et l'oxyde de champ 50, on réalise, comme représenté sur la figure 6, une isolation latérale 57 des grilles 38 et 48 du circuit intégré ayant la forme de bandes isolantes d'environ 2500 Å (0,25 μm) de large. Cette isolation latérale peut être
25 réalisée en oxyde de silicium ou en nitrure de silicium. Elle peut être réalisée de façon connue, par exemple à l'aide du procédé décrit dans le brevet américain n° 4 234 362 déposé le 18 novembre 1980 de J. RISEMAN ou bien à l'aide du procédé décrit dans le
30 brevet français n° 2 525 029 déposé le 8 avril 1982 au
35

nom du demandeur.

Il est à noter que l'oxyde de champ 50 a été représenté, comme précédemment, partiellement en terre dans le substrat semiconducteur (LOCOS). Cependant, dans ce mode de mise en oeuvre du procédé de l'invention, l'oxyde de champ 50 pourrait avantageusement être réalisé entièrement en relief.

Après la réalisation de cette isolation latérale 57 des grilles du circuit intégré, on dépose sur l'ensemble de ce circuit, par exemple par la technique de dépôt par pulvérisation magnétron, la couche 52 de matériau conducteur, réalisée de préférence en Ti-W et ayant une épaisseur de 0,1 micron environ. Cette couche d'épaisseur constante, présente un profil dépendant de la forme des couches sous-jacentes et notamment des creux au niveau des zones actives (drains 34 et 42).

Ensuite, on dépose éventuellement sur cette couche 52 de matériau conducteur une couche 54 d'un deuxième matériau, ce matériau étant différent du matériau constituant la couche conductrice 52. Cette couche 54, réalisée de préférence en silicium, en oxyde de silicium ou en aluminium, présente aussi un profil dépendant de la forme des couches sous-jacentes, ici la couche conductrice 52, et en particulier comporte des creux aux endroits des zones actives (drains 34 et 42).

Cette couche éventuelle 54 est ensuite recouverte d'une première couche de résine photosensible 58, telle que celle utilisée usuellement en photolithographie. Selon la viscosité de la résine utilisée, on procédera avantageusement à un traitement thermique de la couche de résine 58 afin d'obtenir une surface aussi plane que possible, par exemple un chauffage entre 200°C et 250°C.

L'étape suivante du procédé consiste à réaliser, comme représenté sur la figure 7, une gravure de la couche de résine 58 afin de ne laisser de la résine qu'aux emplacements des zones actives à interconnecter, par exemple les drains 34 et 42, c'est-à-dire aux endroits en creux de la couche 54, lorsque celle-ci existe, ou aux endroits en creux de la couche conductrice 52, en l'absence de la couche 54. Le fait de ne garder de la résine 58 qu'aux emplacements des zones actives se fait automatiquement, compte tenu du profil de la couche 54 ou 52. Cette gravure peut être réalisée par exemple à l'aide d'un procédé de gravure sèche utilisant un plasma d'oxygène.

Après cette gravure de la couche de résine 58, on réalise dans une deuxième couche de résine 60, un masque représentant l'image de la connexion 52a à réaliser selon les procédés classiques de la photolithographie.

L'étape suivante du procédé consiste, comme représenté sur la figure 8, à éliminer la partie de la couche 54 de deuxième matériau dépourvue de résine, c'est-à-dire non recouverte par le masque 60 et le restant de la couche de résine 58 remplissant les creux de la couche 54, lorsque l'on utilise cette couche 54 de matériau. Cette élimination peut se faire en gravant la couche 54 par attaque chimique, notamment avec de l'acide fluorhydrique comme agent d'attaque lorsque celle-ci est réalisée en SiO_2 . Lorsque la couche 54 est réalisée en aluminium cette gravure peut être réalisée en utilisant un plasma contenant du CCl_4 .

Après cela, on élimine la partie de la couche 52 de matériau conducteur non masquée, c'est-à-dire non recouverte du restant 54a de la couche 54 du deuxième matériau. Dans le cas d'une couche conductri-

ce 52 en un alliage de titane et de tungstène, cette gravure peut être réalisée en utilisant un plasma contenant du SF_6 .

5 Enfin, comme représenté sur la figure 9, on élimine la résine, c'est-à-dire le masque 60 et le reste de la couche de résine 58.

10 Le fait de graver la couche 52 de matériau conducteur pour obtenir la connexion 52a des zones actives 34 et 42, en utilisant le masque de résine 60 et la couche de résine 58 gravée comme précédemment, permet d'obtenir une connexion 52a entre les zones actives 34 et 42 du circuit intégré dont les extrémités arrivent au contact des isolations latérales 57 ou bandes isolantes des grilles 38 et 48 du circuit intégré, c'est-à-dire un auto-alignement de la connexion 15 52a sur lesdites zones actives. Cet auto-alignement présente l'avantage de supprimer les gardes normalement nécessaires à l'alignement du masque de la résine 60 sur les zones actives 34 et 42.

20 L'emploi d'une couche 54 de deuxième matériau en silicium, en oxyde de silicium ou en aluminium permet d'éviter l'exposition de la couche 52 en TiW à une atmosphère oxydante lors des étapes ultérieures. L'emploi d'aluminium pour cette couche 54 permet en 25 outre d'abaisser la résistance des lignes d'interconnexion ainsi réalisées.

30 Comme on l'a dit précédemment, le procédé décrit ci-dessus en référence aux figures 6 à 9 peut être mis en oeuvre sans utiliser la couche 54 de deuxième matériau, cette couche servant en particulier à obtenir, dans la résine constituant le masque 60, une meilleure image de la connexion 52a à réaliser. Dans ce cas, après la réalisation du masque de résine 60, on élimine la partie de la couche conductrice 52 dépourvue de résine, c'est-à-dire non recouverte par le 35

masque 60, et le restant de la couche de résine 58. Cette gravure de la couche conductrice 52 peut être réalisée à l'aide d'une gravure par plasma, par exemple en utilisant un plasma contenant du SF₆ lorsque
5 cette couche 52 est réalisée en Ti-W.

Après gravure de la couche 52, on élimine la résine, c'est-à-dire le masque 60 et le restant de couche de résine 58.

Dans le mode de mise en oeuvre du procédé de
10 l'invention, utilisant des isolations latérales 57 des grilles du circuit intégré (figures 6 à 9), il est possible de réaliser une étape supplémentaire, juste après la réalisation de ces isolations, consistant à implanter des ions dans les zones actives à connecter,
15 et notamment dans les drains 34 et 42 du circuit intégré. Cette implantation ionique permet notamment d'éviter les risques de court-circuit entre les sources ou les drains du circuit intégré et le substrat dudit circuit et notamment au bord de l'oxyde de
20 champ, ce court-circuit pouvant provenir d'une légère attaque de l'oxyde de champ lors des différentes étapes du procédé de l'invention et notamment lors de la réalisation des isolations latérales 57 des grilles du circuit intégré.

25 Cette implantation ionique permet aussi d'obtenir au niveau des grilles, notamment 38 et 48 du circuit intégré, une double jonction de sources et drains, ce qui permet de diminuer le champ électrique entre les drains et les grilles adjacents.

30 Cette implantation ionique peut être réalisée en masquant à chaque fois les régions complémentaires, c'est-à-dire les régions de type N⁺ puis les régions de type P⁺ à l'aide d'un masque de résine. Elle peut être réalisée avec des ions d'arsenic à une
35 énergie de 130 keV et une dose de $5 \cdot 10^{15}$ at/cm² pour

Les régions de type N^+ et des ions Bore à une énergie de 40 keV et une dose de $3 \cdot 10^{15}$ at/cm² pour les régions de type P^+ .

5 Le procédé de l'invention permet de réaliser dans les circuits intégrés CMOS des liaisons à courte distance, c'est-à-dire des liaisons entre les sources et les drains de ces circuits et/ou les grilles, sans effectuer au préalable le dépôt puis la gravure d'une
10 couche d'isolant, ce qui permet d'augmenter de façon considérable la densité d'intégration de ces circuits.

En ce qui concerne les connexions à longue distance de ces circuits, celles-ci peuvent être réalisées de façon classique.

15 Le procédé de l'invention a été décrit dans le cas d'une connexion entre les drains d'un inverseur CMOS, mais bien entendu il peut être utilisé pour d'autres types de connexion et en particulier pour connecter les grilles des transistors du circuit intégré aux sources ou aux drains de ces mêmes transis-
20 tors.

REVENDEICATIONS

1. Procédé pour interconnecter les zones actives et/ou les grilles d'un circuit intégré CMOS, caractérisé en ce que, après avoir réalisé les éléments constitutifs du circuit intégré (32, 34, 38, 42, 44, 48, 50) à l'exception des connexions (52a), on dépose directement sur l'ensemble du circuit une couche (52) d'un matériau conducteur, dit premier matériau, puis on grave cette couche (52) de matériau conducteur afin de réaliser les connexions voulues (52a).

2. Procédé selon la revendication 1, caractérisé en ce que l'on grave la couche (52) du premier matériau conducteur au moyen d'un plasma.

3. Procédé selon la revendication 1, caractérisé en ce que l'on effectue les étapes successives suivantes :

- dépôt sur l'ensemble du circuit intégré de la couche (52) du premier matériau conducteur,
- dépôt sur la couche (52) du premier matériau conducteur d'une couche (54) d'un deuxième matériau, ce deuxième matériau étant différent du premier matériau conducteur,
- réalisation d'un masque (56) sur la couche (54) du deuxième matériau représentant l'image des connexions (52a) à réaliser,
- élimination de la partie de la couche (54) du deuxième matériau dépourvue de masque,
- élimination de la partie de la couche (52) du premier matériau conducteur dépourvue du restant (54a) de la couche (54) du deuxième matériau, et
- élimination du masque (56).

4. Procédé selon la revendication 1, caractérisé en ce que l'on effectue les étapes suivantes :

- isolation latérale (57) des grilles (38, 48) du circuit intégré,

- dépôt sur l'ensemble du circuit intégré de la couche (52) du premier matériau conducteur,
- dépôt sur la couche (52) du premier matériau conducteur d'une première couche de résine (58) servant à effacer le relief de la couche (52) du premier matériau conducteur,
- réalisation d'une gravure de la première couche de résine (58) afin de ne laisser de la résine qu'aux emplacements des zones actives (34, 42) à interconnecter,
- réalisation dans une deuxième couche de résine (60) d'un masque représentant l'image des connexions (52a) à réaliser,
- élimination de la partie de la couche (52) du premier matériau conducteur dépourvue de résine (58, 60), et
- élimination de la résine (58, 60).

5. Procédé selon la revendication 1, caractérisé en ce que l'on effectue les étapes successives suivantes :

- isolation latérale (57) des grilles (38, 48) du circuit intégré,
- dépôt sur l'ensemble du circuit intégré de la couche (52) du premier matériau conducteur,
- dépôt sur la couche (52) du premier matériau conducteur d'une couche (54) d'un deuxième matériau, ce deuxième matériau étant différent du premier matériau conducteur,
- dépôt sur la couche (54) du deuxième matériau d'une première couche de résine (58) servant à effacer le relief de la couche (54) du deuxième matériau,
- réalisation d'une gravure de la première couche de résine (58) afin de ne laisser de la résine qu'aux emplacements des zones actives (34, 42) à interconnecter,

- réalisation dans une deuxième couche de résine (60) d'un masque représentant l'image des connexions (52a) à réaliser,
- élimination de la partie de la couche (54) du deuxième matériau dépourvue de résine (58, 60),
- élimination de la partie de la couche (52) du premier matériau conducteur non recouverte par le restant (54a) de la couche (54) du deuxième matériau, et
- élimination de la résine (58, 60).

6. Procédé selon l'une quelconque des revendications 4 et 5, caractérisé en ce que, après l'isolation latérale (57) des grilles, on réalise dans les zones actives (32, 34, 42, 44) du circuit intégré une implantation ionique.

7. Procédé selon l'une quelconque des revendications 3 et 5, caractérisé en ce que la couche (54) du deuxième matériau est réalisée en silicium ou en oxyde de silicium.

8. Procédé selon l'une quelconque des revendications 3 et 5, caractérisé en ce que la couche (54) du deuxième matériau est réalisée en aluminium.

9. Procédé selon l'une quelconque des revendications 1 à 8, caractérisé en ce que la couche (52) du premier matériau conducteur est réalisée en un alliage de titane et de tungstène.

1,2

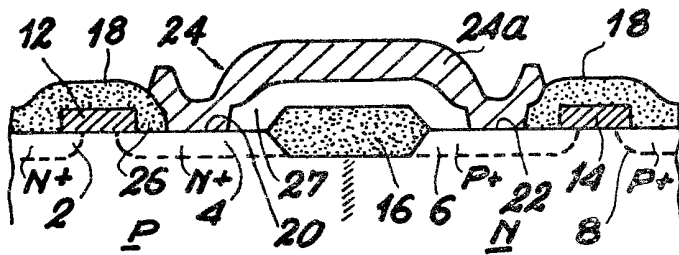


FIG. 1

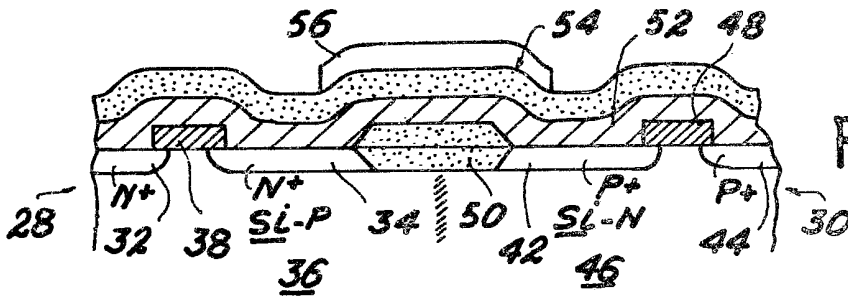


FIG. 2

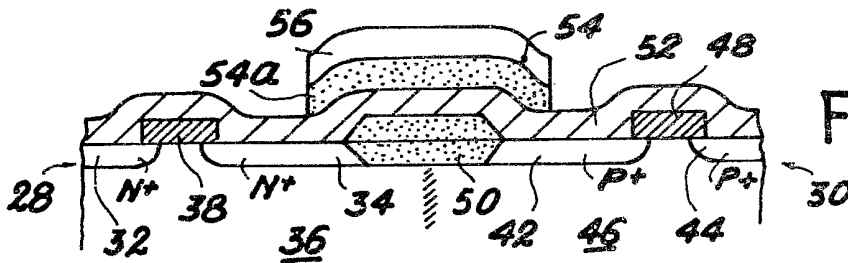


FIG. 3

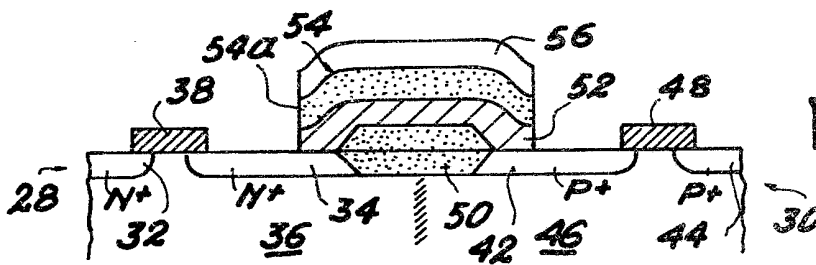


FIG. 4

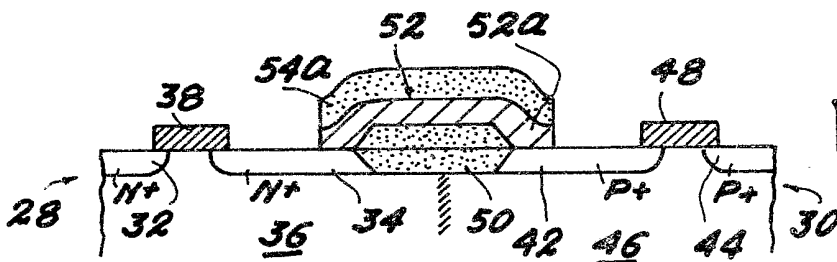


FIG. 5

2.2

FIG. 6

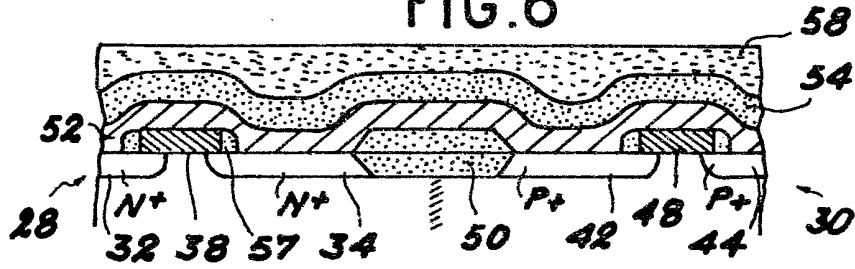


FIG. 7

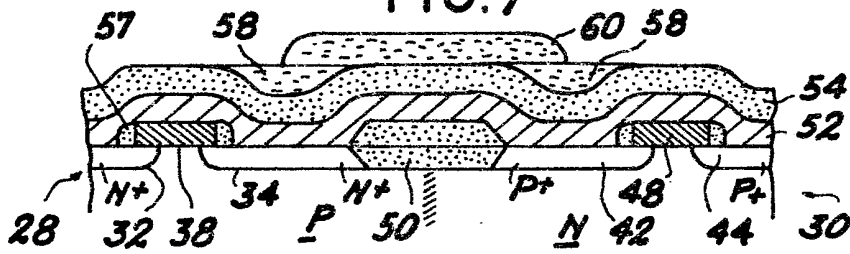


FIG. 8

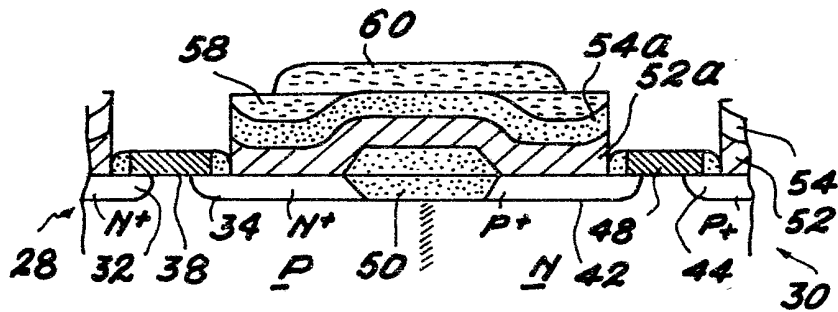


FIG. 9

