(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4468414号
(P4468414)
(45)発行日　平成22年5月26日(2010.5.26)　(24)登録日　平成22年3月5日(2010.3.5)

(51)Int.Cl.　F I
G11C 13/00 (2006.01)　G11C 13/00　A

請求項の数 6　(全 15 頁)

(21)出願番号　特願2007-171488(P2007-171488)
(22)出願日　平成19年6月29日(2007.6.29)
(65)公開番号　特開2009-9657(P2009-9657A)
(43)公開日　平成21年1月15日(2009.1.15)
審査請求日　平成21年3月23日(2009.3.23)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100092820
弁理士　伊丹　勝
(74)代理人　100106389
弁理士　田村　和彦
(72)発明者　戸田　春希
東京都港区芝浦一丁目１番１号　株式会社東芝内

審査官　高野　芳徳

最終頁に続く

(54)【発明の名称】抵抗変化メモリ装置

(57)【特許請求の範囲】
【請求項１】
半導体基板と、
前記半導体基板上に、互いに交差するビット線及びワード線とこれらビット線及びワード線の交差部に接続された抵抗変化型メモリセルとを有するセルアレイが前記ビット線及びワード線と直交する方向に積層配列された三次元セルアレイからなる複数のセルアレイブロックと、
前記半導体基板に形成されたセンスアンプアレイとを備え、
前記各セルアレイブロックのビット線は、当該セルアレイブロックの所定の辺に設けられた垂直配線を介して前記センスアンプアレイと接続され、
前記ビット線方向に隣接する第１及び第２のセルアレイブロックの所定層のビット線が対をなして選択されて、前記対をなすビット線が前記第１及び第２のセルアレイブロックの対峙する辺の一方に設けられた垂直配線と他方に設けられた垂直配線とをそれぞれ介して前記センスアンプアレイの１つのセンスアンプの差動入力端に接続される
ことを特徴とする抵抗変化メモリ装置。
【請求項２】
前記第１及び第２のセルアレイブロックの各層にそれぞれ、メモリセルのデータをセンスする際の参照抵抗値を持つ参照セルが配置され、データ読み出し時、一方のセルアレイブロックの所定層のメモリセルが選択されたとき、他方のセルアレイブロックの参照セルが同時に選択され、それらのデータが対をなすビット線を介して前記センスアンプアレイ

の一つのセンスアンプに入力される
ことを特徴とする請求項１記載の抵抗変化メモリ装置。
【請求項３】
前記参照セルは、高抵抗状態にあるメモリセルを複数個並列接続して前記参照抵抗値を得るものである
ことを特徴とする請求項２記載の抵抗変化メモリ装置。
【請求項４】
前記ビット線方向に並ぶ複数のセルアレイブロックについて、前記半導体基板には、各セルアレイブロックの下にそれぞれ２系統のセンスアンプアレイと、各層のビット線を所定のセンスアンプアレイに接続するためのマルチプレクサ回路とが形成され、
読み出し時、隣接する第１乃至第３のセルアレイブロックに着目して、第２のセルアレイブロックの所定層のワード線が選択されたとき、第１及び第３のセルアレイブロックの参照セルを駆動する２参照ワード線が同時に選択され、
前記選択ワード線により駆動される隣接する２メモリセルのデータがそれぞれ読み出される第２のセルアレイブロックの第１及び第２のビット線と、前記２参照ワード線により駆動される２参照セルのデータがそれぞれ読み出される第１及び第３のセルアレイブロックの第３及び第４のビット線とが、前記マルチプレクサ回路により決まる組み合わせで２ビット線対を構成して、第２のセルアレイブロック下の２系統のセンスアンプアレイと、第１及び第３のセルアレイブロック下のそれぞれ第２のセルアレイブロックに近い側のセンスアンプアレイの計４系統のセンスアンプアレイから選択される２系統のセンスアンプアレイに差動入力される
ことを特徴とする請求項２記載の抵抗変化メモリ装置。
【請求項５】
前記第１及び第２のビット線は、第２のセルアレイブロックの互いに逆の端部に引き出されてビア配線とマルチプレクサ回路を介して、二つのセンスアンプアレイの差動入力端の一方に接続され、前記第３及び第４のビット線は、それぞれ第１及び第３のセルアレイブロックの第２のセルアレイブロック側の端部に引き出されて、ビア配線とマルチプレクサ回路を介して前記二つのセンスアンプアレイの他方の差動入力端に接続される
ことを特徴とする請求項４記載の抵抗変化メモリ装置。
【請求項６】
前記セルアレイブロックの各層セルアレイは、ビット線及びワード線を隣接セルアレイで共有して積層され、かつ
積層方向の偶数番目のビット線及び奇数番目のビット線はそれぞれ、セルアレイブロック端部でビア配線により共通化され、あるセルアレイブロックからの共通化ビット線をこれに隣接するセルアレイブロック下のセンスアンプアレイに交差接続するために、前記マルチプレクサ回路に多層メタル配線が用いられる
ことを特徴とする請求項４記載の抵抗変化メモリ装置。
【発明の詳細な説明】
【技術分野】
【０００１】
この発明は、三次元セルアレイ構成を用いる抵抗変化メモリ装置に関する。
【背景技術】
【０００２】
電圧、電流、熱等を利用して物質の抵抗値を可逆的に変化させ、その抵抗値の異なる状態を情報として記憶する抵抗変化メモリが、フラッシュメモリの後継候補として注目されている。抵抗変化メモリは、微細化に向いており、クロスポイント型セルアレイを構成することができ、更にセルアレイの積層化も容易である。
【０００３】
抵抗変化メモリの三次元セルアレイ化に関して、本発明者は既にいくつか提案している（例えば、特許文献１或いは特許文献２参照）。三次元セルアレイを組む場合、センスア

ンプ等の回路はセルアレイが積層される下地半導体基板に形成することができる（例えば特許文献２参照）。
【特許文献１】特表２００５－５２２０４５
【特許文献２】特表２００６－５１４３９３
【発明の開示】
【発明が解決しようとする課題】
【０００４】
この発明は、高速アクセスを可能とした三次元セルアレイ構成の抵抗変化メモリ装置を提供することを目的とする。
【課題を解決するための手段】
【０００５】
この発明の一態様による抵抗変化メモリ装置は、半導体基板と、前記半導体基板上に、互いに交差するビット線及びワード線とこれらビット線及びワード線の交差部に接続された抵抗変化型メモリセルとを有するセルアレイが前記ビット線及びワード線と直交する方向に積層配列された三次元セルアレイからなる複数のセルアレイブロックと、前記半導体基板に形成されたセンスアンプアレイとを備え、前記各セルアレイブロックのビット線は、当該セルアレイブロックの所定の辺に設けられた垂直配線を介して前記センスアンプアレイと接続され、前記ビット線方向に隣接する第１及び第２のセルアレイブロックの所定層のビット線が対をなして選択されて、前記対をなすビット線が前記第１及び第２のセルアレイブロックの対峙する辺の一方に設けられた垂直配線と他方に設けられた垂直配線とをそれぞれ介して前記センスアンプアレイの１つのセンスアンプの差動入力端に接続されるものである。
【発明の効果】
【０００６】
この発明によれば、高速アクセスを可能とした三次元セルアレイ構成の抵抗変化メモリ装置を提供することができる。
【発明を実施するための最良の形態】
【０００７】
実施の形態の説明に先立って、この発明の概要を説明する。抵抗変化メモリのセルアレイのセルを微細化して三次元的に積層して高集積化を図ったとき、その特徴を活かすには、データの読み出し／書き込みを高速化するための工夫が必要である。具体的には、ＮＡＮＤ型フラッシュメモリで一般に使用される、セル状態によるビット線電荷の放電の有無を検出するセンス方式ではなく、ＮＯＲ型フラッシュメモリで用いられる、参照セルとの電流比較を行う参照セル方式が有効である。更にこの場合、ＤＲＡＭにおけるように、ビット線ごとにセンスアンプを設け、ビット線ごとに参照セルを設けることが有効である。
【０００８】
このようなセンスシステムを３次元クロスポイント型セルアレイの抵抗変化メモリに適用するために、好ましくは更に次のような工夫をする。
【０００９】
第１に、横方向に隣接するセルアレイブロック間でオープンビット線センス方式を適用する。例えば、３セルアレイのブロックの真ん中のセルアレイブロックのセルデータをセンスする場合、両隣のセルアレイブロック中の参照セルを利用する。
【００１０】
第２に、上述のオープンビット線センス方式を適用する場合、真ん中のセルアレイブロック下のセルアレイ端近くに設けられる２系統センスアンプと両隣のセルアレイブロック下の真ん中のセルアレイに近いセルアレイ端に設けられたセンスアンプ系統からなる、併せて４つのセンスアンプ系統をセルアレイブロックの内の選択されたセルが属する層によって交互に利用する。
【００１１】
第３に、メモリセルは高抵抗状態を安定状態として高抵抗状態といくつかの（少なくと

も一つの）低抵抗状態をデータとする場合に、参照セルには高抵抗状態のセルを複数個並列接続して一つの中間抵抗値（参照抵抗値）状態を作る。従って参照セルの参照抵抗値は、並列アクセスするセル数を変えることにより調節できる。

【００１２】

第４に、３次元セルアレイブロックにおいて、ビット線とワード線はそれぞれ積層方向に隣接するセルアレイ層間で共有する。最下層セルアレイのビット線を０番として上層に向かってビット線層を昇順に数えて偶数番目と奇数番目をそれぞれ共通のビット線として構成し、セルアレイブロック下のセンスンプに接続するマルチプレクサ回路において多層メタル層を利用して隣接するセルアレイブロック下のセンスアンプにビット線を３次元的に交差して接続する。

【００１３】

第５に、セルアレイブロック下のセンスンプに接続する選択回路において複数のビット線をまとめてそのうちの一つを選択してこれらのビット線に共通のセンスアンプに接続する。

【００１４】

以下、図面を参照して実施の形態を説明する。

【００１５】

図１は、実施の形態による単位セルアレイの等価回路を示している。図示のようにワード線ＷＬとビット線ＢＬの交差部に、アクセス素子例えばダイオードＤｉと可変抵抗素子ＶＲが直列接続された抵抗変化型メモリセルＭＣが配置される。可変抵抗素子ＶＲは例えば、電極／遷移金属酸化物／電極なる構造を有し、電圧、電流、熱等の印加条件により金属酸化物の抵抗値変化をもたらし、その抵抗値の異なる状態を情報として不揮発に記憶する。

【００１６】

メモリセルは、好ましくは高抵抗状態を安定状態（リセット状態）とし、例えば２値データ記憶であれば、高抵抗状態と低抵抗状態（セット状態）とを利用する。

【００１７】

単位メモリセルＭＣの積層構造は、例えば図２のようになる。それぞれビット線ＢＬ及びワード線ＷＬとなるメタル配線２１及び２２の交差部に、メモリセルＭＣを構成する可変抵抗素子ＶＲとアクセス素子Ｄｉが重ねて配置される。

【００１８】

図３は、以上のようなセルアレイＭＡを三次元的に積層した状態を模式的に示している。ここでは、三次元積層された（即ち３Ｄ）セルアレイブロック３１として、４層のセルアレイＭＡ０－ＭＡ３が積層された例を示している。ＢＬ０は、セルアレイＭＡ０のビット線であり、ＢＬ１２は、隣接するセルアレイＭＡ１，ＭＡ２の共有ビット線であり、ＢＬ３は、セルアレイＭＡ３のビット線である。

【００１９】

これらのセルアレイの上下に更にセルアレイが重なる場合には、ビット線ＢＬ０，ＢＬ３もそれぞれ上下に隣接するセルアレイとの間で共有ビット線となる。

【００２０】

ＷＬ０１は、隣接するセルアレイＭＡ０，ＭＡ１が共有するワード線であり、ＷＬ２３は同様に隣接するセルアレイＭＡ２，ＭＡ３が共有するワード線である。即ちビット線ＢＬはｙ方向に走り、ワード線ＷＬはこれと直交するｘ方向に走る。

【００２１】

この様な３Ｄセルアレイブロック３１の読み出し／書き込み回路は、３Ｄセルアレイブロック３１が形成される下地半導体基板３０に形成される。３Ｄセルアレイブロック３１を、ワード線とビット線の各クロスポイントでセルを選択できるように組むには、その３辺に垂直配線（ビア配線）が必要になる。

【００２２】

即ち、ワード線ＷＬ０１，ＷＬ２３をほぼ最小ピッチで基板３０にコンタクトさせるた

めに、ワード線一端側の辺に沿って垂直配線３２ａ，３２ｂを配設する。ビット線ＢＬ０，ＢＬ１２，ＢＬ３を同様に基板３０にコンタクトさせるためには、その両端部の２辺に沿って垂直配線３３ａ，３３ｂを配設する。

【００２３】

この様な垂直配線のために、基板３０上の回路と外部との信号のやりとりが制限されることになり、そのためメモリセルアクセスとセル状態の読み出しのセンス回路の配置は、ほぼ図３のようなものになる。

【００２４】

即ち３Ｄセルアレイブロック３１の射影の真中に、センスデータを外部とやりとりするためのグローバルバス３４を、ワード線と並行するように配置する。このグローバルバス３４を挟んで両側にセンスアンプアレイ３５ａ，３５ｂを配置し、それぞれのセンスアンプアレイ３５ａ，３５ｂにはグローバルバス３４とは反対側に、セルデータをセンスアンプに転送するためのアレイバス３６ａ，３６ｂを配置する。

【００２５】

アレイバス３６ａ，３６ｂにはマルチプレクサ回路（Ｍｕｘ）３７ａ，３７ｂによってセルアレイブロックからのビット線が選択されて接続されるようにする。Ｍｕｘ３７ａ，３７ｂはセルアレイ端でほぼ最小ピッチでセルアレイブロックから供給されるビット線をアレイバス３６ａ，３６ｂに選択接続する回路である。

【００２６】

グローバルバス３４の一端は、クロスポイントセルのワード線を選択するデコード回路（ロウデコーダ）３８である。このワード線デコード回路３８の領域には、ワード線の垂直配線３２ａ，３２ｂが最小ピッチでコンタクトするので、ここに他のデータ線等の信号線を配置することはできない。

【００２７】

そこで、グローバルバス３４の他方の端部に、センスデータや書き込みデータを外部とセンスアンプとの間でやりとりするための書き込み回路３９が設けられる。

【００２８】

図３では、複数セルアレイをｚ方向に積層した一つの積層セルアレイブロック３１について示しているが、実際には更にこの様なセルアレイブロック３１がビット線ＢＬの方向（ｙ方向）に複数個配列される。

【００２９】

また以下では、アレイバス３６ａ，３６ｂとマルチプレクサ回路３７ａ，３７ｂとを併せて、センスアンプへデータを選択接続するためのマルチプレクサ回路（Ｍｕｘ）と呼ぶ場合がある。

【００３０】

以上のような３Ｄセルアレイ方式において、データの高速な読み出しを実現するために、ほぼビット線ごとにセンスアンプと参照セルを設けて、ビット線のセル抵抗データを参照セル抵抗と高速比較したい。一方、参照セルは頻繁にアクセスされるので、アクセスによる擾乱によって抵抗が変化しない安定した中間抵抗値を用いたい。この二つの要求を満たす構成を工夫する必要がある。

【００３１】

図４は、ｙ方向に隣接する３セルアレイブロックＡ，Ｂ，Ｃの間で、参照セルがどの様に配置され、オープンビット線がどの様に構成されるかを説明するための図である。

【００３２】

３Ｄクロスポイント型セルアレイでは選択されたワード線とビット線の交点のセルは全て選択されるので同一層セルアレイ内に選択されたメモリセルに対応する参照セルを設け同時に参照セルのワード線（参照ワード線）を選択すると選択されたビット線上のセルと参照セルが同時に選択される多重選択になる。

【００３３】

そこで選択されたメモリセルのあるセルアレイのｙ方向に隣接する両隣のセルアレイの

メモリセルを参照セルとして利用する。

【００３４】

図４を用いて説明すると、次のようになる。図４では、ｙ方向に隣接する３セルアレイブロックＡ，Ｂ，Ｃを示している。３Ｄセルアレイの最下層を０番として上の層に向かって１，２，…と数えて、偶数(e)層のグループと奇数(o)層のグループに分け、これらにグループに共通のセンスアンプアレイをそれぞれｅＳ／Ａ，ｏＳ／Ａとすると、セルアレイブロックＡ，Ｂ，Ｃに対するセンスアンプの配置は、図４のようになる。

【００３５】

ここで各セルアレイブロック対応の２系統のセンスアンプアレイｅＳ／Ａ，ｏＳ／Ａが、図３に示したセンスアンプアレイ３５ａ，３５ｂに対応する。

【００３６】

真ん中のセルアレイブロックＡにおいてあるワード線ＷＬが選択されたものとする。このときこれに隣接する両隣のセルアレイブロックＢ，Ｃのセルアレイブロック Ａ側の端部の参照ワード線ＲｅｆＷＬが同時に選択されるようにする。

【００３７】

ワード線ＷＬにより選択される隣接する二つのメモリセルＭＣ１，ＭＣ２に着目して、具体的に説明する。一方のメモリセルＭＣ１のビット線ＢＬａ１は、そのセルアレイブロックＣ側端部を開放端とし、セルアレイブロックＢ側の端部で垂直配線（ビア配線）により、下地のセンスアンプアレイに接続される。もう一つのメモリセルＭＣ２がつながるビット線ＢＬａ２は、ＢＬａ１とは逆に、セルアレイロックＢ側端部を開放端として、セルアレイブロックＣ側の端部で垂直配線により、下地のセンスアンプアレイに接続されるようにする。

【００３８】

そして、セルアレイブロックＢのセルアレイブロックＡ側の参照ワード線ＲｅｆＷＬにより選択される参照セルＲＣｂ２につながるビット線ＢＬｂ２は、セルアレイブロックＡのビット線ＢＬａ１とペアを構成して一つのセンスアンプにつながる。同様に、セルアレイブロックＣのセルアレイブロックＡ側の参照ワード線ＲｅｆＷＬにより選択される参照セルＲＣｃ１につながるビット線ＢＬｃ１が、セルアレイブロックＡのビット線ＢＬａ２とペアを構成して一つのセンスアンプにつながる。

【００３９】

こうして、隣接する２セルアレイＡ，Ｂの間、また隣接する２セルアレイＡ，Ｃの間で、それぞれ対応するビット線の対によりオープンビット線が構成される。

【００４０】

この場合、ひとつのセンスアンプアサイメントでは、上述の例の二つビット線対に対して、セルアレイブロックＡ領域下の１系統のセンスアンプｅＳ／Ａａと、このセンスアンプ系統と遠い側のセルアレイブロックＣ領域下のセルアレイブロックＡに近い側のセンスアンプｅＳ／Ａｃを同時使用する。或いはセルアレイブロックＡ領域下のもう一つの系統のセンスアンプｏＳ／Ａａと、このセンスアンプ系統と遠い側のセルアレイブロックＢ領域下のセルアレイブロックＡに近い側のセンスアンプｏＳ／Ａｂを同時使用する。

【００４１】

２系統あるセンスアンプいずれを使用するかは、選択されるセルが偶数セルアレイ層（ｅ）は奇数セルアレイ層（ｏ）かによる。

【００４２】

図５は、別のセンスアンプアサイメントをしめしている。この場合、選択されたセルアレイブロック領域下の２系統のセンスアンプを同時に使うか、両隣のセルアレイのそれぞれ1系統のセンスアンプを使うかを、偶数層、奇数層の選択で分ける。即ち、偶数層の場合、セルアレイブロックＡ領域下の２系統のセンスアンプｏＳ／Ａａ，ｏＳ／Ａａが同時に使用され、奇数層の場合、セルアレイブロックＢ，Ｃ領域下の１系統ずつのセンスアンプｅＳ／Ａｂ，ｅＳ／Ａｃが同時に使用される。

【００４３】

いずれにしろオープンビット線構成でセンスアンプを働かせるために、選択セルアレイブロックとその両隣のセルアレイブロックの３つの間で参照セルを含めた選択セルアレイを構成し、センスアンプもこれらのアレイブロックの系統のものを交互に利用する。

【００４４】

ここまで、セルアレイブロックＡのワード線が選択された場合を説明したが、他のセルアレイブロックのワード線が選択された場合にも同様に、その両側のセルアレイブロックの２参照ワード線が選択される。従って、図４に示したように各セルアレイブロックＡ，Ｂ，Ｃのビット線両端部に参照セル（ＲＣａ１，ＲＣａ２），（ＲＣｂ１，ＲＣｂ２），（ＲＣｃ１，ＲＣｃ２）が配置される。各参照セルは、図４の例では、隣接２ビット線に沿って配列された複数メモリセルの並列接続により構成する。その詳細は後述する。

【００４５】

ｙ方向のセルアレイブロック配列の端部ブロックが選択される場合には、両隣にセルアレイブロックがない状態になる。従って、図６に示したように、ｙ方向の端部セルアレイブロックＸの外側には、参照セルを構成するための小さい追加セルアレイブロック６０と、必要なセンスアンプアレイ６１を配置する。

【００４６】

次に参照セルの構成法を具体的に説明する。

【００４７】

抵抗変化型メモリセルの参照セルの抵抗値を安定化するには、通常のメモリセルと同じメモリセル構造をそのまま参照セルとして用いてこれに中間抵抗値を設定し、参照抵抗値とする手法は不都合である。その様な参照抵抗値は、アクセスごとの擾乱で抵抗値が変化して安定した参照抵抗値にはなりえないからである。

【００４８】

そこでこの実施の形態では、参照セルには、メモリセルのデータ記憶の安定状態である高抵抗状態を利用する。高抵抗状態は読み出しに際してもセル電流をほとんど流さずセル状態を変化させる擾乱の影響が最も小さい。従って必要があれば行なうセル状態の復帰のリフレッシュ動作が必要であっても非常に少なく出来る。

【００４９】

またメモリセルの高抵抗状態に基づいて中間抵抗値を作るには、参照セルを、複数の同時アクセスされるメモリセルの並列接続により構成する。例えば高抵抗状態のメモリセルを１０個まとめれば、抵抗値は１０分の１になり、メモリセルの状態がこれと比べて高抵抗か低抵抗かの基準となる参照セルとすることが出来る。

【００５０】

例えば図７に示すように、隣接する２本のビット線ＢＬ１，ＢＬ２の端部にある３個ずつのメモリセルＭＣ計６個を並列接続して、参照ワード線ＲｅｆＷＬにより駆動される参照セルＲＣとする。参照セルＲＣについて共通化される２本のビット線ＢＬ１，ＢＬ２のうちの一方、ＢＬ１のみがこの端部からビア配線７１を介して下地回路に接続される。他方のビット線ＢＬ２は、この端部では参照セルＲＣ部と切り離されて開放端となる。

【００５１】

これらのビット線ＢＬ１，ＢＬ２の手前側の端部（図示しない）では、同様に参照セルが構成される。そして、ビット線ＢＬ２の端部がビア配線を介して下地回路に接続され、ビット線ＢＬ１は開放端となる。

【００５２】

こうして、参照ワード線ＲｅｆＷＬにより同時にアクセスされるメモリセル数を選択して参照セルとする手法を用いれば、まとめるメモリセル数を調整することにより、参照セルの参照抵抗値を調整することができる。

【００５３】

またここでは、参照セルは、一つのセルアレイ内の複数メモリセルを用いたが、層間ビア配線を介して共通化されるセルアレイグループ内の別層のビット線のメモリセルセルを参照セルとして加えることとも可能である。この場合、アクセスの際には別層のワード線

を共通参照ワード線としてアクセスすればよい。

【００５４】

次に、３Ｄセルアレイのアクセス法を具体的に説明する。図８は、３Ｄセルアレイ７層部分について、アクセス素子Ｄｉと可変抵抗素子ＶＲからなるメモリセルをまとめた素子記号で表示して、７段までのメモリセルｃ０－ｃ６の積層状態とワード線及びビット線との接続関係を示している。

【００５５】

上下に隣接するメモリセルがワード線を共有するので、図の７段の範囲でワード線がＷＬ０－ＷＬ３となる。また上下に隣接するメモリセルがビット線を共有し、かつ偶数番ビット線同士、及び奇数番ビット線同士はまとめて、ビット線ＢＬｅ，ＢＬｏとして、センスアンプに接続される。

【００５６】

アクセス素子Ｄｉとして、ダイオードのような非対称の非オーミック素子（図１０Ａ）や、対称性非オーミック素子（図１０Ｂ）を用いることができる。これらの素子のように、電圧Ｖに対し電流Ｉがほとんど流れない領域を持つ場合、ビット線の低レベル電圧Ｖｓと高レベル電圧Ｖｄを、図１０Ａ，図１０Ｂのようにとる。

【００５７】

図１０Ａのダイオードの場合、Ｖｓ，Ｖｄはそれぞれ、接地電圧Ｖｓｓ，電源電圧Ｖｄｄとし、Ｖｄ＝Ｖｄｄを与えたときにダイオードが順バイアスされるようにする。逆方向にはＶｄｄがかかってもブレークダウンしないものとする。

【００５８】

図１０Ｂの対称性非オーミック素子の場合は、低レベル電圧ＶｓをＶｓｓ＋Δとし、Ｖｓ＋Ｖｄｄ＝Ｖｄとして、Ｖｄ印加時に非オーミック素子が電流を流す。逆方向には、Ｖｄｄが印加されても、オンしないものとする。

【００５９】

一方、ワード線については、低レベルをＶｓとし、選択時の高レベル電圧をＶｄとほぼ同じでこれを超さない電圧Ｖｒｅａｄ（　Ｖｄ＋２Ｖｓ）とする。

【００６０】

セルアクセスの待機状態ではビット線をＶｄ、ワード線をＶｓに設定しておくとアクセス素子は全てオフ状態である。図９に示すように、選択されたワード線ＷＬ２をＶｒｅａｄ、選択されたビット線ＢＬｏをＶｓとする電圧パルスを与えると、これらのワード線ＷＬ２とビット線ＢＬｏにより選択されるメモリセルｃ３のみが電圧Ｖｒｅａｄをアクセス素子に受けてこれがオンして、それ以外のセルのアクセス素子はオンしない。

【００６１】

ビット線は、図８のようにひとつおきの層毎に共通化して、特定層のセルアレイのメモリセルを選択できることが分かる。

【００６２】

図８及び図９で説明したアクセス法は、読み出しアクセスに限らず、図１のセルアレイ構成を用いるユニポーラ動作でのセット、リセットにも基本的に適用できる。即ち、高抵抗状態にある可変抵抗素子ＶＲのアクセス素子Ｄｉをオンすれば、その選択された可変抵抗素子ＶＲのみに電圧を与えて、これを低抵抗状態に設定することができる（セット動作）。

【００６３】

一方、低抵抗状態にある可変抵抗素子のアクセス素子をオンすれば、選択された可変抵抗素子ＶＲに大きな電流が流れてジュール熱が発生し、これを高抵抗状態に復帰せることができる（リセット動作）。

【００６４】

セルアレイ層間でメモリセルを参照セルとしてまとめるには、異なるワード線層のワード線を共通に参照ワード線ＲｅｆＷＬとしてアクセスすればよい。これにより、同じグループのビット線に属する選択されたセルは全てオンし所望の数のメモリセルをまとめて参

照セルとして所定の中間抵抗値を作ることが出来る。

【００６５】

図１１は、３Ｄセルアレイブロックの一層についてビット線両端部に着目したレイアウト構成を示している。ビット線両端部に、２本ずつのビット線の端部で複数セルをまとめた参照セルＲＣを構成し、参照ワード線ＲｅｆＷＬを配置する。具体的にここでは、隣接２ビット線の端部の４セルずつが参照セルＲＣを構成する。ビット線ＢＬは交互に、一端がビア配線によりセンスアンプ回路に接続され、他端が参照セル部分で開放端とされる。1層で見ればビット線のセルアレイブロックからの引き出しはビット線ピッチの倍である。このあいた領域に他のグループの層のビット線を通すことが出来る。

【００６６】

図１２は、３Ｄセルアレイブロックの三次元構造を、１層あたり４ワード線分、２ビット線で７層からなるブロックとして示した。ここでは、最下層をワード線の層として、その上にアクセス素子の層を置きさらに上に抵抗変化物質の層を置く構成から積層を始める例を示している。これは、抵抗変化物質は様々な元素を含み、製造工程などで基板のトランジスタ特性に悪い影響を与えないように、基板から出来るだけ離す構成をとるためである。もちろんこれらの心配がなければ最下層をビット線の層からはじめても良い。

【００６７】

セルアレイブロックのビット線両端では、偶数番目の層の共通ビット線ＢＬｅと奇数番目の層の共通ビット線ＢＬｏが交互に垂直配線に接続される。即ち、偶数番ビット線ＢＬｅは、交互に両端に引き出されてビア配線７１ｅａ，７１ｅｂにより共通化され、同様に奇数番ビット線ＢＬｏは、交互に両端に引き出されてビア配線７１ｏａ，７１ｏｂにより共通化される。

【００６８】

図１３は、図１２の４×２×７セルアレイブロックを例として、これらのｙ方向に隣接する3セルアレイブロックＡ，Ｂ，Ｃからのビット線がどの様にセンスアンプへ接続されるか示している。すなわち基板上のマルチプレクサ回路（Ｍｕｘ）部の構成である。

【００６９】

なおセンスアンプｏＳ／Ａ，ｅＳ／Ａについては、本発明者が先に提案した特願２００４－０９３３８７号の差動型の電流検出型センスアンプを用いることができ、微小電流を高速にセンス出来る。

【００７０】

ここでは、図４で説明したセンスアンプアサイメントの場合を説明する。図５のアサイメントでは真中のセルアレイの両端Ｍｕｘ部のレイアウトを併進対称から点対称に変更すればよい。

【００７１】

読み出し時、隣接セルアレイブロックの選択されたビット線対の一方には選択メモリセルのデータが、他方には参照セルのデータが読み出される。これらのデータは、偶数層セルアレイに共通のビット線ＢＬｅを介してセンスアンプｅＳ／Ａの差動入力となり、或いは奇数層セルアレイの共通ビット線ｏＢＬを介してセンスアンプｏＳ／Ａの差動入力となる。

【００７２】

これらセンスアンプの入力端と各共通ビット線（ビア配線７１）との間には、マルチプレクサ回路Ｍｕｘａ，Ｍｕｘｂの一部を構成する選択回路として、選択信号“ｅｖｅｎ　ｓｅｌ”，“ｏｄｄ　ｓｅｌ”により駆動されるＮＭＯＳトランジスタＮ１，Ｎ２が挿入されている。また各共通ビット線には、非選択時これをＶｄに保つためのプルアップ用ＰＭＯＳトランジスタＰ１，Ｐ２が設けられている。

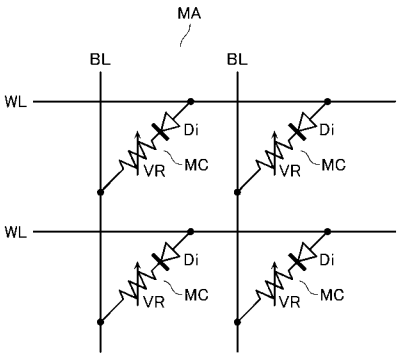
【００７３】

例えば偶数層セルアレイのメモリセルが選択されたとき、選択信号“ｅｖｅｎ　ｓｅｌ”が立ち上がり、ビット線ＢＬｅの対がセンスアンプｅＳ／Ａに接続される。このとき選択信号“ｏｄｄ　ｓｅｌ”は“Ｌ”であり、ビット線ＢＬｏを電位Ｖｄに保つ。

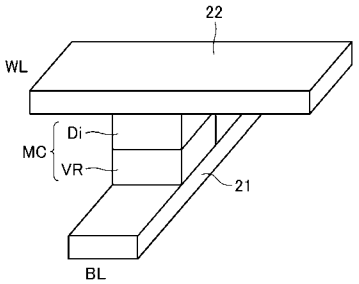
【００７４】
隣接セルアレイブロックからのビット線はセルアレイの下のセンスアンプにオープンビット線方式で接続されるので２本の内１本は交差して隣のセルアレイブロック下に潜り込まねばならない。図１３の例で、セルアレイブロックＡ，Ｃの間の垂直配線部について説明すれば、セルアレイブロックＡから引き出される共通ビット線ＢＬｅ，ＢＬｏのうち、ＢＬｏは、セルアレイブロックＣの下のセンスアンプｏＳ／Ａに接続する必要がある。セルアレイブロックＣからの共通ビット線ＢＬｅ，ＢＬｏのうちＢＬｅは、セルアレイブロックＡの下のセンスアンプｅＳ／Ａに接続する必要がある。
【００７５】
図１３には、その様な交差接続を行うための、センスアンプ入力部の２層メタル配線レイアウトを示している。ここでは、最下層のワード線配線メタルが使えるなどメタル層使用の自由度が高いことを利用している。奇数層のビット線ＢＬｏはこの最下層のワード線メタル層より上にあるのでこれに接続する。
【００７６】
即ち、Ｍｕｘ部で使用できる最上層メタルをＭ２、それより下層のメタルをＭ１として、セルアレイブロックＡ，Ｃのビット線ＢＬｅは共に、ビア配線７１ｅａ，７１ｅｂにより、破線で示す下層メタル配線Ｍ１に終端させる。またセルアレイブロックＡ，Ｃのビット線ＢＬｏは共に、ビア配線７１ｏａ，７１ｏｂにより実線で示す上層メタルＭ２に終端させる。そして、メタル配線Ｍ２の一部をメタル配線Ｍ１に乗り換えてセンスアンプ入力端に接続する。
【００７７】
このような２層メタル配線により、最小ピッチで垂直ビット線が配列される領域での交差配線が可能になる。マルチプレクサ回路Ｍｕｘａ，Ｍｕｘｂは、選択トランジスタＮ１，Ｎ２と共にこれらの多層メタル配線を含めて構成される。
【００７８】
全てのビット線からの情報を並列に全て読み出さなくても良い場合は、センスアンプあたりのビット線数を増やしてセンスアンプのレイアウトなどを緩和できる。その例として、先に説明したセンスアンプ／２ビット線との比較でセンスアンプ／４ビット線の構成例を図１４に示す。
【００７９】
一つのセンスアンプに対してＮ１－Ｎ４の４個の選択ＮＭＯＳトランジスタを配置し、選択信号“ｅｖｅｎ　ｓｅｌ１”，“ｅｖｅｎ　ｓｅｌ２”，“ｏｄｄ　ｓｅｌ１”，“ｏｄｄ　ｓｅｌ２”を用意して、２ビット線対を選択的にセンスアンプに接続できるようにする。
【００８０】
なお、センスアンプ／４ビット線方式の図では、プルアップ用ＰＭＯＳトランジスタを省略しているが、センスアンプ／２ビット線の場合と同様に必要である。
【００８１】
さらにビット線をまとめてセンスアンプ数を減らすことは、選択信号を増やせば可能である。
【図面の簡単な説明】
【００８２】
【図１】実施の形態の抵抗変化メモリの基本セルアレイ構成を示す図である。
【図２】同じく１メモリセル部の積層構造を示す図である。
【図３】実施の形態の３Ｄセルアレイブロックの構成と対応する下地基板の回路を示す図である。
【図４】３Ｄセルアレイブロック間でのオープンビット線構成を説明するための図である。
【図５】他のセンスアンプアサイメントを示す図である。
【図６】端部セルアレイブロックの外に参照セルアレイブロックを配置した構造を示す図

である。
【図７】参照セルの構成法を説明するための図である。
【図８】３Ｄセルアレイのワード線及びビット線の共有関係を示す図である。
【図９】３Ｄセルアレイのアクセス法を説明するための動作波形図である。
【図１０Ａ】アクセス素子がダイオードの場合の特性図である。
【図１０Ｂ】アクセス素子が対称性非オーミック素子の場合の特性図である。
【図１１】３Ｄセルアレイの１層のレイアウト例を示す図である。
【図１２】４×２×７セルアレイブロックの構造を示す図である。
【図１３】ビット線をセンスアンプに接続するＭｕｘ部の構成を示す図である。
【図１４】センスアンプ／４ビット線の場合のＭｕｘ部構成をセンスアンプ／２ビット線の場合と比較して示す図である。
【符号の説明】
【００８３】
３１…三次元セルアレイブロック、ＭＡ０－ＭＡ３…セルアレイ、ＢＬ０，ＢＬ１２，ＢＬ２３…ビット線、ＷＬ０１，ＷＬ２３…ワード線、３２ａ，３２ｂ，３３ａ，３３ｂ…垂直配線、３４…九ローバルバス、３５ａ，３５ｂ…センスアンプアレイ、３６ａ，３６ｂ…アレイバス、３７ａ，３７ｂ…マルチプレクサ回路、３８…ロウデコーダ／マルチプレクサ、３９…書き込み回路、ＷＬ…ワード線、ＲｅｆＷＬ…参照ワード線、ＭＣ１，ＭＣ２…メモリセル、ＲＣａ１，ＲＣａ２，ＲＣｂ１，ＲＣｂ２，ＲＣｃ１，ＲＣｃ２…参照セル、６０…追加セルアレイブロック、６１…追加センスアンプアレイ、７１，７１ｏａ，７１ｅａ，７１ｏｂ，７１ｅｂ …垂直配線（ビア配線）、Ｍｕｘａ，Ｍｕｘｂ…マルチプレクサ回路。

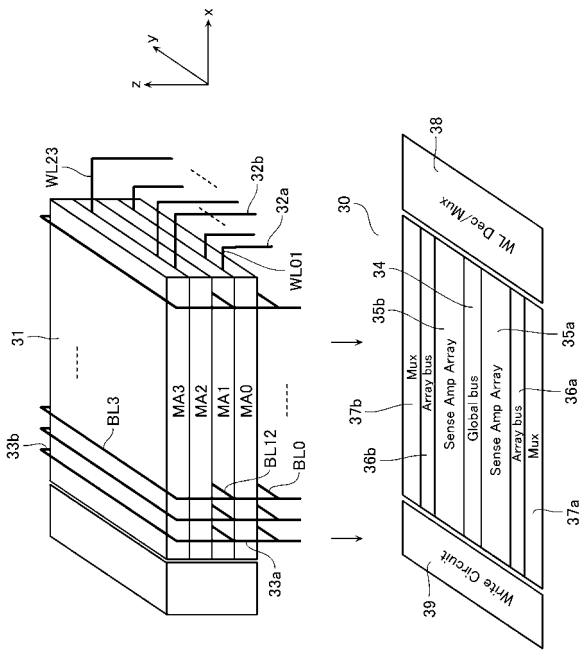
【図１】



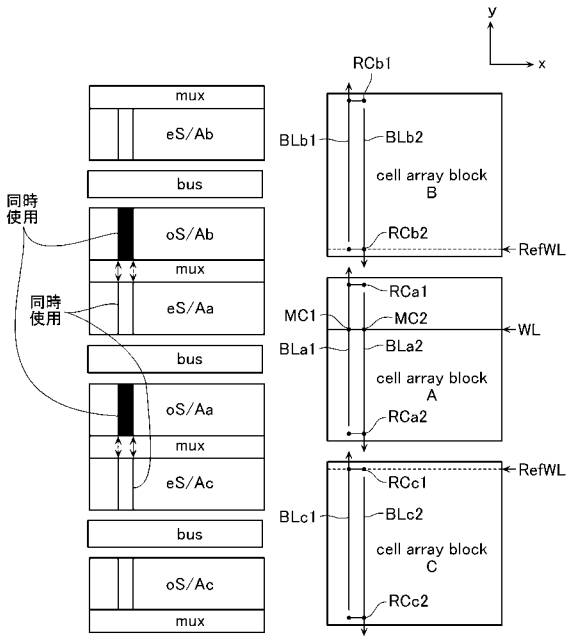
【図２】



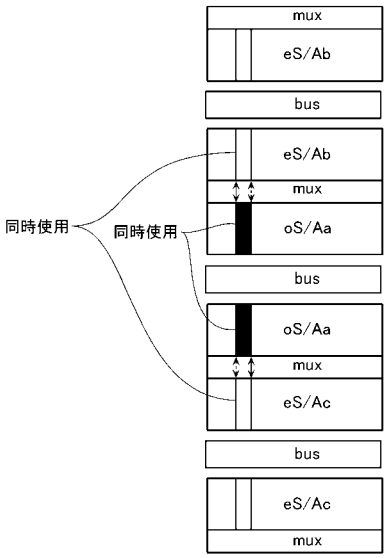
【図３】



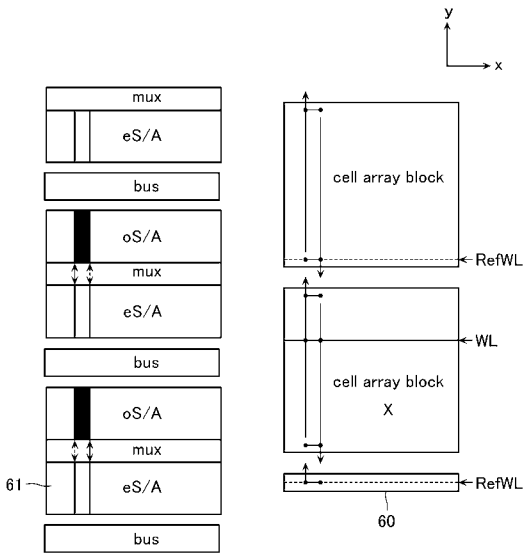
【図４】


y
x
RCb1
mux
eS/Ab
bus
BLb1
BLb2
cell array block B
RCb2
RefWL
同時使用
oS/Ab
mux
同時使用
eS/Aa
RCa1
MC1
MC2
WL
bus
BLa1
BLa2
cell array block A
oS/Aa
RCa2
mux
eS/Ac
RefWL
RCc1
bus
BLc1
BLc2
cell array block C
oS/Ac
RCc2
mux

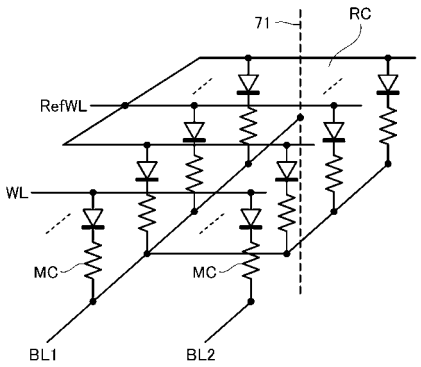
【図５】


mux
eS/Ab
bus
eS/Ab
mux
同時使用
同時使用
oS/Aa
bus
oS/Aa
mux
eS/Ac
bus
eS/Ac
mux

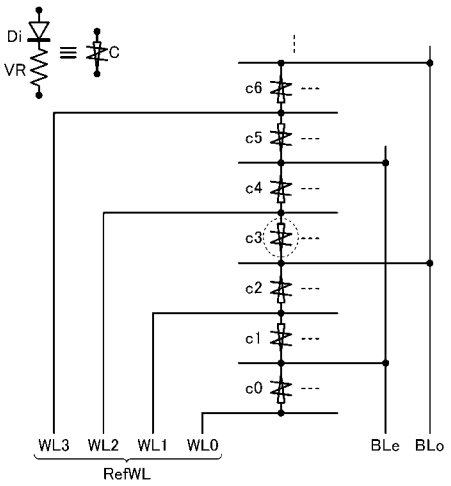
【図６】


y
x
mux
eS/A
bus
cell array block
oS/A
mux
RefWL
eS/A
bus
WL
oS/A
cell array block X
mux
61
eS/A
RefWL
bus
60

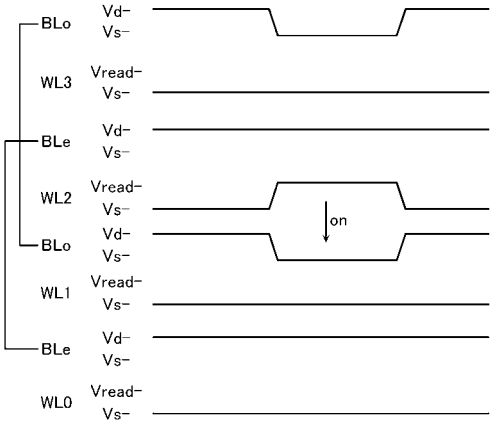
【図７】


71
RC
RefWL
WL
MC
MC
BL1
BL2

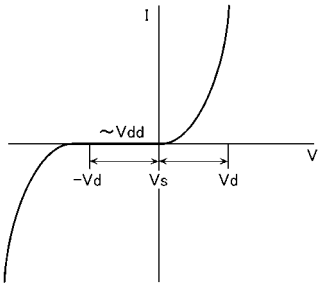
【図８】



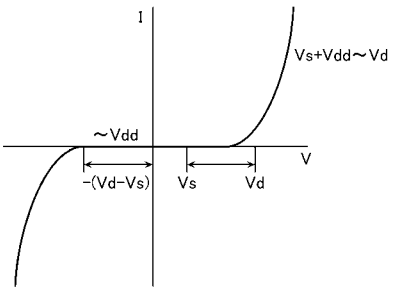
【図９】



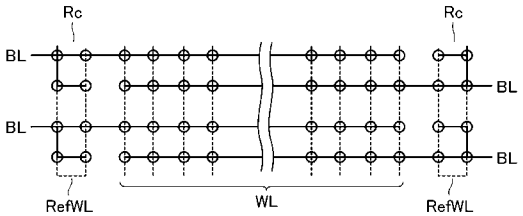
【図１０Ａ】



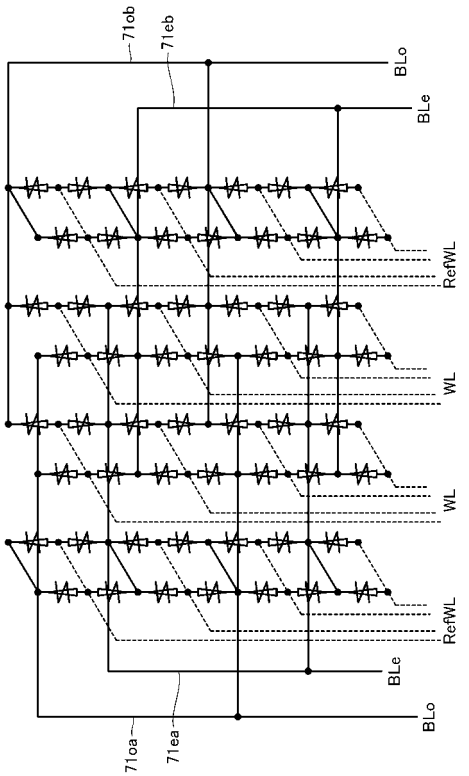
【図１０Ｂ】



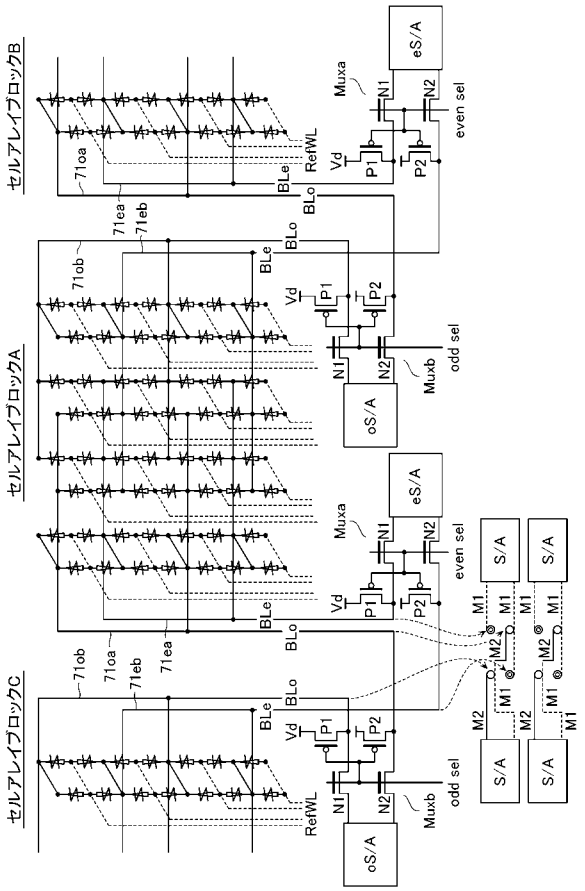
【図１１】



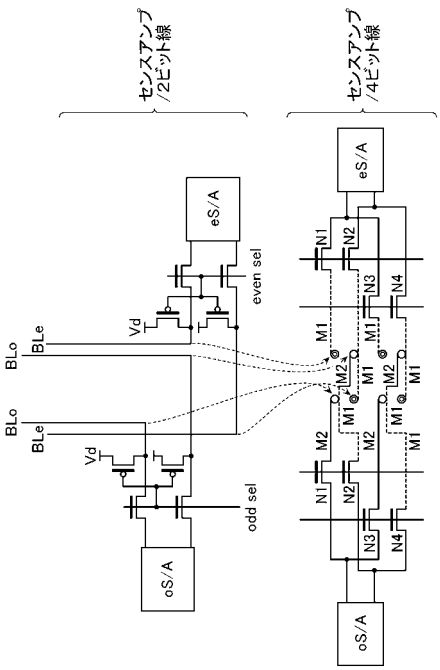
【図１２】



【図１３】


セルアレイブロックB
セルアレイブロックA
セルアレイブロックC
71oa
71ea
71eb
71ob
BLe
BLo
RefWL
Vd
P1
P2
N1
N2
Muxa
Muxb
even sel
odd sel
eS/A
oS/A
S/A
M1
M2

【図１４】


センスアンプ
/2ビット線
センスアンプ
/4ビット線
BLo
BLe
Vd
even sel
odd sel
eS/A
oS/A
N1
N2
N3
N4
M1
M2

フロントページの続き

(56)参考文献 特開２００６－１５５８４６（ＪＰ，Ａ）
特開２００３－２５７１７７（ＪＰ，Ａ）
特表２００６－５１４３９３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１３／００