

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03L 7/197 (2006.01)

H03K 23/66 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200580007778.4

[45] 授权公告日 2010年1月20日

[11] 授权公告号 CN 100583642C

[22] 申请日 2005.3.2

[21] 申请号 200580007778.4

[30] 优先权

[32] 2004.3.12 [33] EP [31] 04101016.6

[86] 国际申请 PCT/IB2005/050772 2005.3.2

[87] 国际公布 WO2005/091507 英 2005.9.29

[85] 进入国家阶段日期 2006.9.11

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 约翰内斯·P·A·弗兰巴赫

[56] 参考文献

US20030108143A1 2003.6.12

WO03/019781A2 2003.3.6

US20030030471A1 2003.2.13

US5195111A 1993.3.16

审查员 王 可

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 王波波

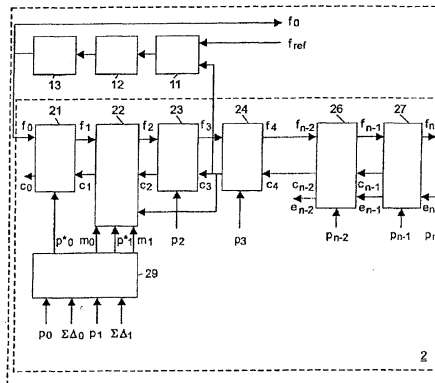
权利要求书 5 页 说明书 12 页 附图 2 页

[54] 发明名称

包括分频器的装置

[57] 摘要

包括部分(21 到 27)的分频器(2)具有基本的第一类型部分(21、23、24)，其用于根据调节信号( $p, ,$ )且根据来自于后面部分的控制信号( $c, ,$ )、通过可调数值对频率信号( $f, ,$ )分频，并且具有包括附加电路 55、56、64、66、67 的第二类型高级部分(22)。该附加电路 55、56、64、66、67 允许对有限数量的前面部分进行任何调制，而不影响后面部分。结果，例如可以使用具有有效和无效模式的可编程部分(26、27)扩大分频器(2)，而不需要适应任何调制。另外，电路 55、56、64、66、67 接收调制信号( $m_0, m_1$ )和附加控制信号( $c_3$ )。这种分频器(2)是低成本、可靠、稳定且易于实现的。



1、一种分频装置 (1)，包括分频器 (2)，

其中该分频器 (2) 包括：

- 至少一个第一类型部分 (21)，其用于根据第一调节信号 ( $p_0^*$ ) 且根据来自于后面部分 (22) 的第一控制信号 ( $c_1$ )、通过第一可调数值对具有第一输入频率 ( $f_0$ ) 的第一输入频率信号进行分频；以及

- 至少一个第二类型部分 (22)，其用于根据第二调节信号 ( $p_1^*$ ) 且根据来自于更后面部分 (23) 的第二控制信号 ( $c_2$ )、通过第二可调数值对具有第二输入频率 ( $f_1$ ) 的第二输入频率信号进行分频，其中该第二类型部分 (22) 包括用于根据调制信号 ( $m_0$ 、 $m_1$ ) 和来自于再更后面部分 (24) 的第三控制信号 ( $c_3$ ) 至少控制一个部分 (21、22) 的电路 (55、65、64、66、67)，

所述分频器 (2) 还包括：

- 至少一个第三类型部分 (27)，其用于在有效模式下，根据第三调节信号 ( $p_{n-1}$ )、通过第三可调数值对具有第三输入频率 ( $f_{n-1}$ ) 的第三输入频率信号进行分频；用于产生去到前面部分 (26) 的第四控制信号 ( $c_{n-1}$ )；以及用于在无效模式下，不参与分频。

2、根据权利要求 1 所述的分频装置 (1)，其中所述更后面部分 (23) 和所述再更后面部分 (24) 中的每一个都包括第一类型部分，所述分频器 (2) 包括：

- 另外的电路 (29)，其用于将两个初始调节信号 ( $p_0$ 、 $p_1$ ) 和两个初始调制信号 ( $\Sigma\Delta_0$ 、 $\Sigma\Delta_1$ ) 转换为去到所述第一类型部分 (21) 的所述第一调节信号 ( $p_0^*$ ) 和去到所述第二类型部分 (22) 的所述第二调节信号 ( $p_1^*$ ) 以及第一和第二调制信号 ( $m_0$ 、 $m_1$ )。

3、根据权利要求 1 所述的分频装置，其中所述第二类型部分 (22) 包括：

- 由所述第二输入频率信号定时的第一锁存器 (51)，其包括与第一门电路 (61) 的输出端连接的输入端；

- 由所述第二输入频率信号的反相信号定时的第二锁存器(52)、其包括与所述第一锁存器(51)的输出端连接的输入端以及包括与反相器(65)的输入端连接的输出端,其用于在所述反相器(65)的输出端产生具有输出频率( $f_2$ )的输出信号,所述反相器(65)的该输出端与所述第一门电路(61)的第一输入端相连;

- 由所述第二输入频率信号的反相信号定时的第三锁存器(53),其包括与第二门电路(62)的输出端连接的输入端以及包括与所述第一门电路(61)的第二输入端连接的反相输出端;

- 由所述第二输入频率信号定时的第四锁存器(54),其包括与第三门电路(63)的输出端连接的输入端以及包括与第一多路复用器(66)的第一输入端和第二多路复用器(67)的第一输入端连接的输出端,所述第一多路复用器(66)包括与所述第二门电路(62)的第一输入端连接的输出端,并且所述第三门电路(63)包括与所述第二锁存器(52)的输出端连接的第一输入端;

- 由所述第二输入频率信号定时的第五锁存器(55),其包括与第四门电路(64)的输出端连接的输入端以及包括与所述第一多路复用器(66)的第二输入端和所述第二多路复用器(67)的第二输入端连接的输出端,所述第四门电路(64)包括与所述第二锁存器(52)的输出端连接的第一输入端; 以及

- 由所述输出频率信号定时的第六锁存器(56),其包括与所述第四门电路(64)的第二输入端连接的输出端;

由此,所述第二门电路(62)包括用于接收所述第二调节信号( $p^*_i$ )的第二输入端,所述第三门电路(63)包括用于接收所述第二控制信号( $c_2$ )的第二输入端,所述第六锁存器(56)包括用于接收所述第三控制信号( $c_3$ )的输入端,所述第一多路复用器(66)包括用于接收第一调制信号( $m_1$ )的控制输入端,所述第二多路复用器(67)包括用于接收第二调制信号( $m_0$ )的控制输入端并且包括用于产生去到前面部分(21)的控制信号( $c_1$ )的输出端,所述电路包括所述第五和第六锁存器(55、56)、所述第一和第二多路复用器(66、67)以及所述第四门电路(64)。

4、根据权利要求1所述的分频装置(1),其中所述第一类型部分(21)

包括：

- 由所述第一输入频率信号定时的第一锁存器（31），其包括与第一门电路（41）的输出端连接的输入端；

- 由所述第一输入频率信号的反相信号定时的第二锁存器（32），其包括与所述第一锁存器（31）的输出端连接的输入端以及包括与反相器（44）的输入端连接的输出端，其用于在所述反相器（44）的输出端产生具有第二输入频率（ $f_1$ ）的第二输入频率信号，所述反相器（44）的该输出端与所述第一门电路（41）的第一输入端相连；

- 由所述第一输入频率信号的反相信号定时的第三锁存器（33），其包括与第二门电路（42）的输出端连接的输入端以及包括与所述第一门电路（41）的第二输入端连接的反相输出端；以及

- 由所述第一输入频率信号定时的第四锁存器（34），其包括与第三门电路（43）的输出端连接的输入端以及包括用于产生控制信号（ $c_0$ ）的输出端，其中该输出端与所述第二门电路（42）的第一输入端相连，所述第二门电路（42）包括用于接收所述第一调节信号（ $p_0^*$ ）的第二输入端，并且该第三门电路（43）包括与所述第二锁存器（32）的输出端连接的第一输入端以及包括用于接收所述第一控制信号（ $c_1$ ）的第二输入端。

5、根据权利要求2所述的分频装置（1），其中所述第三类型部分（27）包括：

- 由所述第三输入频率信号定时的第一锁存器（71），其包括与第一门电路（81）的输出端连接的输入端；

- 由所述第三输入频率信号的反相信号定时的第二锁存器（72），其包括与所述第一锁存器（71）的输出端连接的输入端以及包括与反相器（86）的输入端连接的输出端，其用于在所述反相器（86）的输出端产生输出频率（ $f_n$ ），所述反相器（86）的该输出端与所述第一门电路（81）的第一输入端相连；

- 由所述第三输入频率信号的反相信号定时的第三锁存器（73），其包括与第二门电路（82）的输出端连接的输入端以及包括与所述第一门电路（81）的第二输入端连接的反相输出端；

- 由所述第三输入频率信号定时的第四锁存器（74），其包括与第三

门电路（83）的输出端连接的输入端以及包括与所述第二门电路（82）的第一输入端和第四门电路（84）的反相第一输入端连接的输出端，该第三门电路（83）包括与所述第二锁存器（72）的所述输出端连接的第一输入端；以及

- 第五门电路（85），其包括与所述第二门电路（82）的第二输入端连接的第一输入端，其用于接收所述第三调节信号（ $P_{n-1}$ ）；包括与所述第四门电路（84）的第二输入端连接的第二输入端，其用于接收使能/禁止输入信号（ $e_n$ ）；以及包括用于产生使能/禁止输出信号（ $e_n$ ）的输出端；

由此，所述第三门电路（83）包括用于接收控制信号（ $c_n$ ）的第二输入端，并且所述第四门电路（84）包括用于产生所述第四控制信号（ $c_{n-1}$ ）的输出端。

7、根据权利要求 1 所述的分频装置（1），其中所述分配器（2）还用作调谐单元（2、11、12、13）。

8、一种分频器（2），包括：

- 至少一个第一类型部分（21），其用于根据第一调节信号（ $p^*_0$ ）且根据来自于后面部分（22）的第一控制信号（ $c_1$ ），通过第一可调数值对具有第一输入频率（ $f_0$ ）的第一输入频率信号进行分频；以及

- 至少一个第二类型部分（22），其用于根据第二调节信号（ $p^*_1$ ）且根据来自于更后面部分（23）的第二控制信号（ $c_2$ ）、通过第二可调数值对具有第二输入频率（ $f_1$ ）的第二输入频率信号进行分频，其中所述第二类型部分（22）包括用于根据调制信号（ $m_0$ 、 $m_1$ ）且根据来自于再更后面部分（24）的第三控制信号（ $c_3$ ）至少控制一个部分（21、22）的电路（55、56、64、66、67）；以及

- 至少一个第三类型部分（27），其用于在有效模式下，根据第三调节信号（ $p_{n-1}$ ）、通过第三可调数值对具有第三输入频率（ $f_{n-1}$ ）的第三输入频率信号进行分频；用于产生去到前面部分（26）的第四控制信号（ $c_{n-1}$ ）；以及用于在无效模式下，不参与分频。

9、一种用于分频器（2）的第二类型部分（22），其中该分频器（2）包括：

- 至少一个第一类型部分（21），其用于根据第一调节信号（ $p^*_0$ ）且

根据来自于后面部分 (22) 的第一控制信号 ( $c_1$ )、通过第一可调数值对具有第一输入频率 ( $f_0$ ) 的第一输入频率信号进行分频; 以及

- 至少一个第二类型部分 (22), 其用于根据第二调节信号 ( $p^*_1$ ) 且根据来自于更后面部分 (23) 的第二控制信号 ( $c_2$ )、通过第二可调数值对具有第二输入频率 ( $f_1$ ) 的第二输入频率信号进行分频, 其中所述第二类型部分 (22) 包括用于根据调制信号 ( $m_0$ 、 $m_1$ ) 且根据来自于再更后面部分 (24) 的第三控制信号 ( $c_3$ ) 至少控制一个部分 (21、22) 的电路 (55、56、64、66、67) 以及

- 至少一个第三类型部分 (27), 其用于在有效模式下, 根据第三调节信号 ( $p_{n-1}$ )、通过第三可调数值对具有第三输入频率 ( $f_{n-1}$ ) 的第三输入频率信号进行分频; 用于产生去到前面部分 (26) 的第四控制信号 ( $c_{n-1}$ ); 以及用于在无效模式下, 不参与分频。

10、一种分频的方法, 其包括:

- 至少一个第一类型步骤, 其用于根据第一调节信号 ( $p^*_0$ ) 且根据来自于后面步骤的第一控制信号 ( $c_1$ )、通过第一可调数值对具有第一输入频率 ( $f_0$ ) 的第一输入频率信号进行分频; 以及

- 至少一个第二类型步骤, 其用于根据第二调节信号 ( $p^*_1$ ) 且根据来自于更后面步骤的第二控制信号 ( $c_2$ )、通过第二可调数值对具有第二输入频率 ( $f_1$ ) 的第二输入频率信号进行分频, 其中所述第二类型步骤包括子步骤, 其用于根据调制信号 ( $m_0$ 、 $m_1$ ) 且根据来自于更后面步骤的第三控制信号 ( $c_3$ ) 至少控制一个步骤; 以及

- 至少一个第三类型步骤, 其用于在有效模式下, 根据第三调节信号 ( $p_{n-1}$ )、通过第三可调数值对具有第三输入频率 ( $f_{n-1}$ ) 的第三输入频率信号进行分频; 用于产生去到前面部分 (26) 的第四控制信号 ( $c_{n-1}$ ); 以及用于在无效模式下, 不参与分频。

## 包括分频器的装置

本发明涉及包括分频器的装置，还涉及分频器、用于分频器中的第二类型部分以及用于分频的方法。

这种装置的实例是音频接收器和/或发射器、视频接收器和/或发射器、无线电接收机和/或无线电发射机、移动终端、测量设备以及如锁相环和合成器等调谐装置。

从 US 2003/0030471 A1 获知了现有技术的装置，其公开了包括分频部分的装置。每个部分通过可调数值对初始频率分频，例如数值“2”或者是数值“3”。通过调整每个部分的这个数值，换言之，就是通过命令每个部分例如是用数值“2”还是用数值“3”进行分频，分数分频器平均来说通过分数因子  $N_f$  对初始频率分频。通过用于命令所述部分的调节信号，作为所有部分的所有可调整数值的总和的整数  $N_k$  可以在一个倍频程 (octave) 的范围内改变。如果将该整数  $N_k$  改变为大于一个倍频程，那么需要扩大部分的数目。

为了允许用分数因子  $N_f$  分频，必须在每个总分频循环（用循环逻辑的端点 (end-of-cycle logic) 表示）改变调节的瞬间因子  $N_k$ ，以便平均来说获得期望的分数因子。向其添加调制器，例如德耳塔西格马 (delta sigma) 调制器。然后，每个部分接收被调制的调节信号以实现期望的平均输出频率。

由于需要对每个部分进行调制以允许使用分数因子  $N_f$  分频，所以已知的装置是特别不利的。如果需要扩大部分的数目，那么调制也必须扩大。

本发明的一个目的特别是提供一种装置，其中可以与分频器部分

的数量无关地进行调制。

本发明的另外的目的特别是提供一种分频器、用于该分频器的第二类型部分以及用于分频的方法，其中可以与分频器的部分/步骤的数量无关地进行调制。

根据本发明的装置包括分频器，该分频器包括：

-至少一个第一类型部分，其用于根据第一调节信号和来自于后面部分的第一控制信号、通过第一可调数值对第一输入频率进行分频；以及

-至少一个第二类型部分，其用于根据第二调节信号和来自于更后面部分的第二控制信号、通过第二可调数值对第二输入频率进行分频，该第二类型的部分包括用于根据调制信号和来自于更后面部分的第三控制信号至少控制一个部分的电路。

第一类型部分是基本部分，其根据第一调节信号和来自于后面部分的第一控制信号、通过第一可调整数值对第一输入频率进行分频。与前面部分相比，这种后面部分是接收较低输入频率并对其分频的部分。控制信号表示循环的结束（end-of-cycle）。第二类型部分是高级部分，其不仅根据第二调节信号和来自于更后面部分的第二控制信号、通过第二可调数值对第二输入频率进行分频，并且还通过电路、根据调制信号和来自于更后面部分的第三控制信号对至少一个部分进行控制。通过向该电路提供调制信号以及来自于更后面部分的第三控制信号，仅需要对第二类型的部分和/或仅仅对前面的第一类型部分（读：前面接近的）进行调制，进而允许平均来说通过分数因子进行分频。不再需要对所有的后面部分进行任何调制。结果，现在可以通过增加后面部分来扩大部分的数，而不需要扩大调制。

应该注意：US 2003/0108143 A1 公开了具有德耳塔西格马调制器的分频器。然而，首先，这种分频器中的部分不从后面部分接收控制信号，这使该分频器完全不同于根据本发明的分频器；其次，没有用

于至少控制一个与调制信号和来自于更后面部分的第三控制信号有关部分的电路。在不同同时扩大德耳塔西格马调制器（其包括位于德耳塔西格马调制器和分频器之间的电路）的情况下，也不能扩大 US 2003/0108143 A1 中公开的分频器。

根据本发明的系统的实施例被限定为还包括：

-至少一个第三类型部分，其用于在有效模式下，根据第三调节信号、通过第三可调数值对第三输入频率进行分频；并产生去到前面部分的第四控制信号；以及在无效模式下，不参与分频。

第三类型部分是所谓的可编程部分，其具有有效和无效模式。在有效模式中，使用该部分扩大分频器；而在无效模式下，该部分不参与分频。由于处理任何调制的第二类型部分，因此可以有利地引入第三类型部分。

根据本发明的系统的实施例由第一部分、第三部分和第四部分限定，每个部分都包括第一类型部分，第二部分包括第二类型部分，分频器包括：

-另外的电路，其用于将两个初始调节信号和两个初始调制信号转换为去到第一部分的第一调节信号和去到第二部分的第二调节信号以及第一和第二调制信号。

第三部分产生第二控制信号，且第三部分产生第三控制信号。第二部分响应于第三控制信号、第一和第二调制信号控制其自身和第一部分。该另外的电路处理溢出问题。

根据本发明的系统的实施例由第二类型部分限定，其包括第一锁存器、第一门电路、第二锁存器、反相器、第三锁存器、第二门电路、第四锁存器、第三门电路、第一多路复用器、第二多路复用器、第五锁存器、第四门电路和第六锁存器，电路包括第五和第六锁存器、第一和第二多路复用器以及第四门电路。

本实施例包括低成本、可靠的、稳定并且可以容易实现的分频器。

根据本发明的系统的实施例由第一类型部分限定，其包括第一锁存器、第一门电路、第二锁存器、反相器、第三锁存器、第二门电路、第四锁存器和第三门电路。

本实施例包括低成本、可靠的、稳定并且可以容易实现的分频器。

根据本发明的系统的实施例由第三类型部分限定，其包括第一锁存器、第一门电路、第二锁存器、反相器、第三锁存器、第二门电路、第四锁存器和第三、第四门电路以及第五门电路。

本实施例包括低成本、可靠的、稳定并且可以容易实现的分频器。

根据本发明的系统的实施例被限定为还包括调谐单元，该调谐单元包括分频器。这种调谐单元包括锁相环，其例如还包括检相器和受控的振荡器，或者这种调谐单元包括合成器。

根据本发明的分频器的实施例和根据本发明的第二类型部分的实施例以及根据本发明的方法的实施例与根据本发明的装置的实施例相一致。

本发明是特别基于以下的认识，即为了允许用非整数进行分频，仅仅调制分频器的一些部分就足够了，并且本发明是特别基于一个基本思想，即第二类型部分通过用于引入任何调制的控制信号可以处理控制自身和/或控制前面的（读：前面接近的）第一类型部分。

本发明特别解决了提供其中可以与分频器的部分的数量无关地完成调制的装置这一问题，并且本发明的特别有利之处在于很容易使这种分频器成本低、可靠、稳定，并且使其容易实现。

通过参照下面所述的实施例，本发明的这些和其它方面将变得显而易见。

在附图中：

图 1 以方框图的形式示出根据本发明的装置，其包括根据本发明的分频器；

图 2 以方框图的形式示出根据本发明的分频器的第一类型部分；  
图 3 以方框图的形式示出根据本发明的分频器的根据本发明的第二类型部分；以及  
图 4 以方框图的形式示出根据本发明的分频器的第三类型部分。

根据本发明的装置 1 如图 1 所示，其包括调谐单元 2、11、12、13。以锁相环形式的该调谐单元包括根据本发明的分频器 2。压控振荡器 13 产生输出频率信号  $f_0$ ，其以第一输入频率信号  $f_0$  的形式提供给分频器 2 的输入端。压控振荡器 13 经由滤波器 12 从检相器 11 接收控制电压。该检相器 11 接收参考频率信号  $f_{ref}$  和来自分频器 2 的输出频率信号。或者，调谐单元例如可以包括合成器等。

在该实例中，分频器 2 包括第一部分 21、第二部分 22、第三部分 23、第四部分 24……第六部分 26 以及第七部分 27。第一部分 21 是第一类型部分，其用于通过与第一调节信号  $p^*_0$  和来自后面部分 22 的第一控制信号  $c_1$  有关的第一可调数值对第一输入频率信号  $f_0$  分频。第一部分 21 产生控制信号  $c_0$ ，由于第一部分 21 是第一部分，所以不使用信号  $c_0$ 。第二部分 22 是第二类型部分，其用于通过与第二调节信号  $p^*_1$  和来自更后面部分 23 的第二控制信号  $c_2$  有关的第二可调数值对第二输入频率  $f_1$  分频，其中该第二类型部分包括将借助于图 3 讨论的电路 55、56、64、66、67，其用于根据调制信号  $m_0$ 、 $m_1$  和来自于再更后面部分 24 的第三控制信号  $c_3$  控制至少一个部分 21、22。

第三部分 23 又是第一类型部分，其用于根据调节信号  $p_2$  和来自后面部分 24 的控制信号  $c_3$ 、通过可调数值对频率信号  $f_2$  分频。第四部分 24 也是第一类型部分，其用于根据调节信号  $p_3$  和来自后面部分的控制信号  $c_4$ 、通过可调数值对频率信号  $f_3$  分频。

第六部分 26 是第三类型部分，其用于在有效模式下，根据调节信号  $p_{n-2}$ 、通过可调数值对频率信号  $f_{n-2}$  分频；用于产生去到前面部

分的控制信号  $c_{n-2}$ ；以及用于在无效模式下，不参与分频。第七部分 27 是第三类型部分，其用于在有效模式下，根据第三调节信号  $p_{n-1}$ 、通过第三可调数值对第三输入频率信号  $f_{n-1}$  分频；用于产生去到前面部分 26 的第四控制信号  $c_{n-1}$ ；以及用于在无效模式下，不参与分频。第七部分 27 接收用于将第七部分 27 切换为有效/无效模式的使能/禁止信号  $e_n$ 。由于第七部分是最后部分，因此该使能/禁止信号  $e_n$  等于  $p_n$ 。由于第七部分是最后部分，因此第七部分 27 还接收等于数值“1”的控制信号  $c_n$ 。第七部分 27 产生去到第六部分 26 的使能/禁止信号  $e_{n-1}$ ，该使能/禁止信号  $e_{n-1}$  用于将第六部分 26 切换为有效/无效模式等。

分频器 2 还包括另外的电路 29，其用于将两个初始调节信号  $p_0$ 、 $p_1$  和两个初始调制信号  $\Sigma\Delta_0$ 、 $\Sigma\Delta_1$  转换为去到第一部分 21 的第一调节信号  $p^*_0$  和去到第二部分 22 的第二调节信号  $p^*_1$  以及第一和第二调制信号  $m_0$ 、 $m_1$ 。

如以方框图形式的图 2 所示，根据本发明的分频器 2 的第一类型部分 21 包括：

- 由第一输入频率信号  $f_0$  提供时钟的第一锁存器 31，其包括与第一与门 41 的输出端连接的输入端；

- 由第一输入频率信号  $f_0$  的反相信号提供时钟的第二锁存器 32，其包括与第一锁存器 31 的输出端连接的输入端以及包括与反相器 44 的输入端连接的输出端，该反相器 44 用于在反相器 44 的输出端产生输出频率信号  $f_1$ ，反相器 44 的该输出端与第一与门 41 的第一输入端相连；

- 由第一输入频率信号  $f_0$  的反相信号提供时钟的第三锁存器 33，其包括与第二与门 42 的输出端连接的输入端以及包括与第一与门 41 的第二输入端连接的反相输出端；以及

- 由第一输入频率信号  $f_0$  提供时钟的第四锁存器 34，其包括与第

三与门 43 的输出端连接的输入端以及包括用于产生控制信号  $c_0$  的输出端，该输出端与第二与门 42 的第一输入端相连，该第二与门 42 包括用于接收第一调节信号  $p^*_0$  的第二输入端，而该第三与门 43 包括与第二锁存器 32 的输出端连接的第一输入端以及包括用于接收第一控制信号  $c_1$  的第二输入端。

如以方框图形式的图 3 所示，根据本发明的分频器 2 的根据本发明的第二类型部分 22 包括：

-由第二输入频率信号  $f_1$  提供时钟的第一锁存器 51，其包括与第一与门 61 的输出端连接的输入端；

-由第二输入频率信号  $f_1$  的反相信号提供时钟的第二锁存器 52，其包括与第一锁存器 51 的输出端连接的输入端以及包括与反相器 65 的输入端连接的输出端，该反相器 65 用于在反相器 65 的输出端产生输出频率信号  $f_2$ ，反相器 65 的该输出端与第一与门 61 的第一输入端相连；

-由第二输入频率信号  $f_1$  的反相信号提供时钟的第三锁存器 53，其包括与第二与门 62 的输出端连接的输入端以及包括与第一与门 61 的第二输入端连接的反相输出端；

-由第二输入频率信号  $f_1$  提供时钟的第四锁存器 54，其包括与第三与门 63 的输出端连接的输入端以及包括与第一多路复用器 66 的第一输入端和第二多路复用器 67 的第一输入端连接的输出端，其中，该第一多路复用器 66 包括与第二与门 62 的第一输入端连接的输出端，并且该第三与门 63 包括与第二锁存器 52 的输出端连接的第一输入端；

-由第二输入频率信号  $f_1$  提供时钟的第五锁存器 55，其包括与第四与门 64 的输出端连接的输入端以及包括与第一多路复用器 66 的第二输入端和第二多路复用器 67 的第二输入端连接的输出端，其中，该第四与门 64 包括与第二锁存器 52 的输出端连接的第一输入端；

-由输出频率信号  $f_2$  提供时钟的第六锁存器 56，其包括与第四与门 64 的第二输入端连接的输出端；

由此，第二与门 62 包括用于接收第二调节信号  $p^*_1$  的第二输入端，第三与门 63 包括用于接收第二控制信号  $c_2$  的第二输入端，第六锁存器 56 包括用于接收第三控制信号  $c_3$  的输入端，第一多路复用器 66 包括用于接收第一调制信号  $m_1$  的控制输入端，第二多路复用器 67 包括用于接收第二调制信号  $m_0$  的控制输入端并且包括用于产生去到前面部分 21 的控制信号  $c_1$  的输出端，电路 55、56、64、66、67 包括第五和第六锁存器 55、56，第一和第二多路复用器 66、67 以及第四与门 64。

如以方框图形式的图 4 所示，根据本发明的分频器 2 的第三类型部分 27 包括：

-由第三输入频率信号  $f_{n-1}$  提供时钟的第一锁存器 71，其包括与第一与门 81 的输出端连接的输入端；

-由第三输入频率信号  $f_{n-1}$  的反相信号提供时钟的第二锁存器 72，其包括与第一锁存器 71 的输出端连接的输入端以及包括与反相器 86 的输入端连接的输出端，该反相器 86 用于在反相器 86 的输出端产生输出频率信号  $f_n$ ，其中反相器 86 的该输出端与第一与门 81 的第一输入端相连；

-由第三输入频率信号  $f_{n-1}$  的反相信号提供时钟的第三锁存器 73，其包括与第二与门 82 的输出端连接的输入端以及包括与第一与门 81 的第二输入端连接的反相输出端；

-由第三输入频率信号  $f_{n-1}$  提供时钟的第四锁存器 74，其包括与第三与门 83 的输出端连接的输入端以及包括与第二与门 82 的第一输入端和第四或门 84 的反相第一输入端连接的输出端，其中，该第三与门 83 包括与第二锁存器 72 的输出端连接的第一输入端；以及

-第五或门 85，其包括与第二与门 82 的第二输入端连接的第一输

入端，其用于接收第三调节信号  $p_{n-1}$ ；包括与第四或门 84 的第二输入端连接的第二输入端，其用于接收使能/禁止输入信号  $e_n$ ；并且包括用于产生使能/禁止输出信号  $e_{n-1}$  的输出端；

由此，第三与门 83 包括用于接收控制信号  $c_n$  的第二输入端，第四或门 84 包括用于产生第四控制信号  $c_{n-1}$  的输出端。

附图所示的分频器 2 的操作如下。在现有技术条件下，部分 21 到 24 中的每个部分是第一类型部分，如图 2 所示，而部分 26、27 中的每个部分是第三类型部分，如图 4 所示。这样，在这种情况下，部分 22 不接收控制信号  $c_3$ ，并且忽略另外的电路 29。于是，部分 21 到 24 中的每个部分通过例如或者是数值“2”或者是数值“3”的可调数值对输入频率信号  $f_0$  分频。通过调节每个部分的这个数值，换言之，就是通过其调节信号  $p_n$  指示每个部分例如是用数值“2”分频还是用数值“3”分频，分数分频器 2 平均起来通过分数因子  $N_f$  对输入频率信号  $f_0$  分频。结果，最终频率信号  $f_n$  具有减小的频率并且具有用于增加数值  $n$  的增加的时间周期。控制信号  $c_n$  是循环的结束的信号。该循环的结束的信号具有位于每对部分之间的同一最低频率，换言之，在通过调节信号  $p_n$  调节时，其输出频率与频率信号  $f_n$  相同，并且对于减小的数值  $n$ ，其具有减少的占空比。通过用于指示所述部分的调节信号  $p_n$ ，所有部分的所有可调数值的总和是整数  $N_k$ ，其可以在一个倍频程范围内改变。如果要将整数  $N_k$  改变为大于一个倍频程，那么需要扩大部分的数量。例如，如果要实现值为 31.6 的分数因子，那么整数  $N_k$  需要得到数值 30、31、32 和 33 以便平均值变为 31.6。在该情况下，由于倍频程的边界位于数值 31 和 32 ( $32=2^5$ ) 之间，因此在每次整数  $N_k$  需要得到数值 32 或 33 时，需要将部分的数量扩大一个部分。

另外，已经增加了可编程部分 26、27。这些部分 26、27 中的每个部分都具有有效和无效模式。在有效模式下，使用该部分扩大分频

器 2，而在无效模式下，该部分不参与分频。通过使能/禁止信号  $e_n$  确定部分 26、27 是处于有效模式还是处于无效模式。因为部分 26、27 有时处于无效模式下，所以这些部分 26、27 的输出频率信号  $f_n$  不再作用于检相器 11 的输出频率信号。因此，例如将控制信号  $c_3$  用作输出频率信号。如前所述，该循环的结束的信号也是处于如通过调节信号  $p_n$  调节的输出频率。

为了允许用分数因子  $N_f$  分频，必须在每个总分频循环（用循环结束的逻辑（end-of-cycle logic）表示）改变调节的瞬间因子  $N_k$ ，以便平均来说获得期望的分数因子。向其添加调制器，例如德耳塔西格马（delta sigma）调制器。然后，每个部分接收被调制的调节信号。在现有技术条件下，这意味着如果分频器可以通过可编程部分扩大，那么调制器也必须是可扩大的。这是不利的。

根据本发明，如图 2 所示，使用根据本发明的第二类型的第二部分 22 替代现有技术的第一类型的第二部分 22。使根据本发明的第二类型部分与第一类型部分不同的电路 55、56、64、66 和 67 具有如下功能。当使用数值“2”和“3”分频时，实际上一个部分计数，一直到数值“2”或“3”。一旦达到该数值，则下一部分开始计数，一直到数值“2”或“3”。德耳塔西格马调制器实际上表示附加的计数数值“-1”、“0”、“1”或“2”。在实践中，例如，首先，减去数值“1”，其次，然后进行数值“0”、“1”、“2”或“3”的附加计数。利用第一部分 21 进行使用数值“1”的附加计数，利用第二部分 22 进行使用数值“2”的附加计数，利用第一部分 21 和第二部分 22 两者进行使用数值“3”的附加计数。

因此，西格马德耳塔调制器仅影响第一和第二部分 21、22。电路 55、56、64、66、67 直接使第二部分 22 并通过控制信号  $c_1$  间接使第一部分 21 各自再次进行或者不进行附加计数（或吞咽（swallow））。另外的电路 29 由此防止溢出问题：

$p^*_1=p_1+\Sigma\Delta_1$ ,  $p^*_0=p_0+\Sigma\Delta_0$ ,  $m_1=p_1 \cdot \Sigma\Delta_1$  以及  $m_0=p_0 \cdot \Sigma\Delta_0$ 。这在下表中示出, 由此  $1x$  和  $2x$  表示吞咽操作的数量,  $x$  表示不用考虑:

$p_1$	$P_0$	$\Sigma\Delta_1$	$\Sigma\Delta_0$	22	21	$p^*_1$	$p^*_0$	$m_1$	$m_0$
0	0	0	0	0	0	0	0	x	x
0	0	0	1	0	1x	0	1	x	0
0	0	1	0	1x	0	1	0	0	x
0	0	1	1	1x	1x	1	1	0	0
0	1	0	0	0	1x	0	1	x	0
0	1	0	1	0	2x	0	1	x	1
0	1	1	0	1x	1x	1	1	0	0
0	1	1	1	1x	2x	1	1	0	1
1	0	0	0	1x	0	1	0	0	x
1	0	0	1	1x	1x	1	1	0	0
1	0	1	0	2x	0	1	0	1	x
1	0	1	1	2x	1x	1	1	1	0
1	1	0	0	1x	1x	1	1	0	0
1	1	0	1	1x	2x	1	1	0	1
1	1	1	0	2x	1x	1	1	1	0
1	1	1	1	2x	2x	1	1	1	1

当然, 德耳塔西格马调制器可以不产生两位值, 而是产生三位值, 在该情况下, 超过两个部分需要被操作并且超过一个部分需要成为第二类型等。此外, 可以使用除德耳塔西格马调制器外的其它调制器, 并且可以使用其它锁存器、其它门电路和其它电路、以及其它另外的电路, 而没有偏离该本发明的范围。

应当注意的是, 上述实施例是用于说明而不是限制本发明, 并且在不脱离所附权利要求的范围的情况下, 本领域技术人员将能够设计

很多可替换的实施例。在权利要求中，放置在括号中的任何附图标记不应该视为对权利要求的限制。使用动词“包括”和它的动词变化并不排除存在权利要求中所述的那些元件或者步骤之外的其它元件或者步骤。元件前的冠词“一个”不排除多个这样的元件的存在。可以利用包括几个不同元件的硬件，并利用适当编程的计算机实现本发明。在列举几个装置的装置权利要求中，几个这些装置可以由同一类硬件来实现。在相互不同的从属权利要求中引述特定措施这一简单事实不表示不可以使用这些方法的组合来获得益处。

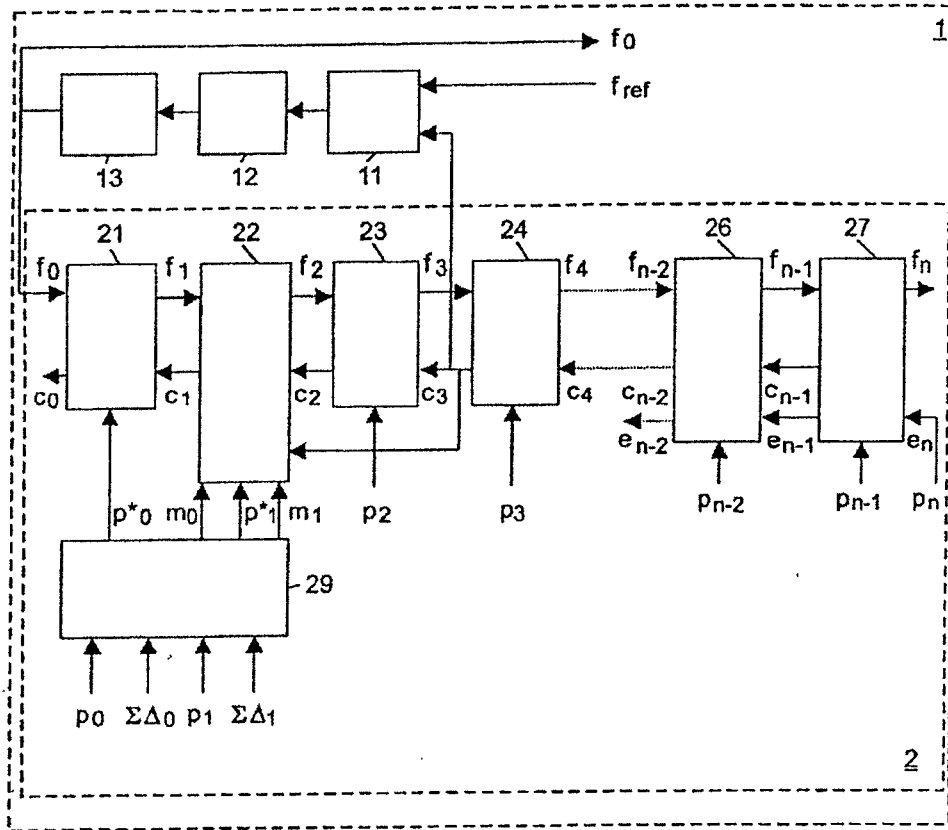


图1

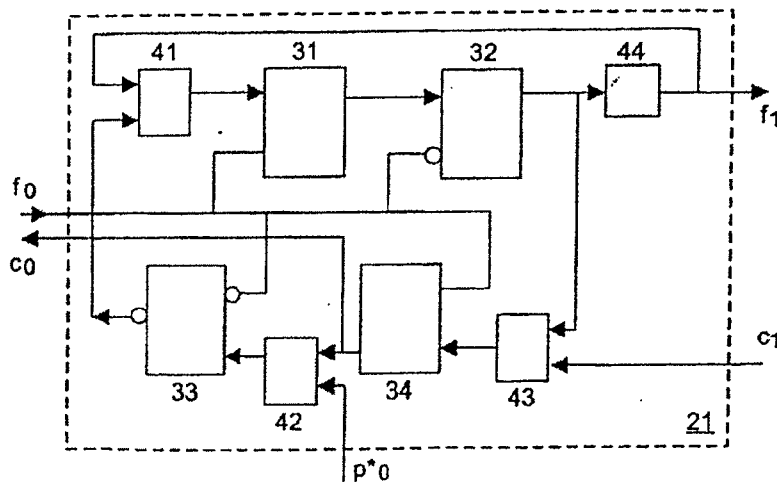


图2

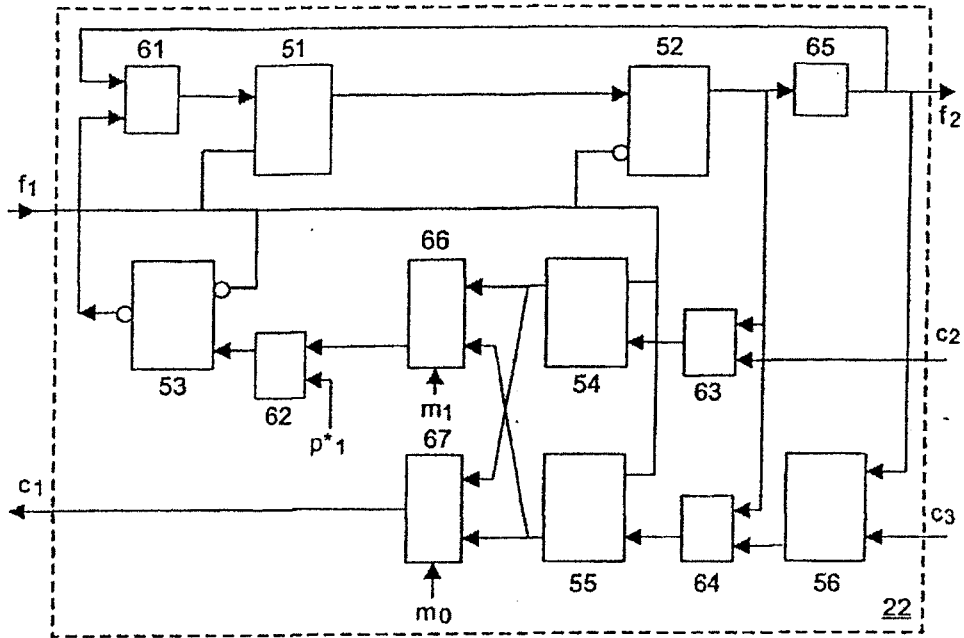


图3

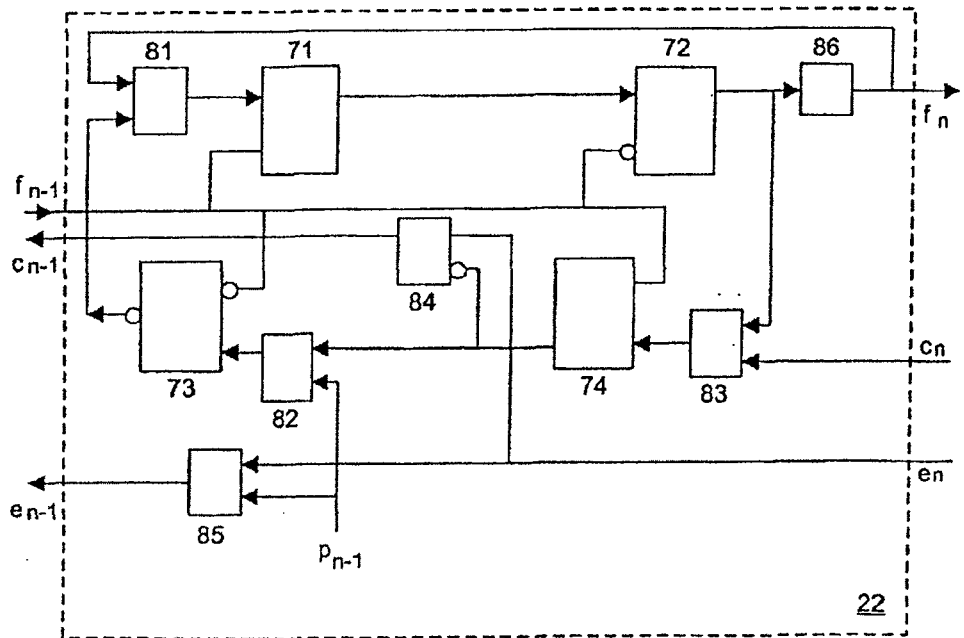


图4