



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월21일
(11) 등록번호 10-0777850
(24) 등록일자 2007년11월13일

(51) Int. Cl.
G02F 1/13 (2006.01)
(21) 출원번호 10-2004-0086220
(22) 출원일자 2004년10월27일
심사청구일자 2004년10월27일
(65) 공개번호 10-2005-0040763
공개일자 2005년05월03일
(30) 우선권주장
JP-P-2003-00367276 2003년10월28일 일본(JP)
(56) 선행기술조사문헌
JP06332008 A

(73) 특허권자
도시바 마쯔시마 디스플레이 테크놀로지 컴퍼니,
리미티드
일본 도쿄도 미나토구 4쵸메 고난 1-8
(72) 발명자
다바따게히로시
일본 사이따마켄 후카야시 도끼와쵸 77-3
가와무라테즈야
일본 사이따마켄 후카야시 도끼와쵸 77-3
(뒀면에 계속)
(74) 대리인
구영창, 이중희, 장수길

전체 청구항 수 : 총 25 항

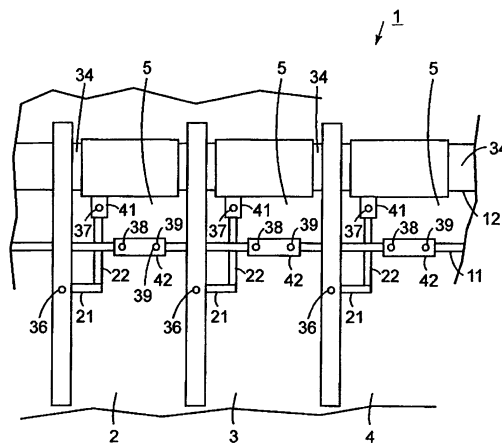
심사관 : 한상수

(54) 어레이 기판 및 평면 표시 장치

(57) 요약

박막 트랜지스터의 정전기 파괴의 발생을 방지할 수 있는 액정 표시 장치를 제공한다. 게이트 전극 배선(11)을 화소(5)마다 분단부에서 분단한다. 분단부에서 분단한 게이트 전극 배선(11)의 단부 사이를 층간 절연막 상의 신호 전극 배선(13)과 동일한 재료의 도전막(42)으로 전기적으로 접속한다. 게이트 전극 배선(11)의 길이를 화소(5)마다 짧게 한다. 대전된 유리 기판(3)을 움직임으로써, 게이트 전극 배선(11)과 폴리실리콘 반도체층(2)의 사이의 게이트 절연층에서의 전압의 상승을 억제할 수 있다. 게이트 절연층의 정전기 파괴를 방지할 수 있다.

대표도 - 도1



(72) 발명자

가와무라신이찌

일본 도쿄도 미나토구 고난 4쵸메 1-8 도시바 마쯔
시파 디스플레이테크놀로지 컴퍼니, 리미티드 내

이나다가쯔히코

일본 사이따마켄 구마가야시 니이보리신덴 267

다께다아쯔시

일본 사이따마켄 후까야시 가미시바쵸 히가시
5-4-8

이마이노부오

일본 사이따마켄 아게오시 가스가 1-33-1

다까미아끼히로

일본 사이따마켄 후까야시 도끼와쵸 64-1

특허청구의 범위

청구항 1

투광성 기관과,

상기 투광성 기관 상에 형성된 스위칭 소자들을 갖는 화소들과,

상기 스위칭 소자들에 접속된 게이트 전극 배선들 - 상기 게이트 전극 배선들은 상기 화소들 내에서 분단부들을 가지며 제1 절연막 상에 제공되고, 신호 배선들이 상기 제1 절연막과 다른 제2 절연막 상에 제공됨 - 과,

상기 제2 절연막 상에 제공되어 상기 분단부들을 갖는 상기 게이트 전극 배선들을 서로 전기적으로 접속시키는 도전부 - 상기 분단부들은 상기 도전부들이 상기 분단부들 간에 접속되지 않았을 때 상기 게이트 전극 배선들과 상기 스위칭 소자들 간에 규정된 정전 용량들을 감소시킴 -

를 포함하는 회로 어레이 기관.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 스위칭 소자에 접속된 화소 전극을 구비하고,

상기 게이트 전극 배선은, 상기 화소 전극에 대하여 설치된 공통 용량 배선인 것을 특징으로 하는 회로 어레이 기관.

청구항 4

제1항 또는 제3항에 있어서,

상기 스위칭 소자들은 매트릭스 형상으로 배치되고, 상기 분단부들의 각각은 상기 화소마다 형성되어 있는 것을 특징으로 하는 회로 어레이 기관.

청구항 5

제1항 또는 제3항에 있어서,

상기 분단부들이 형성되어 있지 않은 상기 화소들에 제공되는 더미 패턴들을 더 포함하고, 상기 더미 패턴들은 상기 도전부들과 그 형태가 동일한 것을 특징으로 하는 회로 어레이 기관.

청구항 6

제4항에 있어서,

상기 분단부들이 제공되어 있지 않은 상기 화소들에 제공되는 더미 패턴들을 더 포함하고, 상기 더미 패턴들은 상기 도전부들과 그 형태가 동일한 것을 특징으로 하는 회로 어레이 기관.

청구항 7

제1항 또는 제3항에 있어서,

상기 화소들은 색들에 대해 제공되며, 상기 스위칭 소자들은 매트릭스 형상으로 배치되어 상기 화소들의 각각의 색에 대해 제공되고, 상기 분단부들은 상기 색들 중의 하나의 색의 상기 화소마다 제공되는 것을 특징으로 하는 회로 어레이 기관.

청구항 8

제1항에 있어서,

상기 분단부들이 제공되어 있지 않은 상기 화소들에 제공되는 더미 패턴들을 더 포함하고, 상기 화소들은 색들

에 대해 제공되며, 상기 스위칭 소자들은 매트릭스 형상으로 배치되어 상기 화소들의 각각의 색에 대해 제공되고, 상기 분단부들은 상기 색들 중의 하나의 색의 상기 화소마다 제공되는 것을 특징으로 하는 회로 어레이 기판.

청구항 9

제1항 또는 제3항에 있어서,

상기 도전부들은 상기 신호 전극 배선들과 동일한 재료들로 형성되어 있는 것을 특징으로 하는 회로 어레이 기판.

청구항 10

제4항에 있어서,

상기 도전부들은 상기 신호 전극 배선들과 동일한 재료들로 형성되어 있는 것을 특징으로 하는 회로 어레이 기판.

청구항 11

제5항에 있어서,

상기 도전부들은 상기 신호 전극 배선들과 동일한 재료들로 형성되어 있는 것을 특징으로 하는 회로 어레이 기판.

청구항 12

제6항에 있어서,

상기 도전부들은 상기 신호 전극 배선들과 동일한 재료들로 형성되어 있는 것을 특징으로 하는 회로 어레이 기판.

청구항 13

제7항에 있어서,

상기 도전부들은 상기 신호 전극 배선들과 동일한 재료들로 형성되어 있는 것을 특징으로 하는 회로 어레이 기판.

청구항 14

제8항에 있어서,

상기 도전부들은 상기 신호 전극 배선들과 동일한 재료들로 형성되어 있는 것을 특징으로 하는 회로 어레이 기판.

청구항 15

제1항 또는 제3항의 회로 어레이 기판과,

상기 회로 어레이 기판 위에 대향하여 형성된 광 변조층을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 16

제4항의 회로 어레이 기판과,

상기 회로 어레이 기판 위에 대향하여 형성된 광 변조층을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 17

제5항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 18

제6항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 19

제7항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 20

제8항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 21

제9항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 22

제10항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 23

제11항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 24

제12항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 25

제13항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층

을 구비하는 것을 특징으로 하는 평면 표시 장치.

청구항 26

제14항의 어레이 기관과,
상기 어레이 기관 위에 대향하여 형성된 광 변조층
을 구비하는 것을 특징으로 하는 평면 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <26> 본 발명은, 스위칭 소자를 구비한 어레이 기관 및 평면 표시 장치에 관한 것이다.
- <27> 종래에는, 이런 종류의 평면 표시 장치로서의 액티브 매트릭스 형상의 액정 표시 장치는, 큰 표면적을 갖는 투광성 기관상에 반도체 활성층을 비교적 저온에서 양호한 균일성으로 형성할 수 있는 점에서, 표시 화소의 스위칭 소자로서 비정질 실리콘의 박막 트랜지스터가 이용되고 있다. 또한, 최근에는, 표시 화소의 스위칭 소자 뿐만 아니라, 주변의 구동용 회로 소자로서도 동일한 유리 기관 상에 형성한 박막 트랜지스터를 이용하게 되었다. 그리고, 이 박막 트랜지스터로는, 비정질 실리콘의 박막 트랜지스터보다도 전계 효과 이동도가 큰 다결정 실리콘을 반도체 활성층에 이용한 다결정 실리콘 박막 트랜지스터가 이용된 구성이 알려져 있다(예를 들면, 특허 문헌1 참조).
- <28> [특허 문헌1] 특개2000-187248호 공보(제4~6페이지, 도 1~도 3)

발명이 이루고자 하는 기술적 과제

- <29> 그러나, 상술한 액정 표시 장치에서는, 투광성 기관으로서 절연물인 유리를 이용하고 있기 때문에, 이 투광성 기관의 대전에 의한 소자의 정전 파괴에 의해서 수율이 크게 저하되어 생산 상의 문제로 되고 있다. 또한, 최근 사용하는 투광성 기관이 대형화됨으로써, 이 투광성 기관의 대전량이 커져, 이 투광성 기관의 정전 파괴가 점점 큰 문제로 되고 있다.
- <30> 예를 들면, 대전된 투광성 기관을, 접지된 스테이지 상으로부터 핀 등으로 들어 올리거나, 혹은 튀어 나온 패드 상에 올려 놓으면, 핀이나 패드 상의 부분과, 이들 핀이나 패드 상 이외의 부분에서, 접지의 상황이 다르기 때문에, 전하의 재 배분이 발생하여, 핀이나 패드 상에 있는 부분의 투광성 기관에는, 스테이지에 접지시킨 경우에 비해 수십배 이상의 전압이 걸리는 경우가 있다.
- <31> 특히, 투광성 기관 상의 고립된 작은 다결정 실리콘의 패턴 상에 게이트 절연막이 형성되고, 이 게이트 절연막 상에 긴 게이트 전극 배선이 형성되고, 이들 다결정 실리콘의 패턴과 게이트 전극 배선의 사이에서 용량을 형성하고 있는 경우에는, 상술한 바와 같이 투광성 기관을 핀 등으로 들어 올려, 전하의 재배분이 발생한 경우에 영향이 특히 크다. 이 때문에, 이들 게이트 전극 배선과 다결정 실리콘의 사이에서 정전기 파괴, 즉 박막 트랜지스터의 정전기 파괴가 발생할 우려가 높다는 문제를 가지고 있다.
- <32> 본 발명은, 이러한 점을 감안하여 이루어진 것으로, 박막 트랜지스터의 정전기 파괴의 발생을 방지할 수 있는 어레이 기관 및 평면 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <33> 본 발명은, 투광성 기관과, 이 투광성 기관 상에 설치된 스위칭 소자와, 분단된 분단부를 가지고, 상기 스위칭 소자에 접속된 전극 배선과, 이 전극 배선은 다른 층에 설치되고, 이 전극 배선에 있어서의 상기 분단부 사이를 전기적으로 접속시키는 도전부를 구비한 것이다.
- <34> 그리고, 투광성 기관 상의 스위칭 소자에 접속된 전극 배선은 다른 층에 도전부를 형성하고, 이 도전부에서 전극 배선이 분단된 분단부 사이를 전기적으로 접속시킨다. 이 결과, 대전된 투광성 기관을 움직임으로써, 전

극 배선 하의 전압의 상승을 억제할 수 있으므로, 스위칭 소자의 정전기 파괴를 방지할 수 있다.

- <35> 이하, 본 발명의 액정 표시 장치의 제1 실시예의 구성을 도 1 내지 도 3을 참조하여 설명한다.
- <36> 도 1 내지 도 3에 있어서, 참조 부호 1은 평면 표시 장치로서의 액정 표시 장치(1)이고, 이 액정 표시 장치(1)는, 틸트 게이트형 다결정 실리콘 박막 트랜지스터(Thin Film Transistor:TFT) 방식의 역스태거식이다. 또한, 이 액정 표시 장치(1)는, 액티브 매트릭스형으로, 박막 트랜지스터 기관으로서의 거의 직사각형 평판 형상의 어레이 기관(2)을 구비하고 있다. 이 어레이 기관(2)은, 거의 투명한 직사각형 평판 형상의 투명 절연 기관으로서의 투광성 기관인 유리 기관(3)을 가지고 있다. 이 유리 기관(3)의 일 주면인 표면 상의 중앙부에는, 화상을 표시하는 직사각형 형상의 표시 영역(4)이 형성되어 있다. 이 표시 영역(4)에는, 표시 도트로서의 복수의 화소(5)가 매트릭스 형상으로 설치되어 배치되어 있다.
- <37> 또한, 유리 기관(3)의 표시 영역(4)에는, 주사선으로서의 전극 배선인 복수의 게이트 전극 배선(11)이, 이 유리 기관(3)의 폭 방향을 따라 배치되어 있다. 이들 복수의 게이트 전극 배선(11)은, 유리 기관(3)의 가로 방향을 향해 등간격으로 평행하게 이간되어 있다. 또한, 이들 복수의 게이트 전극 배선(11) 사이의 각각에는, 보조 용량 배선으로서의 전극 배선인 복수의 공통 용량 배선(12)이, 유리 기관(3)의 가로 방향을 따라 배치되어 있다. 이들 복수의 공통 용량 배선(12)은, 유리 기관(3)의 가로 방향을 향해 등간격으로 평행하게 이간되어 있다.
- <38> 또한, 유리 기관(3)의 표면에는, 신호선으로서의 신호 전극 배선(13)이, 이 유리 기관(3)의 세로 방향을 따라 배치되어 있다. 이들 복수의 신호 전극 배선(13)은, 유리 기관(3)의 세로 방향을 향해 등간격으로 이간되어 있다. 그리고, 이들 복수의 신호 전극 배선(13)의 각각은, 게이트 전극 배선(11) 및 공통 용량 배선(12)의 각각과 동일한 재료로 형성되어 있다. 또한, 이들 복수의 게이트 전극 배선(11), 공통 용량 배선(12) 및 신호 전극 배선(13)의 각각은, 각 화소(5) 마다 반복되어 격자 형상으로 배선되어 있다.
- <39> 한편, 유리 기관(3)의 표면에는, 실리콘 질화막이나 산화 실리콘막 등으로 구성된 도시하지 않은 언더코트층이 적층되어 성막되어 있다. 이 언더코트층 상에는, 표시 화소의 스위칭 소자인 화소 트랜지스터로서의 박막 트랜지스터(21)가 1 화소 구성 요소로서 각 화소(5)의 각각에 배치되어 있다. 이들 박막 트랜지스터(21)는, 언더코트층 상에 형성된 다결정 반도체층으로서의 다결정 실리콘 박막인 폴리실리콘 반도체층(22)을 구비하고 있다.
- <40> 이 폴리실리콘 반도체층(22)은, 비정질 반도체로서의 비정질 실리콘(a-Si)을 엑시머 레이저 용해 결정화인 어닐링으로 작성된 폴리실리콘(p-Si) 박막이다. 또한, 이 폴리실리콘 반도체층(22)은, 박막 트랜지스터(21)용의 반도체층 패턴으로, 이 폴리실리콘 반도체층(22)의 중앙부에 형성된 채널 영역으로서의 반도체 활성층(23)을 갖고 있다. 이 반도체 활성층(23)의 양측에는, 소스 영역 및 드레인 영역으로서 기능하는 오믹 컨택트 영역(24)이 각각 형성되어 있다.
- <41> 그리고, 각 박막 트랜지스터(21)의 반도체 활성층(23) 및 오믹 컨택트 영역(24)의 각각을 포함하는 언더코트층 상에는, 절연성을 갖는 실리콘 산화막인 게이트 절연막으로서의 게이트 절연층(31)이 적층되어 성막되어 있다. 이 게이트 절연층(31)은, 플라즈마 화학 증착(Cheical Vapor Deposition:CVD)법에 의해서 성막된 산화 규소막으로 구성되어 있다.
- <42> 또한, 각 박막 트랜지스터(21)의 반도체 활성층(23)에 대향한 게이트 절연층(31)상에는, 게이트 전극 배선(11)이 적층되어 성막되어 있다. 이들 게이트 전극 배선(11)은, 반도체 활성층(23)의 길이 방향을 향해 이간되어 배치되어 있다. 또한, 이들 게이트 전극 배선(11)의 각각은, 게이트 절연층(31)을 개재하여 각 박막 트랜지스터(21)의 반도체 활성층(23) 상에 대향하여 배치되어 있다.
- <43> 여기서, 이들 게이트 전극 배선(11)에는, 이들 각 게이트 전극 배선(11)을 부분적으로 분단하여 전기적으로 절단하는 분할부로서의 복수의 분단부(32)가 각각 형성되어 있다. 이들 복수의 분단부(32)는, 각 화소(5) 각각에 대응하여, 이들 각 화소(5)에 있어서의 박막 트랜지스터(21) 사이에 형성되어 있다. 또한, 이들 복수의 분단부(32)의 각각은, 각 게이트 전극 배선(11)의 폭 방향을 따라 형성되어 있다. 따라서, 이들 각 게이트 전극 배선(11)은, 복수의 각 화소(5) 마다 분단부(32)에서 분단되어, 각 화소(5) 마다의 게이트 전극 배선(11)의 길이가 짧게 되어 있다.
- <44> 한편, 게이트 전극 배선(11)으로부터 이간된 게이트 절연층(31) 상에는, 보조 용량을 축적시키는 화소 보조 용량으로서의 축적 용량(34)이 설치되어 있다. 이 축적 용량(34)은, 게이트 절연층(31) 상에 적층되어 성막된 공통 용량 배선(12)을 구비하고 있다. 이 공통 용량 배선(12)은, 게이트 전극 배선(11)에 대하여 전기적으로 절연되어 있고, 이들 각 게이트 전극 배선(11)에 대하여 평행하게 배치되어 있다. 여기서, 이들 공통 용량 배선

(12)은, 게이트 전극 배선(11)과 동일한 공정과 동일한 재료로 형성되어 있다.

- <45> 그리고, 이들 공통 용량 배선(12) 및 게이트 전극 배선(11)을 포함하는 게이트 절연층(31) 상에는, 층간 절연막(35)이 적층되어 성막되어 있다. 이 층간 절연막(35)은, 플라즈마 CVD법에 의한 질화 규소와 산화 규소의 적층막으로 구성되어 있다. 또한, 이들 층간 절연막(35) 및 게이트 절연층(31)에는, 이들 층간 절연막(35) 및 게이트 절연층(31)의 각각을 관통한 도통부로서의 복수의 콘택트 홀(36, 37)이 개구되어 형성되어 있다.
- <46> 여기서, 이들 콘택트 홀(36, 37)은, 박막 트랜지스터(21)의 게이트 전극 배선(11)의 양측에 위치하는, 이 박막 트랜지스터(21)의 각 오믹 콘택트 영역(24) 상에 형성되어 있다. 그리고, 이들 콘택트 홀(36, 37)은, 박막 트랜지스터(21)의 오믹 콘택트 영역(24)에 각각에 연통하여 개구되어 있다.
- <47> 그리고, 각 박막 트랜지스터(21)의 한쪽의 오믹 콘택트 영역(24)에 연통한 콘택트 홀(36)을 포함하는 층간 절연막(35) 상에는, 이 박막 트랜지스터(21)의 소스 전극으로서 기능하는 신호 전극 배선(13)이 적층되어 설치되어 있다. 이 신호 전극 배선(13)은, 콘택트 홀(36)을 통해 박막 트랜지스터(21)의 한쪽의 오믹 콘택트 영역(24)에 전기적으로 접속되어 도통되어 있다.
- <48> 또한, 이 박막 트랜지스터(21)의 다른 쪽의 오믹 콘택트 영역(24)에 연통한 콘택트 홀(37)을 포함하는 층간 절연막(35) 상에는, 도전성을 갖는 신호 전극으로서의 드레인 전극(41)이 적층되어 설치되어 있다. 이 드레인 전극(41)은, 축적 용량(34)의 공통 용량 배선(12)에 대향하고 있으며, 층간 절연막(35)을 개재한 공통 용량 배선(12)과의 사이에서 보조 용량을 축적시킨다. 또한, 이 드레인 전극(41)은, 신호 전극 배선(13)과 동일한 층에 동일한 공정에서 동일한 재료로 형성되어 있다. 여기서, 이들 신호 전극 배선(13), 드레인 전극(41), 폴리실리콘 반도체층(22), 게이트 전극 배선(11), 게이트 절연층(31) 및 층간 절연막(35)에 의해서 각 박막 트랜지스터(21)가 구성되어 있다.
- <49> 한편, 각 게이트 전극 배선(11)에 있어서의 각 분단부(32)의 양측에 위치하는 층간 절연막(35)에는, 이들 분단부(32)에서 분단된 각 게이트 전극 배선(11)의 단부에 연통한 도시하지 않은 한쌍의 콘택트 홀(38, 39)이 각각 개구되어 형성되어 있다. 그리고, 이들 한쌍의 콘택트 홀(38, 39)을 포함하는 층간 절연막(35) 상에는, 도전성을 갖는 섬 형상의 도전부로서의 도전막(42)이 적층되어 성막되어 있다. 이들 도전막(42)은, 분단부(32)에서 분단된 게이트 전극 배선(11)의 단부 사이를, 콘택트 홀(38, 39)을 통해 전기적으로 접속시킨다. 따라서, 이들 도전막(42)은, 콘택트 홀(38, 39) 내 및 층간 절연막(35) 상에 일체적으로 성막되어, 단면이 도 3에 점선으로 나타내고 있는 바와 같이 거의 T자 형상으로 형성되어 있다.
- <50> 즉, 이들 각 게이트 전극 배선(11)은, 이들 각 게이트 전극 배선(11)의 일부가 도전막(42)으로서 연장되어 연결되어 있다. 또한, 이들 도전막(42)은, 신호 전극 배선(13)과 동일한 층에 동일한 재료로 동일한 공정에서 적층되어 형성되어 있다. 즉, 이들 도전막(42)은, 신호 전극 배선(13)을 형성하는 재료로 형성되어 있다.
- <51> 한편, 이들 신호 전극 배선(13) 및 드레인 전극(41)을 포함하는 층간 절연막(35) 상에는, 보호막으로서의 보호층(43)이 적층되어 성막되어 있다. 이 보호층(43)에는, 이 보호층(43)을 관통한 도통부로서의 콘택트 홀(44)이 개구되어 형성되어 있다. 이 콘택트 홀(44)은, 박막 트랜지스터(21)의 드레인 전극(41)에 연통하여 개구되어 있다.
- <52> 그리고, 이 콘택트 홀(44)을 포함하는 보호층(43) 상에는, ITO 박막으로서의 투명 화소 전극(45)이 적층되어 성막되어 있다. 이 투명 화소 전극(45)은, 콘택트 홀(44)을 통해 드레인 전극(41)에 전기적으로 접속되어 도통되어 있다. 또한, 이 투명 화소 전극(45)은, 보호층(43) 및 층간 절연막(35)의 각각을 개재하여 공통 용량 배선(12)에 대향하는 위치에 설치되어 있다. 여기서, 이 투명 화소 전극(45)은, 이 투명 화소 전극(45)이 설치된 화소(5) 내의 박막 트랜지스터(21)로 제어된다. 또한, 이 투명 화소 전극(45)을 포함한 보호층(43) 상에는, 배향막(46)이 적층되어 성막되어 있다.
- <53> 한편, 어레이 기관(2)의 표면에는, 직사각형 평판 형상의 대향 기관(51)이 대향하여 배치되어 있다. 이 대향 기관(51)은, 직사각형 평판 형상의 투명 절연 기관으로서의 투광성 기관인 유리 기관(52)을 구비하고 있다. 이 유리 기관(52)에 있어서의 어레이 기관(2)에 대향한 측의 일 주면인 표면에는, 1조의 색 단위, 예를 들면, 적(Red:R), 녹(Green:G) 및 청(Blue:B)의 3개의 도트가 반복하여 배치되어 구성된 색층인 복수의 컬러 필터(53)가 적층되어 있다. 이들 컬러 필터(53)는, 어레이 기관(2)에 대향 기관(51)을 대향시켰을 때에, 이 어레이 기관(2)의 각 화소(5)의 각각에 대향하도록 설치되어 있다.
- <54> 또한, 이들 컬러 필터(53)의 표면에는, 직사각형 평판 형상의 대향 전극(54)이 적층되어 설치되어 있다. 이 대향 전극(54)은, 대향 기관(51)의 표면과 어레이 기관(2)의 표면을 대향시켰을 때에, 이 어레이 기관(2)의 유리

기관(3)의 표시 영역(4) 전체에 대향하는 직사각형 형상의 전극이다. 또한, 이 대향 전극(54)의 표면에는, 배향막(55)이 적층되어 성막되어 있다.

- <55> 그리고, 이 대향 기관(51)에는, 이 대향 기관(51)의 배향막(55)을 어레이 기관(2)의 배향막(46)에 대향시킨 상태에서 어레이 기관(2)이 부착되어 있다. 즉, 이 어레이 기관(2)의 투명 화소 전극(45)은, 대향 기관(51)의 대향 전극(54)에 대향하여 배치된다. 또한, 이들 대향 기관(51)의 배향막(55)과 어레이 기관(2)의 배향막(46)의 사이에는, 광 변조층으로서의 액정층으로서 액정(56)이 끼워져 개삽되어 밀봉되어 있다.
- <56> 다음으로, 상기 제1 실시예의 어레이 기관의 제조 방법을 설명한다.
- <57> 우선, 유리 기관(3) 상에 언더코트층을 적층시킨 후, 이 언더코트층 상에 플라즈마 CVD법으로 도시하지 않은 비정질 실리콘막을 성막한다.
- <58> 그 후, 이 비정질 실리콘막에 엑시머 레이저 빔을 조사하여 레이저 어닐링하고, 이 비정질 실리콘막을 엑시머 레이저 용해 결정화시켜 폴리실리콘 박막으로 한다.
- <59> 계속해서, 이 폴리실리콘 박막을 포토리소그래피 공정 및 에칭 공정에 의한 패턴 형성으로 각 박막 트랜지스터(21)의 폴리실리콘 반도체층(22)으로 되는 다결정 실리콘의 섬 패턴을 형성한다.
- <60> 또한, 이 다결정 실리콘의 섬 패턴을 포함하는 언더코트층에 플라즈마 CVD법으로 게이트 절연층(31)을 형성한다.
- <61> 그 후, 이 게이트 절연층(31) 상에 도시하지 않은 게이트 전극 배선 메탈막을 적층하여 성막한 후, 이 게이트 전극 배선 메탈층을 포토리소그래피 공정 및 에칭 공정으로 패터닝하여 게이트 전극 배선(11) 및 공통 용량 배선(12)의 각각을 형성한다. 이 때, 이 게이트 전극 배선(11)의 각각에는 복수의 분단부(32)가 형성되어 있다.
- <62> 계속해서, 이 게이트 전극 배선(11)을 마스크로 하여, 각 박막 트랜지스터(21)의 폴리실리콘 반도체층(22)에 있어서의 각 오믹 콘택트 영역(24)으로 되는 부분에 이온 주입 등으로 도우펀트를 주입한 후, 이 도우펀트를 열처리 등으로 활성화시켜서 저저항화시켜 각 박막 트랜지스터(21)의 오믹 콘택트 영역(24)을 형성한다.
- <63> 그 후, 게이트 전극 배선(11) 및 공통 용량 배선(12)을 포함하는 게이트 절연층(31) 상에 플라즈마 CVD법으로 층간 절연막(35)을 형성한다.
- <64> 계속해서, 포토리소그래피 공정 및 에칭 공정으로 각 박막 트랜지스터(21)의 오믹 콘택트 영역(24)의 각각에 연통하는 콘택트 홀(36, 37)과, 각 분단부(32)에서 분단된 각 게이트 전극 배선(11)의 단부의 각각에 연통하는 콘택트 홀(38, 39)의 각각을 형성한다.
- <65> 그 후, 이들 각 콘택트 홀(36, 37) 각각을 포함하는 층간 절연막(35) 상에 도시하지 않은 신호 전극 배선 메탈막을 형성하고 나서, 이 신호 전극 배선 메탈막을 포토리소그래피 공정 및 에칭 공정으로 패터닝하여 신호 전극 배선(13), 드레인 전극(41) 및 도전막(42)의 각각을 형성한다.
- <66> 이 때, 분단부(32)에서 분단된 각 게이트 전극 배선(11)의 단부의 각각이 도전막(42)에 의해서 콘택트 홀을 통해 연장되어 전기적으로 접속된다.
- <67> 계속해서, 이들 신호 전극 배선(11), 드레인 전극(41) 및 도전막(42)의 각각을 포함하는 층간 절연막(35) 상에 보호층(43)을 형성한 후, 이 보호층(43)에 포토리소그래피 공정 및 에칭 공정으로 드레인 전극(41)에 연통하는 콘택트 홀(44)을 형성한다.
- <68> 또한, 이 콘택트 홀(44)을 포함하는 보호층(43) 상에 도시하지 않은 투명 화소 전극층을 형성한 후, 이 투명 화소 전극층을 포토리소그래피 공정 및 에칭 공정으로 화소 형상으로 패터닝하여 투명 화소 전극(45)을 형성하고 나서, 이들 투명 화소 전극(45)을 포함하는 보호층(43) 상에 배향막(46)을 형성하여 어레이 기관(2)을 제조한다.
- <69> 그 후, 이 어레이 기관(2)의 배향막(46)측에 대향 기관(51)의 배향막(55)측을 대향시키고, 이 어레이 기관(2)을 대향 기관(51)에 부착한 후, 이들 어레이 기관(2)과 대향 기관(51)의 사이에 액정(56)을 개삽시켜 밀봉한다.
- <70> 또한, 이들 어레이 기관(2) 및 대향 기관(51)에 도시하지 않은 시스템 회로나 편광판, 백 라이트 등의 다양한 부재를 조합하여 액정 표시 장치(1)로 한다.
- <71> 상술한 바와 같이, 상기 제1 실시예에 따르면, 도 8에 도시하는 종래의 액정 표시 장치(1)와 같이, 유리 기관

(3) 상의 게이트 전극 배선(11)이 분단부(32)에서 부분적으로 분단되어 있지 않고 연속된 직선 형상인 경우에는, 이들 게이트 전극 배선(11)과 각 박막 트랜지스터(21)의 폴리실리콘 반도체층(22)의 사이에서 보조 용량을 형성하고 있다.

<72> 이 경우, 대전된 유리 기판(3)을 도시하지 않은 가동식 핀 등으로 들어 올려, 이 유리 기판(3)의 접지 상태를 바꾸었을 때 전하의 재 배분이 일어난 경우에는 특히 영향이 크며, 이들 게이트 전극 배선(11)과 폴리실리콘 반도체층(22)의 사이, 즉 게이트 절연층(31)에의 인가 전압이 상승하여, 이 게이트 절연층(31)의 정전기 파괴가 발생할 우려가 특히 높다.

<73> 여기서, 도 9에 도시한 바와 같이, 이들 폴리실리콘 반도체층(22) 및 게이트 전극 배선(11)이 표면에 형성된 유리 기판(3)을 스테이지(61) 상에 접지시킨 경우 에 있어서의 유리 기판(3)의 표시 영역(4)의 등가 회로에 대하여 설명한다. 또한, 이 스테이지(61)의 일부는, 접지된 도전성의 가동식 핀(62)에 의해서 형성되어 있다.

<74> 이 때, 게이트 전극 배선(11)에서의 대전량을 Q_0 로 하고, 이 게이트 전극 배선(11)에서의 전위를 V_0 로 합과 함께, 이 게이트 전극 배선(11) 중 가동식 핀(62) 상에 없는 부분의 길이를 A 로 하고, 이 게이트 전극 배선(11) 중 가동식 핀(62) 상에 있는 부분의 길이를 B 로 한다. 또한, 이 게이트 전극 배선(11) 중 가동식 핀(62) 상에 없는 부분이 스테이지(61)와의 사이에서 형성하는 용량을 C_a 로 하고, 이 게이트 전극 배선(11) 중 가동식 핀(62) 상에 있는 부분이 스테이지(61)와의 사이에서 형성하는 용량을 C_b 로 한다.

<75> 그리고, 유리 기판(3)의 표시 영역(4)에는, 동일한 패턴이 반복되고 있기 때문에, 용량비가 $C_b = B \div A \times C_a$ 로 된다. 또한, 전하, 전위 및 용량의 관계는, $Q = (C_a + C_b) \times V_0$ 로 된다.

<76> 계속해서, 이 유리 기판(3)을 가동식 핀(62)으로 지지하여 들어 올린 상태에서의, 이 유리 기판(3)의 표시 영역(4)의 등가 회로에 대하여 설명한다. 이 때, 도 10에 도시한 바와 같이, 게이트 전극 배선(11)의 전위를 V 로 하고, 유리 기판(3) 중 가동식 핀(62) 상에 없는 부분이 스테이지(61)와의 사이에서 형성하는 용량을 C_s 로 하면, 이 가동식 핀(62)으로 유리 기판(3)을 들어 올린 경우라도, 전하 보존 측으로부터, $Q_0 = \{C_a \times C_s \div (C_a + C_s) + C_b\} \times V$ 의 관계가 성립한다. 그 결과, 이들 세 식에 의해, $V/V_0 = (A+B) \div \{A \times C_s \div (C_a + C_s) + B\}$ 의 관계를 얻을 수 있다.

<77> 또한, 이 식을 기초로, 예를 들면, 비유전률 4, 두께 1mm의 유리 기판(3) 상에 폴리실리콘 반도체층(22)의 패턴을 형성하고, 이 폴리실리콘 반도체층(22)의 패턴 상에 비유전률 4, 두께 100nm의 게이트 절연층(31)을 형성하고, 또한 이 게이트 절연층(31) 상에 게이트 전극 배선(11)을 형성한 경우에, 이 유리 기판(3)을 도전성의 가동식 핀(62)으로 50mm 들어 올린 경우의 V/V_0 에 대하여 설명한다.

<78> 이 때, 가동식 핀(62) 상의 게이트 전극 배선(11)의 길이를 5mm로 고정하고, 이들 게이트 전극 배선(11) 전체의 길이를 변화시킨다. 그 결과, 도 11에 도시한 바와 같이, 유리 기판(3)을 가동식 핀(62)으로 들어 올렸을 때에, 이 유리 기판(3) 상의 게이트 전극 배선(11)과 가동식 핀(62)의 사이에 걸리는 전압을 억제하기 위해서는, 이들 게이트 전극 배선(11)의 길이를 짧게 하는 것이 효과적임을 알 수 있다.

<79> 그래서, 상술한 바와 같이, 각 게이트 전극 배선(11)을 각 화소(5) 마다 분단부(32)에서 분단함과 함께, 이들 분단부(32)에서 분단된 게이트 전극 배선(11)의 단부 사이를 층간 절연막(35) 상의 신호 전극 배선(13)과 동일한 재료로 형성한 도전막(42)으로 전기적으로 접속시키고, 이들 각 게이트 전극 배선(11)의 길이를 각 화소(5) 마다 짧게 했다.

<80> 그 결과, 대전된 유리 기판(3)을 움직임으로써, 이 유리 기판(3) 상의 게이트 전극 배선(11) 아래, 즉, 게이트 전극 배선(11)과 폴리실리콘 반도체층(22)의 사이에 위치하는 게이트 절연층(31)에서의 전압의 상승을 억제할 수 있으므로, 이 게이트 절연층(31)의 정전기 파괴를 방지할 수 있다. 따라서, 각 박막 트랜지스터(21)의 정전기 파괴를 방지할 수 있기 때문에, 어레이 기판(2) 및 액정 표시 장치(1)의 생산성을 향상시킬 수 있다.

<81> 다음으로, 본 발명의 제2 실시예를 도 4 및 도 5를 참조하여 설명한다.

<82> 이 도 4 및 도 5에 도시하는 액정 표시 장치(1)는, 기본적으로는 도 1 내지 도 3에 도시하는 액정 표시 장치(1)와 마찬가지로, 게이트 전극 배선(11)의 분단부(32)가 각 화소(4) 마다 형성되어 있지 않고, 이들 각 화소(5)에 있어서의 복수 화소(5) 마다에만 분단부(32)를 형성한 것이다. 이들 분단부(32)는, 동색의 화소(5)에만 형성되어 있다.

- <83> 여기서, 이 분단부(32)가 형성되어 있지 않은 각 화소(5)의 각각에는, 도전막(42)과 마찬가지로 구성된 복수의 더미 패턴(71)이 각각 형성되어 있다. 즉, 이들 더미 패턴(71)의 각각은 도전막(42)과 동일한 구조이다. 이들 더미 패턴(71) 및 도전막(42)의 각각은, 게이트 전극 배선(11)과는 다른 층인 층간 절연막(35) 상에 설치되어 있다. 또한, 이들 더미 패턴(71)의 양단부는, 층간 절연막(35)에 형성되어 게이트 전극 배선(11)에 연통한 콘택트 홀(72)을 통해, 이 게이트 전극 배선(11)에 전기적으로 접속되어 있다.
- <84> 그 결과, 유리 기판(3)의 표시 영역(4)에 있어서의 복수 화소(5) 마다에만 분단부(32)를 형성하여도, 대전된 유리 기판(3)을 움직임으로써, 이 유리 기판(3) 상의 게이트 전극 배선(11)과 폴리실리콘 반도체층(22)의 사이의 게이트 절연층(31)에서의 전압의 상승을 억제할 수 있으므로, 상기 제1 실시예와 마찬가지로의 작용 효과를 발휘할 수 있다.
- <85> 또한, 분단부(32)를 복수 화소(5) 마다 형성함으로써, 표시 영역(4)의 각 화소(5) 전부에 분단부(32)를 형성하는 경우에 비해, 게이트 전극 배선(11)을 분단하는 개소, 즉, 분단부(32)의 개수를 적게 할 수 있으므로, 콘택트 홀(72)이나 도전막(42)의 불량 발생에 의한 수율의 저하를 방지할 수 있다.
- <86> 또한, 분단부(32)가 형성되어 있지 않은 각 화소(5)의 각각에 더미 패턴(71)을 형성하고, 이들 더미 패턴(71)의 양단부를 게이트 전극 배선(11)에 전기적으로 접속시켰다. 그 결과, 이들 더미 패턴(71)을 형성한 화소(5) 내의 투명 화소 전극(45)과 게이트 전극 배선(11)의 사이에 발생하는 용량이, 분단부(32)를 형성하여 도전막(42)으로 전기적으로 연결한 다른 화소(5) 내의 투명 화소 전극(45)과 게이트 전극 배선(11)의 사이에 발생하는 용량과 동일해진다. 따라서, 이들 더미 패턴(71)을 형성한 화소(5)와 분단부(32)를 형성한 화소(5)에서의 표시 얼룩이 억제되기 때문에, 유리 기판(3)의 표시 영역(4)의 얼룩을 방지할 수 있다.
- <87> 또한, 상기 제2 실시예에서는, 분단부(32)가 형성되어 있지 않은 각 화소(5)의 각각에 더미 패턴(71)을 형성했지만, 도 6 및 도 7에 도시하는 제3 실시예와 같이, 분단부(32)를 형성한 화소(5)와 동색의 화소(5) 전부에만 더미 패턴(71)을 형성하여도, 이들 더미 패턴(71)을 형성한 동색의 화소(5) 내의 투명 화소 전극(45)과 게이트 전극 배선(11)의 사이의 용량이, 분단부(32)를 형성한 다른 동색의 화소(5) 내의 투명 화소 전극(45)과 게이트 전극 배선(11)의 사이의 용량과 동일하게 되므로, 상기 제2 실시예와 마찬가지로의 작용 효과를 발휘할 수 있다.
- <88> 또한, 상기 각 실시예에서는, 게이트 전극 배선(11)에 분단부(32)를 형성하고, 이들 분단부(32)에서 분단된 게이트 전극 배선(11)의 단부 사이를 도전막(42)으로 전기적으로 연결시켰지만, 이들 분단부(32)를 공통 용량 배선(12)에 형성하고, 이들 분단부(32)에서 분단된 공통 용량 배선(11)의 단부 사이를 도전막(42)으로 전기적으로 연결시켜 적용시켜도, 상기 각 실시예와 마찬가지로의 작용 효과를 발휘할 수 있다.
- <89> 또한, 역스태거형의 액정 표시 장치(1)가 아니라, 스태거형의 액정 표시 장치에서의 박막 트랜지스터에 접속된 신호선이나 주사선 등의 전극 배선에 대해서도 대응시켜 이용할 수 있다. 또한, 박막 트랜지스터(21) 이외에, 예를 들면, 다이오드 등의 스위칭 소자를 이용한 액정 표시 장치에 대해서도 대응시켜 이용할 수 있다.
- <90> 그리고, 폴리실리콘으로 구성된 박막 트랜지스터(21)를 이용한 액정 표시 장치(1) 뿐만 아니라, 아몰퍼스 실리콘으로서의 비정질 실리콘으로 구성된 박막 트랜지스터를 이용한 액정 표시 장치이어도 대응시켜 이용할 수 있다.
- <91> 또한, 어레이 기판(2)과 대향 기판(51)의 사이에 광 변조층으로서 액정(56)을 밀봉시킨 액정 표시 장치(1)에 대하여 설명했지만, 액정 이외의 광 변조층을 구비한 평면 표시 장치이어도 대응시켜 이용할 수 있다.

발명의 효과

- <92> 본 발명에 따르면, 투광성 기판 상의 스위칭 소자에 접속된 전극 배선과는 다른 층에 도전부를 형성하고, 이 도전부에서 전극 배선의 분단부를 전기적으로 접속시켰기 때문에, 대전된 투광성 기판을 움직임으로써, 전극 배선 하의 전압의 상승을 억제할 수 있으므로, 스위칭 소자의 정전기 파괴를 방지할 수 있다.

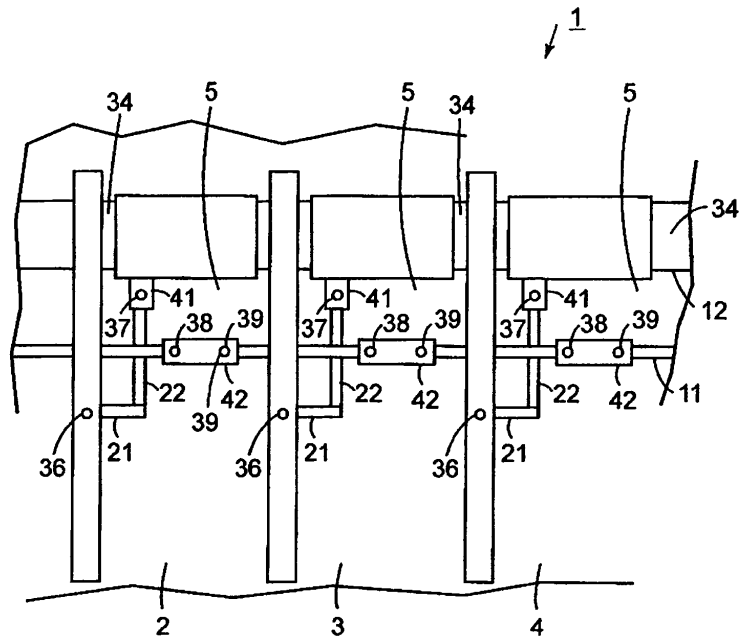
도면의 간단한 설명

- <1> 도 1은 본 발명의 평면 표시 장치의 제1 실시예의 일부를 도시하는 설명 평면도.
- <2> 도 2는 상기 평면 표시 장치의 일부를 도시하는 설명 평면도.
- <3> 도 3은 상기 평면 표시 장치를 도시하는 설명 단면도.

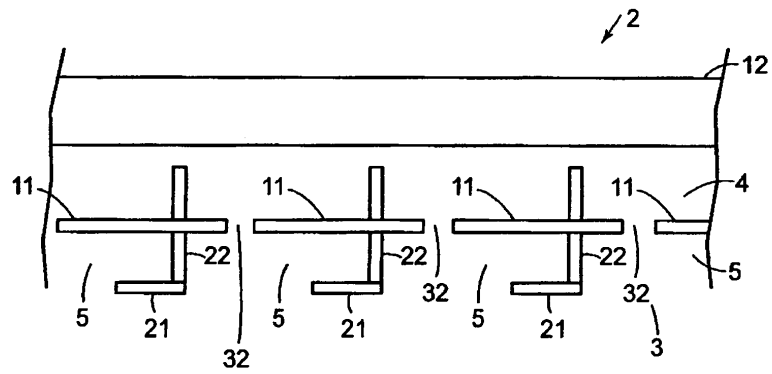
- <4> 도 4는 본 발명의 제2 실시예의 평면 표시 장치를 도시하는 설명 평면도.
- <5> 도 5는 상기 평면 표시 장치를 도시하는 설명 단면도.
- <6> 도 6은 본 발명의 제3 실시예의 평면 표시 장치를 도시하는 설명 평면도.
- <7> 도 7은 상기 평면 표시 장치를 도시하는 설명 단면도.
- <8> 도 8은 종래의 평면 표시 장치의 일부를 도시하는 설명 평면도.
- <9> 도 9는 상기 평면 표시 장치를 스테이지 상에 접지시킨 상태에서의 등가 회로를 도시하는 설명도.
- <10> 도 10은 상기 평면 표시 장치를 가동식 핀으로 스테이지 상으로부터 들어 올린 상태에서의 등가 회로를 도시하는 설명도.
- <11> 도 11은 상기 평면 표시 장치의 게이트 전극 배선의 길이와 스테이지에서 들어 올린 전후의 게이트 전극 배선의 전위차와의 관계를 나타내는 그래프.
- <12> <도면의 주요 부분에 대한 부호의 설명>
- <13> 1 : 평면 표시 장치로서의 액정 표시 장치
- <14> 2 : 어레이 기관
- <15> 3 : 투광성 기관으로서의 유리 기관
- <16> 5 : 화소
- <17> 11 : 전극 배선으로서의 게이트 전극 배선
- <18> 12 : 전극 배선으로서의 공통 용량 배선
- <19> 13 : 신호 전극 배선
- <20> 21 : 스위칭 소자로서의 박막 트랜지스터
- <21> 32 : 분단부
- <22> 42 : 도전부로서의 도전막
- <23> 45 : 화소 전극으로서의 투명 화소 전극
- <24> 56 : 광 변조층으로서의 액정
- <25> 71 : 더미 패턴

도면

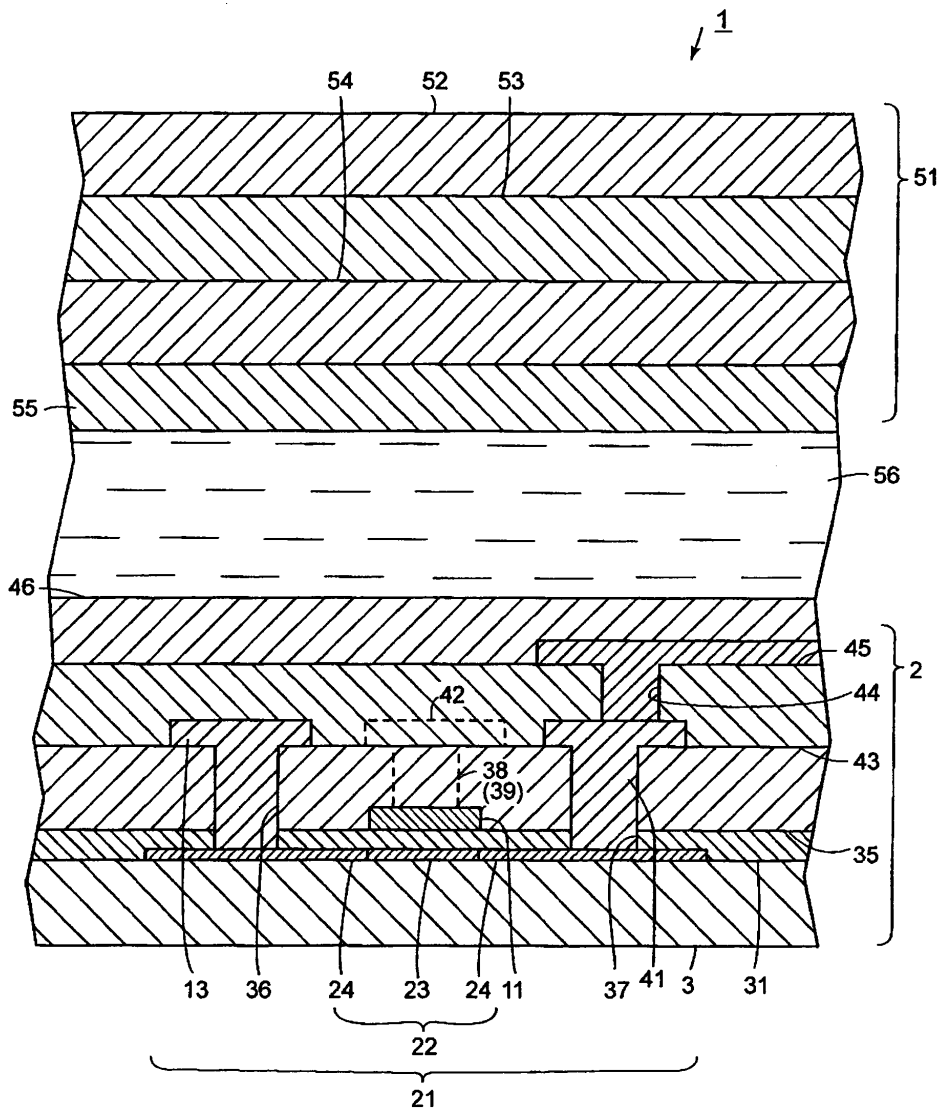
도면1



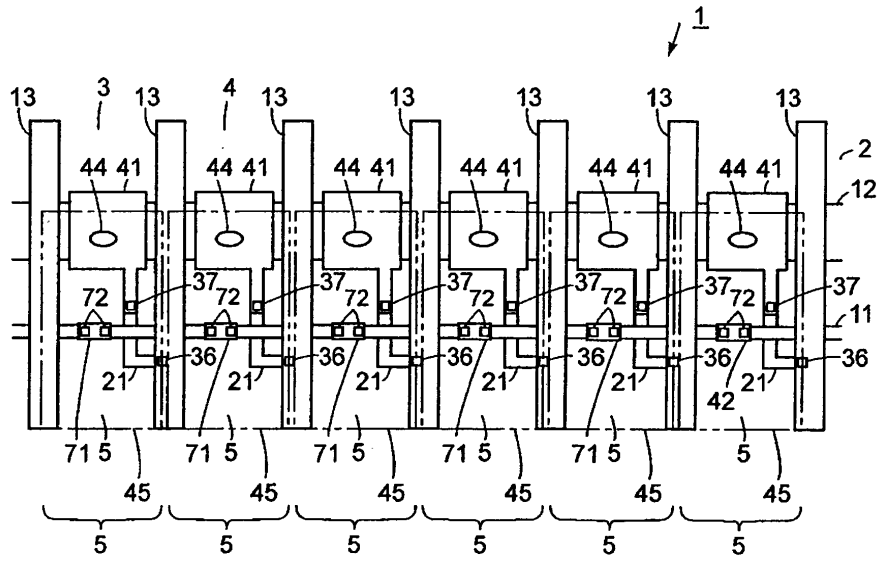
도면2



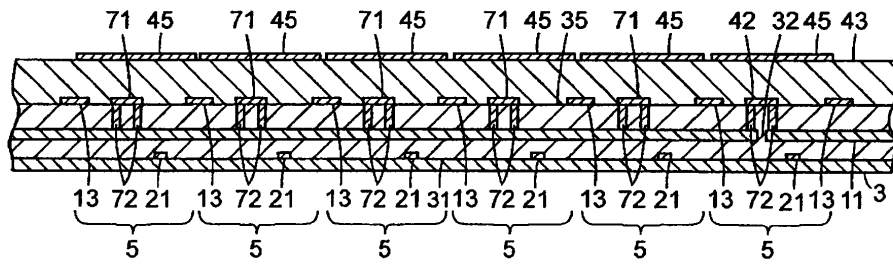
도면3



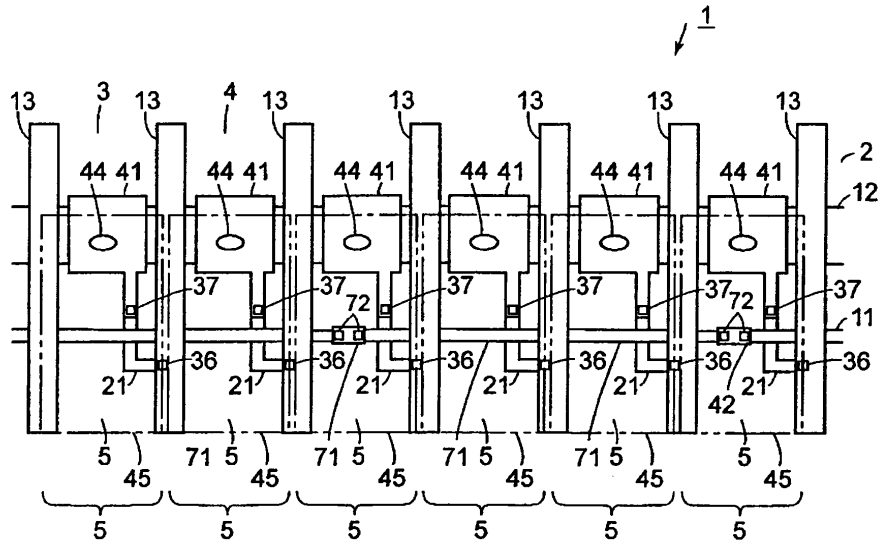
도면4



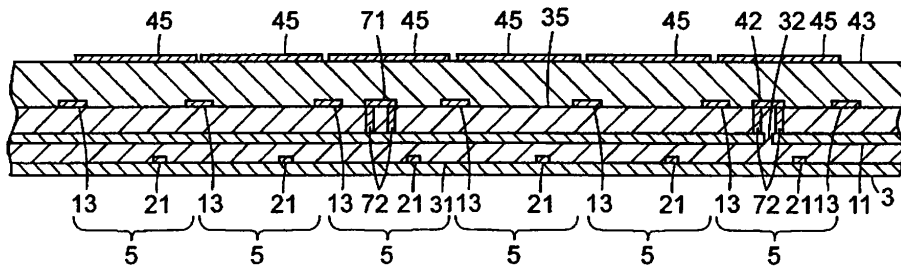
도면5



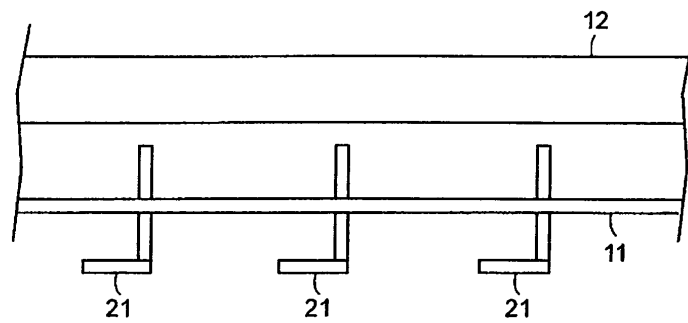
도면6



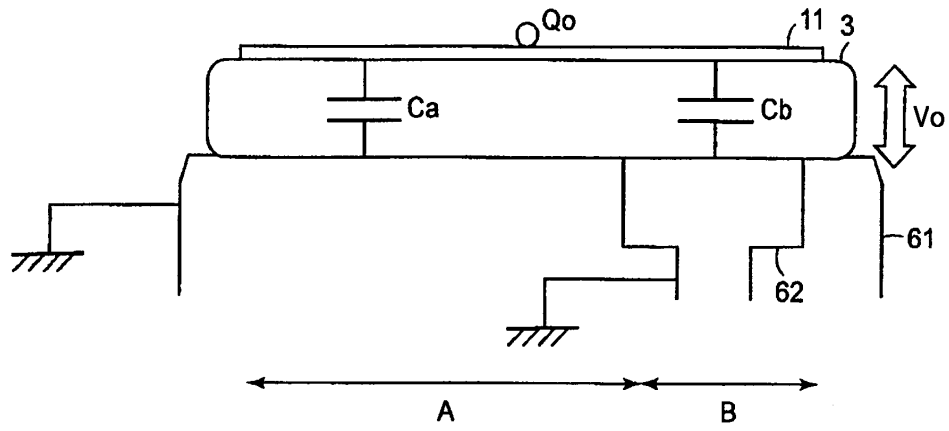
도면7



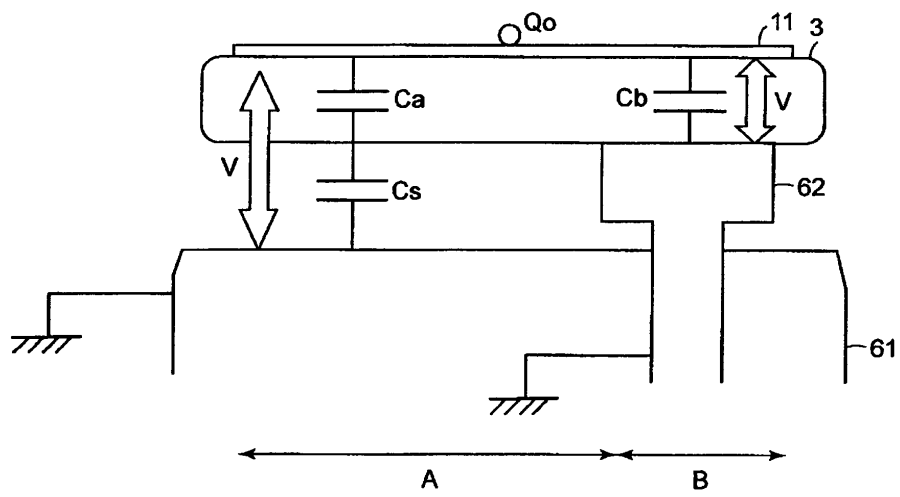
도면8



도면9



도면10



도면11

