

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 9 月 1 日 (01.09.2022)



(10) 国际公布号
WO 2022/179028 A1

(51) 国际专利分类号:
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2021/103881

(22) 国际申请日: 2021 年 6 月 30 日 (30.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110214102.3 2021 年 2 月 25 日 (25.02.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 穆天蕾 (MU, Tianlei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR STRUCTURE FORMING METHOD AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的形成方法及半导体结构

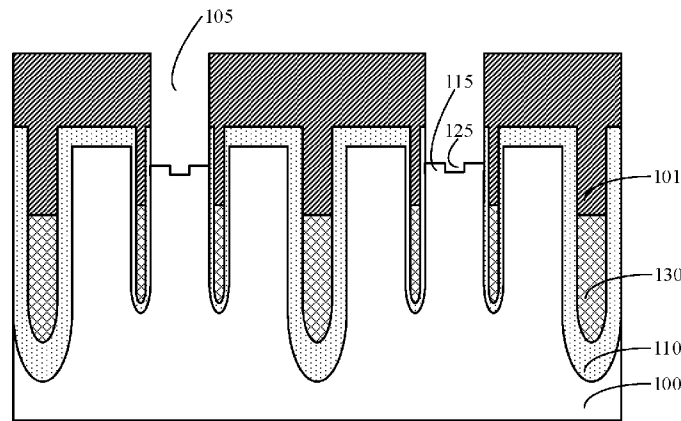


图 18

(57) Abstract: Embodiments of the present disclosure provide a semiconductor structure forming method and a semiconductor structure. The semiconductor structure forming method comprises: providing a substrate, and forming a dielectric layer on the surface of the substrate; forming a mask layer on the surface of the dielectric layer, the mask layer being internally provided with a first opening passing through the thickness of the mask layer; forming a first barrier layer on the side wall of the first opening, the first barrier layer enclosing a second opening; forming a second barrier layer filling the second opening; removing the first barrier layer and the second barrier layer by using a first etching process until the first barrier layer or the second barrier layer is completely removed; and removing the dielectric layer and part of the substrate that are exposed by the first opening, so as to form a bit-line contact opening, a raised region and a recessed region being provided at the bottom of the bit-line contact opening, and a height difference being present between the raised region and the recessed region.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开实施例提供一种半导体结构的形成方法及半导体结构, 其中, 半导体结构的形成方法, 包括: 提供基底, 在基底表面形成介质层; 在介质层表面形成掩膜层, 掩膜层内具有贯穿掩膜层厚度的第一开口; 在第一开口的侧壁形成第一阻挡层, 第一阻挡层围成第二开口; 形成填充第二开口的第二阻挡层; 采用第一刻蚀工艺, 去除第一阻挡层和第二阻挡层, 直至第一阻挡层或第二阻挡层被完全去除; 去除第一开口暴露出的介质层和部分基底, 形成位线接触开口, 位线接触开口的底部具有凸起区域和凹陷区域, 凸起区域和凹陷区域具有高度差。

半导体结构的形成方法及半导体结构

本申请基于申请号为 202110214102.3、申请日为 2021 年 02 月 25 日、申请名称为“半导体结构的形成方法及半导体结构”的中国专利申请提出，并要求该中国专利申请的优先权，其全部内容在此引入本申请作为参考。

技术领域

本公开涉及但不限于一种半导体结构的形成方法及半导体结构。

背景技术

随着动态随机存取存储器（Dynamic Random Access Memory，DRAM）的线宽逐渐减小，所需形成的位线结构的尺寸减小，导致所需形成的位线接触结构的尺寸减小，而位线接触结构的尺寸减小导致位线接触结构的接触电阻增大，从而影响后续形成的半导体结构的电性能，进而导致半导体结构的良率降低。

在位线接触结构尺寸减小的前提下，如何减小位线接触结构的接触电阻，是当前亟待解决的问题。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开实施例提供一种半导体结构的形成方法及半导体结构，通过增大位线接触开口底部接触面积的方式减小位线接触结构的接触电阻。

本公开的实施例的第一方面提供了一种半导体结构的形成方法，包括：提供基底，在基底表面形成介质层；在介质层表面形成掩膜层，掩膜层内具有贯穿掩膜层厚度的第一开口；在第一开口的侧壁形成第一阻挡层，第一阻挡层围成第二开口；形成填充第二开口的第二阻挡层；采用第一刻蚀工艺，去除第一阻挡层和第二阻挡层，直至第一阻挡层或第二阻挡层被完全去除，第一刻蚀工艺去除第一阻挡层的速率和去除第二

阻挡层的速率不同；去除第一开口暴露出的介质层和部分基底，形成位线接触开口，位线接触开口的底部具有凸起区域和凹陷区域，凸起区域和凹陷区域具有高度差。

本公开的第二方面提供了一种半导体结构，包括：基底，基底中具有有源区，以及暴露出有源区的第一接触开口；第一接触开口底部包括第一区域和第二区域，第一区域和第二区域具有高度差；介质层，位于基底表面，介质层中具有贯穿介质层的第二接触开口，第二接触开口暴露出第一接触开口，第二接触开口与第一接触开口构成位线接触开口。

本公开实施例通过具有凹陷区域和凸起区域的位线接触开口，以增大位线接触开口的底部面积，使后续填充位线接触开口形成的位线接触结构的接触面积增大，从而减小后续形成的位线接触结构的接触电阻。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

图 1 为本公开一实施例提供的基底的俯视结构示意图；

图 2、图 4、图 6、图 8、图 10、图 12、图 14、图 16、图 18、图 20、图 22 和图 24 为本公开一实施例提供的半导体结构的形成方法中，各步骤对应的沿 AA1 方向的剖面结构示意图；

图 3、图 5、图 7、图 9、图 11、图 13、图 15、图 17、图 19、图 21、图 23 和图 25 为本公开一实施例提供的半导体结构的形成方法中，各步骤对应的沿 BB1 方向的剖面结构示意图。

附图标记：

100、基底；110、浅沟槽隔离结构；120、有源区；130、字线结构；
101、介质层；102、掩膜层；103、第一阻挡层；104、第二阻挡层；
105、位线接触开口；112、第一开口；122、第二开口；115、凸起区域；

125、凹陷区域。

具体实施方式

随着动态随机存取存储器（DynamicRandomAccessMemory，DRAM）的线宽逐渐减小，所需形成的位线结构的尺寸减小，导致所需形成的位线接触结构的尺寸减小，而位线接触结构的尺寸减小导致位线接触结构的接触电阻增大，从而影响后续形成的半导体结构的电性能，进而导致半导体结构的良率降低。

本公开一实施例提供了一种半导体结构的形成方法，包括：提供基底，在基底表面形成介质层；在介质层表面形成掩膜层，掩膜层内具有贯穿掩膜层厚度的第一开口；在第一开口的侧壁形成第一阻挡层，第一阻挡层围成第二开口；形成填充第二开口的第二阻挡层；采用第一刻蚀工艺，去除第一阻挡层和第二阻挡层，直至第一阻挡层或第二阻挡层被完全去除，第一刻蚀工艺去除第一阻挡层的速率和去除第二阻挡层的速率不同；去除第一开口暴露出的介质层和部分基底，形成位线接触开口，位线接触开口的底部具有凸起区域和凹陷区域，凸起区域和凹陷区域具有高度差。

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。以下各个实施例的划分是为了描述方便，不应对本公开的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合，相互引用。

图 1 为本实施例提供的基底的俯视结构示意图，图 2、图 4、图 6、图 8、图 10、图 12、图 14、图 16、图 18、图 20、图 22 和图 24 为本实施例提供的半导体结构的形成方法中，各步骤对应的沿 AA1 方向的剖面结构示意图，图 3、图 5、图 7、图 9、图 11、图 13、图 15、图 17、图 19、图 21、图 23 和图 25 为本实施例提供的半导体结构的形成方法中，各步骤对应的沿 BB1 方向的剖面结构示意图，以下结合附图对本实施例提供的一种半导体结构的形成方法作进一步详细说明，具体如下：

参考图 1，提供基底 100，基底 100 内包括浅沟槽隔离结构 110、有源区 120 和字线结构 130。

基底 100 的材料可以包括硅、碳化硅、砷化镓、氮化铝或者氧化锌等；在本实施例中基底 100 采用硅材料，本实施例采用硅材料作为基底 100 是为了方便本领域技术人员对后续形成方法的理解，并不构成限定，在实际应用过程中，可以根据需求选择合适的基底的材料。

基底 100 内多个有源区 120 相互平行间隔排布。需要说明的是，基底 100 中还包括除浅沟槽隔离结构 110、有源区 120 和字线结构 130 外的其他存储器结构，由于其他存储器结构并不涉及到本公开的核心技术，在此不过多进行赘述；本领域技术人员可以理解基底 100 中还包括除浅沟槽隔离结构 110、有源区 120 和字线结构 130 外的其他存储器结构，用于存储器的正常运行。

本实施例以 AA1 截面的剖面结构和 BB1 截面的剖面结构，对本实施例提供的半导体结构的形成方法进行详细说明，其中 AA1 截面即位线结构延伸方向上的截面，BB1 截面即字线结构延伸方向上的截面。字线结构 130 为埋入式字线结构，位于基底 100 中，字线结构 130 间隔穿过有源区 120 和浅沟槽隔离结构 110，在 AA1 截面（参考图 2）的剖面示意图中，字线结构 130 位于浅沟槽隔离结构 110 中；需要说明的是，在基底 100 的其他剖面示意图中，字线结构 130 可以位于有源区 120 中。

参考图 2 和图 3，在基底 100 表面形成介质层 101；其中，参考图 2，部分介质层 101 还覆盖字线结构 130，用于字线结构 130 与基底 100 顶部导电结构的电隔离。

参考图 4 和图 5，在介质层 101 表面形成掩膜层 102，掩膜层 102 内具有贯穿掩膜层 102 厚度的第一开口 112；掩膜层 102 和第一开口 112 用于定义位线接触开口的位置。

在一个例子中，形成具有贯穿掩膜层 102 厚度的第一开口 112，包括：在掩膜层 102 顶部形成图形化的光刻胶，基于图形化的光刻胶形成贯穿掩膜层 102 厚度的第一开口 112。另外，需要说明的是，在本实施例中，掩膜层 102 为单层结构；在其他实施例中，掩膜层也可以为多层掩膜结构。

参考图 6~图 9，在第一开口 112 的侧壁形成第一阻挡层 103，第一阻挡

层 103 围成第二开口 122。

在一个例子中，参考图 6 和图 7，在第一开口 112 的侧壁形成第一阻挡层 103，包括以下步骤：形成覆盖掩膜层 102 顶部表面，且覆盖第一开口 112 侧壁和底部的第一阻挡膜（未图示），第一阻挡膜（未图示）围成第二开口 122，在平行于基底表面方向上，第二开口 122 的宽度小于第一开口 112 的宽度；去除位于掩膜层 102 顶部表面和第一开口 112 底部的第一阻挡膜（未图示），形成第一阻挡层 103。

在另一例子中，参考图 8 和图 9，第一阻挡层 103 还位于第一开口 112 底部，此时在第一开口 112 的侧壁形成第一阻挡层 103，包括以下步骤：形成覆盖掩膜层 102 顶部表面，且覆盖第一开口 112 侧壁和底部的第一阻挡膜（未图示），第一阻挡膜（未图示）围成第二开口 122，在平行于基底表面方向上，第二开口 122 的宽度小于第一开口 112 的宽度；去除位于掩膜层 102 顶部表面的第一阻挡膜（未图示），形成第一阻挡层 103。

在本实施例中，在平行于基底 100 表面方向上，第一阻挡层 103 的宽度 B 为 5nm~20nm，例如 8nm、11nm、14nm 或 17nm。第一阻挡层 103 的宽度若小于 5nm，可能导致后续刻蚀第一阻挡层 103 形成的位线接触开口的凹陷区域的尺寸过小，在填充位线接触开口形成位线接触结构的过程中，位线接触结构无法完全填充凹陷区域，从而导致位线接触结构出现填充缺陷；第一阻挡层 103 的宽度若大于 20nm，导致后续填充第一阻挡层 103 间隙形成的第二阻挡层的尺寸过小，进而导致刻蚀第二阻挡层形成的位线接触开口的凹陷区域的尺寸过小，在填充位线接触开口形成位线接触结构的过程中，位线接触结构无法完全填充凹陷区域，从而出现半导体结构缺陷。

参考图 10 和图 11，形成填充第二开口 122（参考图 6）的第二阻挡层 104。

在一个例子中，形成填充第二开口 122（参考图 6）的第二阻挡层 104，包括以下步骤：形成填充第二开口 122（参考图 6）且覆盖第一阻挡层 103 的第二阻挡膜（未图示），第二阻挡膜（未图示）的材料与第一阻挡层 103 的材料具有刻蚀选择比，去除高于第一阻挡层 103 的第二阻挡膜（未图示），剩余的第二阻挡膜（未图示）作为第二阻挡层 104。

在一个例子中，第一阻挡层 103 和第二阻挡层 104 的刻蚀选择比的范围

为 1: 1.1 至 1: 3; 在另一个例子中, 第一阻挡层 103 和第二阻挡层 104 的刻蚀选择比的范围为 1.1: 1 至 3: 1。即第一阻挡层 103 和第二阻挡层 104 存在刻蚀选择比, 包括第一阻挡层 103 的被刻蚀速率大于第二阻挡层 104 的被刻蚀速率, 或第一阻挡层 103 的被刻蚀速率小于第二阻挡层 104 的被刻蚀速率。

参考图 12~图 25, 采用第一刻蚀工艺, 去除第一阻挡层 103 和第二阻挡层 104, 直至第一阻挡层 103 或第二阻挡层 104 被完全去除, 第一刻蚀工艺去除第一阻挡层 103 的速率和去除第二阻挡层 104 的速率不同; 去除第一开口 112 暴露出的介质层 101 和部分基底 100, 形成位线接触开口 105, 位线接触开口 105 底部具有凸起区域 115 和凹陷区域 125, 凸起区域 115 和凹陷区域 125 具有高度差。

在一个例子中, 在垂直于基底表面的方向上, 位线接触开口 105 的深度为 20nm~40nm, 例如 25nm、30nm 或 35nm。

在本实施例中, 凸起区域 115 和凹陷区域 125 的高度差为 1nm~15nm, 例如, 3nm、5nm、7nm、9nm、11nm 或 13nm。通过凸起区域 115 和凹陷区域 125 的高度差控制, 实现位线接触开口 105 底部面积变化的可控性。另外, 若凸起区域 115 和凹陷区域 125 的高度差小于 1nm, 位线接触开口 105 底部增加的面积可忽略不计, 此时对填充位线接触开口 105 形成位线接触结构的接触电阻的改善可忽略不计, 即位线接触结构的接触电阻依然很大, 影响半导体结构的电性能; 若凸起区域 115 和凹陷区域 125 的高度差大于 15nm, 此时凹陷区域 125 与凸起区域 115 之间的间隙的深宽比较大, 后续填充位线接触开口 105 形成的位线接触结构难以完全填充, 从而导致结构缺陷, 影响半导体结构的良率。

采用第一刻蚀工艺, 去除第一阻挡层 103 和第二阻挡层 104, 直至第一阻挡层 103 或第二阻挡层 104 被完全去除, 包括: 采用第一刻蚀工艺, 去除第一阻挡层 103 和第二阻挡层 104, 直至第一阻挡层 103 或第二阻挡层中被刻蚀速率快的一者被完全去除; 或采用第一刻蚀工艺, 去除第一阻挡层 103 和第二阻挡层 104, 直至第一阻挡层 103 或第二阻挡层 104 被刻蚀速率慢的一者被完全去除。

在一个具体的例子中, 本示例以第二阻挡层 104 的被刻蚀速率大于第一

阻挡层 103 的被刻蚀速率为例进行详细说明，参考图 12~图 19，采用第一刻蚀工艺，去除第一阻挡层 103 和第二阻挡层 104，直至第一阻挡层 103 和第二阻挡层 104 中被刻蚀速率快的一者完全去除。

参考图 12 和图 13，采用第一刻蚀工艺同时对第一阻挡层 103 和第二阻挡层 104 进行刻蚀，当第二阻挡层 104 被完全去除，停止第一刻蚀工艺，此时第一阻挡层 103 由于刻蚀速率小于第二阻挡层 104 的刻蚀速率，第一阻挡层 103 存在残留。

在本实施例中，第一刻蚀工艺采用的刻蚀气体至少包括氧气和碳氟气体的混合气体，且第一刻蚀工艺的刻蚀时间为 20~60s，例如 30s、40s 或 50s。

参考图 14 和图 15，采用第二刻蚀工艺刻蚀剩余的第一阻挡层 103 或第二阻挡层 104，并刻蚀第一开口 112 暴露出的介质层，直至暴露出基底 100。

在本示例中，由于第一刻蚀工艺对第一阻挡层 103 的刻蚀存在刻蚀残留，导致第二刻蚀工艺在执行过程中，第一开口 112 底部中间区域的高度始终低于第一开口 112 底部边缘区域的高度，直至第一开口 112 底部中间区域暴露出基底 100，此时第一开口 112 底部边缘区域的介质层 101 存在残留。

参考图 16 和图 17，采用第三刻蚀工艺刻蚀第一开口 112 暴露出的预设厚度的基底 100，形成位线接触开口 105。

由于第二刻蚀工艺对第一开口 112 底部边缘区域的刻蚀存在刻蚀残留，导致第三刻蚀工艺执行过程中，第一开口 112 底部中间区域的高度始终低于第一开口 112 底部边缘区域的高度，直至形成位线接触开口 105，此时底部高度较高的区域形成凸起区域 115，底部高度较低的区域形成凹陷区域 125。

参考图 18 和图 19，去除掩膜层 102。

需要说明的是，上述刻蚀示例以第二阻挡层 104 的被刻蚀速率大于第一阻挡层 103 的被刻蚀速率进行具体介绍，在其他实施里中，上述刻蚀示例同样适用于第二阻挡层 104 的被刻蚀速率小于第一阻挡层 103 的被刻蚀速率的情况。

在另一个具体的例子中，本示例以第二阻挡层 104 的被刻蚀速率小于第一阻挡层 103 的被刻蚀速率为例进行详细说明，参考图 20~图 25，采用第一刻蚀工艺，去除第一阻挡层 103 和第二阻挡层 104，直至第一阻挡层 103 或

第二阻挡层 104 中被刻蚀速率慢的一者完全去除。

参考图 20 和图 21，采用第一刻蚀工艺同时对第一阻挡层 103 和第二阻挡层 104 进行刻蚀，当第二阻挡层 104 被完全去除，停止第一刻蚀工艺，此时第一阻挡层 103 由于刻蚀速率大于第二阻挡层 104 的刻蚀速率，第一阻挡层 103 底部的介质层 101 存在过刻蚀的现象；即去除第一阻挡层 103 和第二阻挡层 104 的过程中，部分介质层 101 被去除，被刻蚀的介质层 101 位于第一阻挡层 103 或第二阻挡层 104 中被刻蚀速率较快的一者底部。

在本实施例中，第一刻蚀工艺采用的刻蚀气体至少包括氧气和碳氟气体的混合气体，且第一刻蚀工艺的刻蚀时间为 20~60s，例如 30s、40s 或 50s。

参考图 22 和图 23，采用第二刻蚀工艺刻蚀第一开口 112 暴露出的剩余的介质层 101，直至暴露出基底 100。

此时，第二刻蚀工艺持续对介质层 101 进行刻蚀，导致对介质层 101 的刻蚀过程中，第一开口 112 底部边缘区域的高度始终低于第一开口 112 底部中间区域的高度，当第一开口 112 底部边缘区域的介质层 101 被刻蚀完后，第一开口 112 底部中间区域的介质层 101 存在残留；当第一开口 112 底部中间区域的介质层 101 被刻蚀完后，第一开口 112 底部边缘区域的基底 100 存在过刻蚀的现象。

采用第三刻蚀工艺刻蚀第一开口 112 暴露出的预设厚度的基底 100，形成位线接触开口 105。

由于第二刻蚀工艺对第一开口 112 的刻蚀会导致第一开口 112 底部边缘区域的基底 100 存在过刻蚀现象，在第三刻蚀工艺刻蚀预设厚度的基底 100 的过程中，第一开口 112 底部中间区域的高度始终高于第一开口 112 底部边缘区域的高度，直至形成位线接触开口 105，此时底部高度较高的区域形成凸起区域 115，底部高度较低的区域形成凹陷区域 125。

参考图 24 和图 25，去除掩膜层 102。

需要说明的是，上述刻蚀示例以第二阻挡层 104 的被刻蚀速率小于第一阻挡层 103 的被刻蚀速率进行具体介绍，在其他实施里中，上述刻蚀示例同样适用于第二阻挡层 104 的被刻蚀速率大于第一阻挡层 103 的被刻蚀速率的情况。

需要说明的是，本实施例通过两个字线结构 130 之间形成凹凸状的位线

结构开口 105，以增大后续形成的位线接触结构的接触面积，并没有占用字线结构 130 的形成区域，不会对字线结构 130 的性能产生影响。

相对于相关技术而言，通过形成底部具有凹陷区域和凸起区域的位线接触开口，以增大位线接触开口的底部面积，使后续填充位线接触开口形成的位线接触结构的接触面积增大，从而减小后续形成的位线接触结构的接触电阻。

上面各种步骤划分，只是为了描述清楚，实现时可以合并为一个步骤或者对某些步骤进行拆分，分解为多个步骤，只要包括相同的逻辑关系，都在本专利的保护范围内；对流程中添加无关紧要的修改或者引入无关紧要的设计，但不改变其流程的核心设计都在该专利的保护范围内。

本公开另一实施例涉及一种半导体结构，包括：基底，基底中具有有源区，以及暴露出有源区的第一接触开口；第一接触开口底部包括第一区域和第二区域，第一区域和第二区域具有高度差；介质层，位于基底表面，介质层中具有贯穿介质层的第二接触开口，第二接触开口暴露出第一接触开口，第二接触开口与第一接触开口构成位线接触开口。

图 18 和图 19 为本实施例提供的半导体结构的结构示意图，以下将结合附图对本实施例提供的半导体结构进行详细说明，与上述实施例相同或相应的部分，以下将不做详细赘述。

参考图 1、图 18 和图 19，半导体结构，包括：

基底 100，基底 100 中具有有源区 120，以及暴露出有源区 120 的第一接触开口（未图示）。

基底 100 的材料可以包括硅、碳化硅、砷化镓、氮化铝或者氧化锌等；在本实施例中基底 100 采用硅材料，本实施例采用硅材料作为基底 100 是为了方便本领域技术人员对后续形成方法的理解，并不构成限定，在实际应用过程中，可以根据需求选择合适的基底的材料。

基底 100 内多个有源区 120 相互平行间隔排布。需要说明的是，基底 100 中还包括除浅沟槽隔离结构 110、有源区 120 和字线结构 130 外的其他存储器结构，由于其他存储器结构并不涉及到本公开的核心技术，在此不过多进行赘述；本领域技术人员可以理解基底 100 中还包括除浅沟槽隔离结构 110、有源区 120 和字线结构 130 外的其他存储器结构，用于存储器的正常运

行。

介质层 101，位于基底 100 表面，介质层 101 中具有贯穿介质层 101 的第二接触开口（未图示），第二接触开口（未图示）暴露出第一接触开口（未图示），第二接触开口（未图示）与第一接触开口（未图示）构成位线接触开口 105。

其中，第一接触开口（未图示）底部包括第一区域和第二区域，第一区域和第二区域具有高度差，即位线接触开口 105 底部包括第一区域和第二区域，第一区域和第二区域具有高度差。

在本实施例中，第一区域为凸起区域 115，第二区域为凹陷区域 125，第一区域环绕第二区域设置；需要说明的是，本实施例主要在于体现位线接触开口 105 底部包括高度不同的第一区域和第二区域，在其他实施例中，可以是第一区域为凹陷区域，第二区域为凸起区域；另外，在其他实施例中，第一区域和第二区域可以是拼接设置在位线接触开口底部。

在本实施例中，在平行于基底 100 表面方向上，第一区域的宽度为 5nm~20nm，例如 8nm、11nm、14nm 或 17nm。第一区域的宽度若小于 5nm，可能导致后续刻蚀第一区域形成的位线接触开口的凹陷区域的尺寸过小，在填充位线接触开口形成位线接触结构的过程中，位线接触结构无法完全填充凹陷区域，从而导致位线接触结构出现填充缺陷；第一区域的宽度若大于 20nm，导致后续填充第一区域间隙形成的第二阻挡层的尺寸过小，进而导致刻蚀第二阻挡层形成的位线接触开口的凹陷区域的尺寸过小，在填充位线接触开口形成位线接触结构的过程中，位线接触结构无法完全填充凹陷区域，从而出现半导体结构缺陷。

另外，在本实施例中，在垂直于基底表面的方向上，位线接触开口 105 的深度为 20nm~40nm，例如 25nm、30nm 或 35nm；第一区域和第二区域的高度差为 1nm~15nm，例如，3nm、5nm、7nm、9nm、11nm 或 13nm。通过凸起区域 115 和凹陷区域 125 的高度差控制，实现位线接触开口 105 底部面积变化的可控性。另外，若凸起区域 115 和凹陷区域 125 的高度差小于 1nm，位线接触开口 105 底部增加的面积可忽略不计，此时对填充位线接触开口 105 形成位线接触结构的接触电阻的改善可忽略不计，即位线接触结构的接触电阻依然很大，影响半导体结构的电性能；若凸起区域 115 和凹陷区

域 125 的高度差大于 15nm，此时凹陷区域 125 与凸起区域 115 之间的间隙的深宽比较大，后续填充位线接触开口 105 形成的位线接触结构难以完全填充，从而导致结构缺陷，影响半导体结构的良率。

需要说明的是，本实施例通过两个字线结构 130 之间形成凹凸状的位线结构开口 105，以增大后续形成的位线接触结构的接触面积，并没有占用字线结构 130 的形成区域，不会对字线结构 130 的性能产生影响。

本公开通过具有凹陷区域和凸起区域的位线接触开口，以增大位线接触开口的底部面积，使后续填充位线接触开口形成的位线接触结构的接触面积增大，从而减小后续形成的位线接触结构的接触电阻。

由于一实施例与本实施例相互对应，因此本实施例可与一实施例互相配合实施。一实施例中提到的相关技术细节在本实施例中依然有效，在一实施例中所能达到的技术效果在本实施例中也同样可以实现，为了减少重复，这里不再赘述。相应地，本实施例中提到的相关技术细节也可应用在一实施例中。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开

中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例所提供的半导体结构的形成方法及半导体结构中，通过形成底部具有凹陷区域和凸起区域的位线接触开口，以增大位线接触开口的底部面积，使后续填充位线接触开口形成的位线接触结构的接触面积增大，从而减小后续形成的位线接触结构的接触电阻。

权利要求

1、一种半导体结构的形成方法，所述半导体结构的形成方法包括：

提供基底，在所述基底表面形成介质层；

在所述介质层表面形成掩膜层，所述掩膜层内具有贯穿所述掩膜层厚度的第一开口；

在所述第一开口的侧壁形成第一阻挡层，所述第一阻挡层围成第二开口；

形成填充所述第二开口的第二阻挡层；

采用第一刻蚀工艺，去除所述第一阻挡层和所述第二阻挡层，直至所述第一阻挡层或所述第二阻挡层被完全去除，所述第一刻蚀工艺去除所述第一阻挡层的速率和去除所述第二阻挡层的速率不同；

去除所述第一开口暴露出的介质层和部分所述基底，形成位线接触开口，所述位线接触开口的底部具有凸起区域和凹陷区域，所述凸起区域和所述凹陷区域具有高度差。

2、根据权利要求1所述的半导体结构的形成方法，其中，所述高度差为1nm~15nm。

3、根据权利要求1所述的半导体结构的形成方法，其中，所述第一刻蚀工艺采用的刻蚀气体为至少包括氧气和碳氟气体的混合气体。

4、根据权利要求3所述的半导体结构的形成方法，其中，所述第一刻蚀工艺的刻蚀时间为20s~60s。

5、根据权利要求1所述的半导体结构的形成方法，还包括：

所述第一阻挡层还位于所述第一开口底部；

在所述第一开口的侧壁形成第一阻挡层，包括以下步骤：

形成覆盖所述掩膜层顶部表面，且覆盖所述第一开口侧壁和底部的第一阻挡膜，所述第一阻挡膜围成所述第二开口，在平行于所述基底表面方向上，所述第二开口的宽度小于所述第一开口的宽度；

去除位于所述掩膜层顶部表面的所述第一阻挡膜，形成所述第一阻挡层。

6、根据权利要求 1 所述的半导体结构的形成方法，其中，在平行于所述基底表面方向上，所述第一阻挡层的宽度为 5nm~20nm。

7、根据权利要求 1 所述的半导体结构的形成方法，其中，形成填充所述第二开口的第二阻挡层，包括以下步骤：

形成填充所述第二开口且覆盖所述第一阻挡层的第二阻挡膜，所述第二阻挡膜的材料与所述第一阻挡层的材料具有刻蚀选择比；

去除高于所述第一阻挡层的所述第二阻挡膜，剩余所述第二阻挡膜作为所述第二阻挡层。

8、根据权利要求 7 所述的半导体结构的形成方法，其中，所述第一阻挡层和所述第二阻挡层的刻蚀选择比的范围为 1:1.1 至 1:3，或者 1.1:1 至 3:1。

9、根据权利要求 1 所述的半导体结构的形成方法，其中，采用第一刻蚀工艺，去除所述第一阻挡层和所述第二阻挡层，直至所述第一阻挡层或所述第二阻挡层被完全去除，包括：

采用第一刻蚀工艺，去除所述第一阻挡层和所述第二阻挡层，直至所述第一阻挡层或所述第二阻挡层中被刻蚀速率快的一者完全去除；

或采用第一刻蚀工艺，去除所述第一阻挡层和所述第二阻挡层，直至所述第一阻挡层或所述第二阻挡层被刻蚀速率慢的一者完全去除。

10、根据权利要求 9 所述的半导体结构的形成方法，其中，若采用第一刻蚀工艺，去除所述第一阻挡层和所述第二阻挡层，直至所述第一阻挡层或所述第二阻挡层中被刻蚀速率快的一者完全去除，包括：

去除所述第一开口暴露出的介质层和部分所述基底，形成位线接触开口，包括以下步骤：

采用第二刻蚀工艺刻蚀剩余的所述第一阻挡层或所述第二阻挡层，并刻蚀所述第一开口暴露出的所述介质层，直至暴露出所述基底；

采用第三刻蚀工艺刻蚀所述第一开口暴露出的预设厚度的所述基底，形成所述位线接触开口。

11、根据权利要求 9 所述的半导体结构的形成方法，其中，若采用第一刻蚀工艺，去除所述第一阻挡层和所述第二阻挡层，直至所述第一阻挡层或所述第二阻挡层中被刻蚀速率慢的一者完全去除，包括：

其中，去除所述第一阻挡层和所述第二阻挡层的过程中，部分所述介质层被去除，被刻蚀的所述介质层位于所述第一阻挡层或所述第二阻挡层中被刻蚀速率较快的一者底部；

去除所述第一开口暴露出的介质层和部分所述基底，形成位线接触开口，包括以下步骤：

采用第二刻蚀工艺刻蚀所述第一开口暴露出的剩余的所述介质层，直至暴露出所述基底；

采用第三刻蚀工艺刻蚀所述第一开口暴露出的预设厚度的所述基底，形成所述位线接触开口。

12、一种半导体结构，其所述半导体结构包括：

基底，所述基底中具有有源区，以及暴露出所述有源区的第一接触开口；

所述第一接触开口底部包括第一区域和第二区域，所述第一区域和所述第二区域具有高度差；

介质层，位于所述基底表面，所述介质层中具有贯穿所述介质层的第二接触开口，第二接触开口暴露出所述第一接触开口，所述第二接触开口与所述第一接触开口构成位线接触开口。

13、根据权利要求 12 所述的半导体结构，其中，所述第一区域环绕所述第二区域设置。

14、根据权利要求 13 所述的半导体结构，其中，在平行于所述基底表面的方向上，所述第一区域的宽度为 5nm~20nm。

15、根据权利要求 12 所述的半导体结构，其中，在垂直于所述基底表面的方向上，所述位线接触开口的深度为 20nm~40nm，所述高度差为 1nm~15nm。

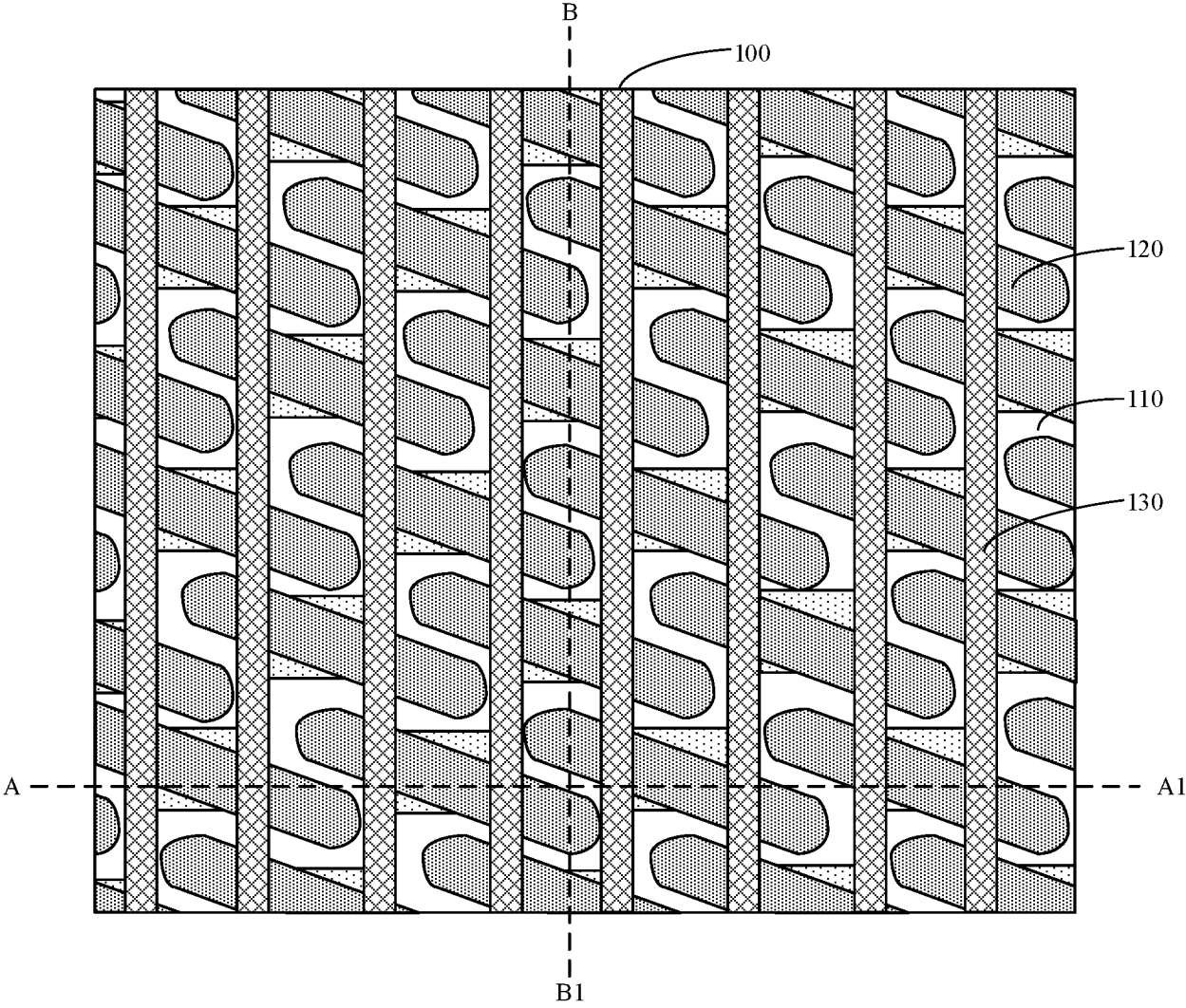


图 1

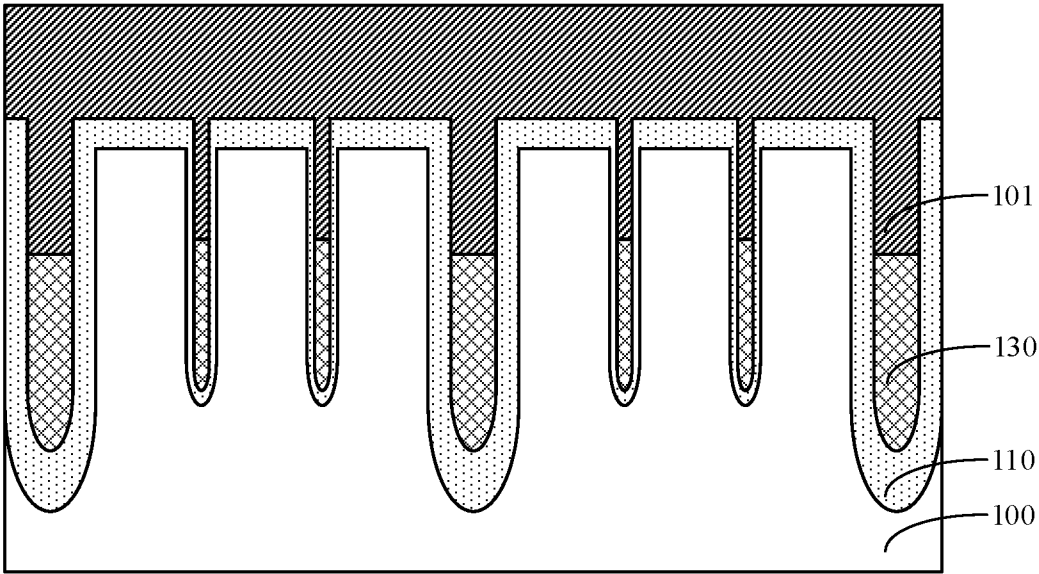


图 2

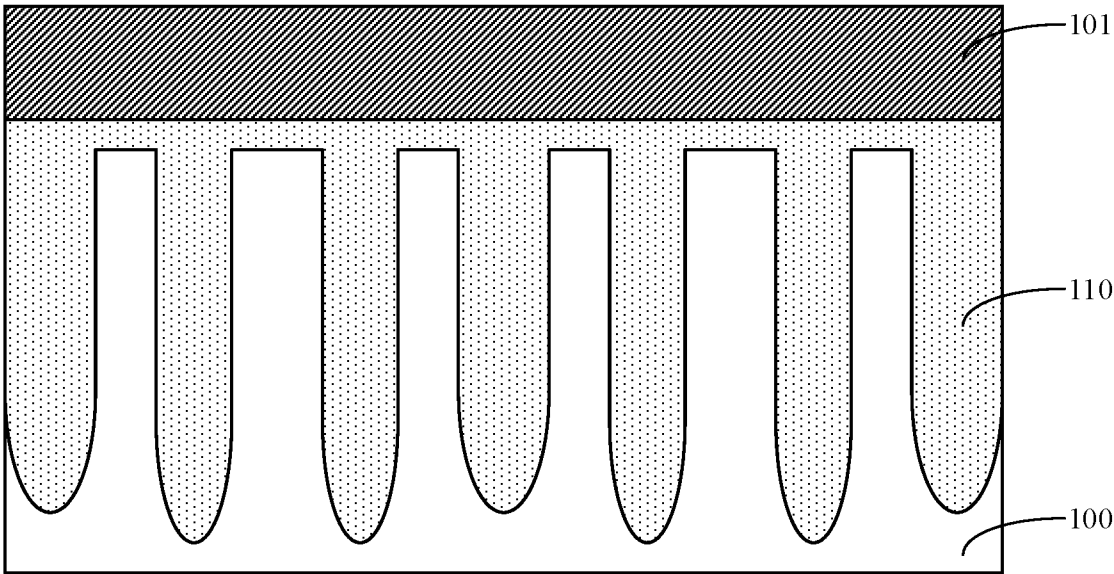


图 3

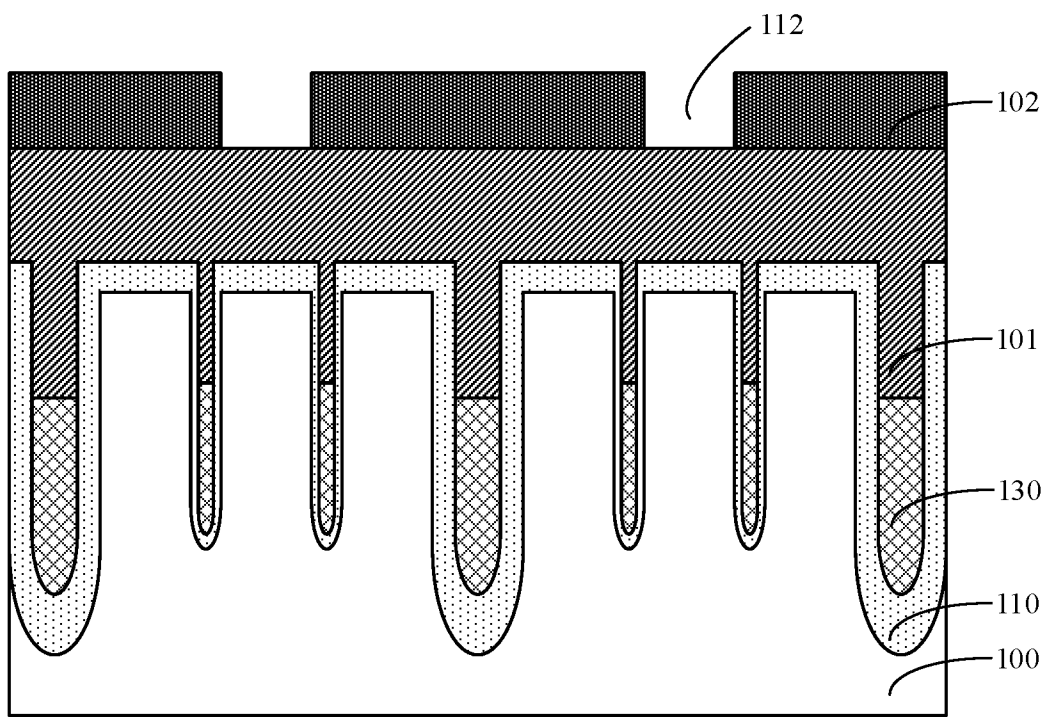


图 4

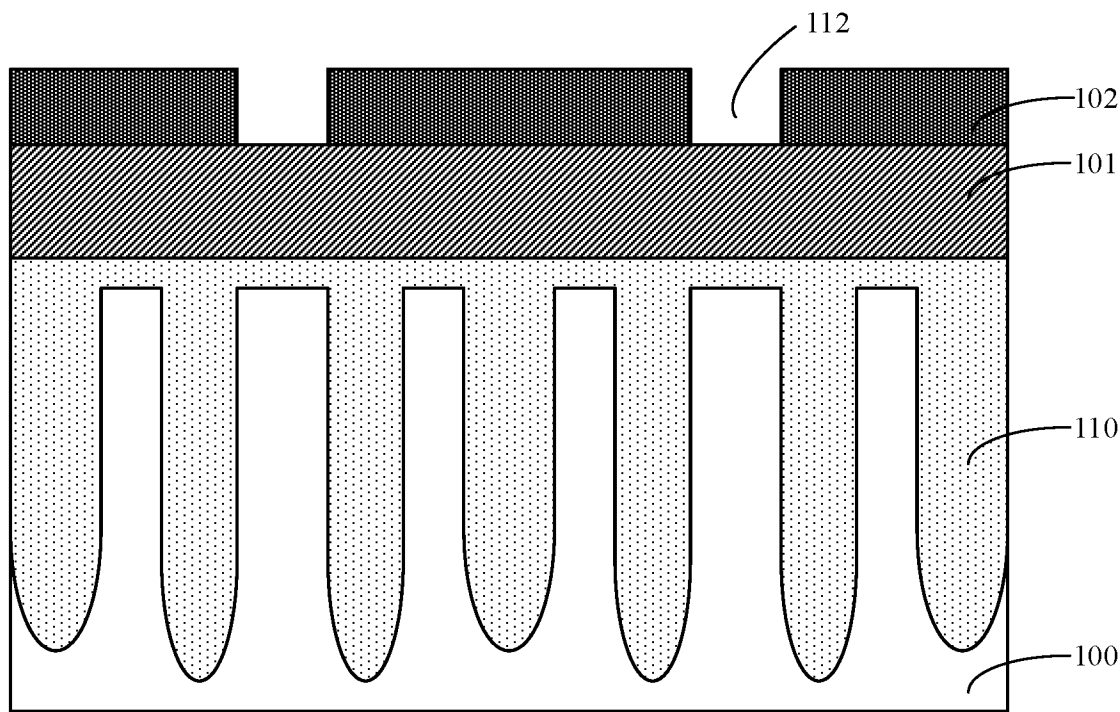


图 5

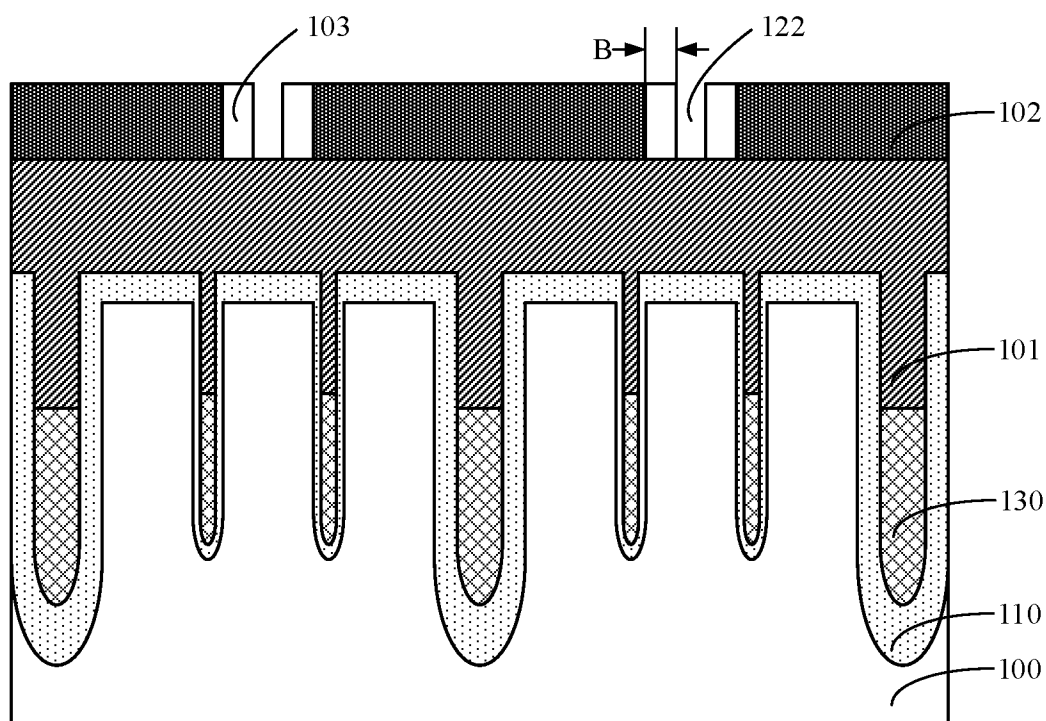


图 6

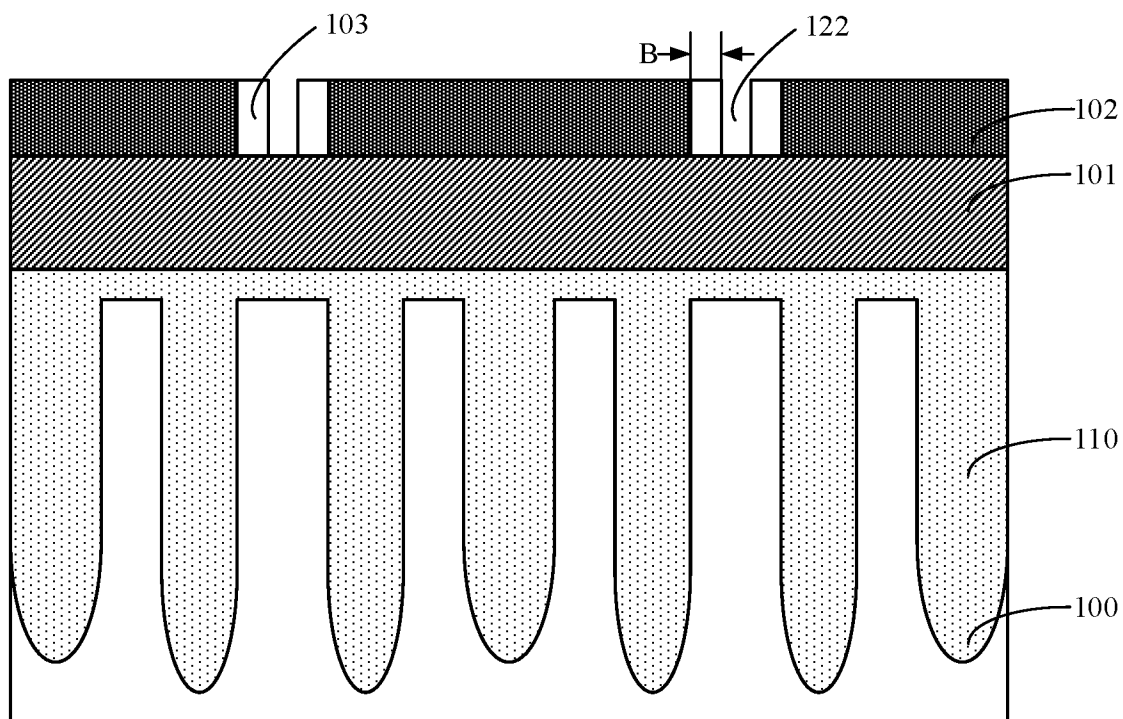


图 7

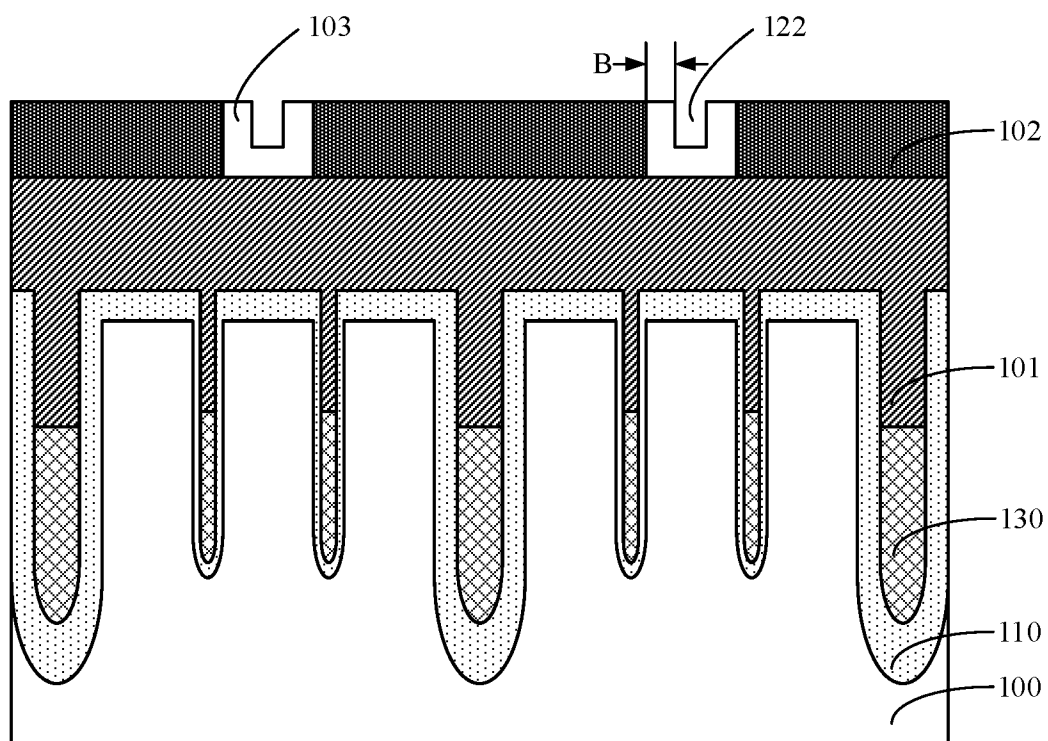


图 8

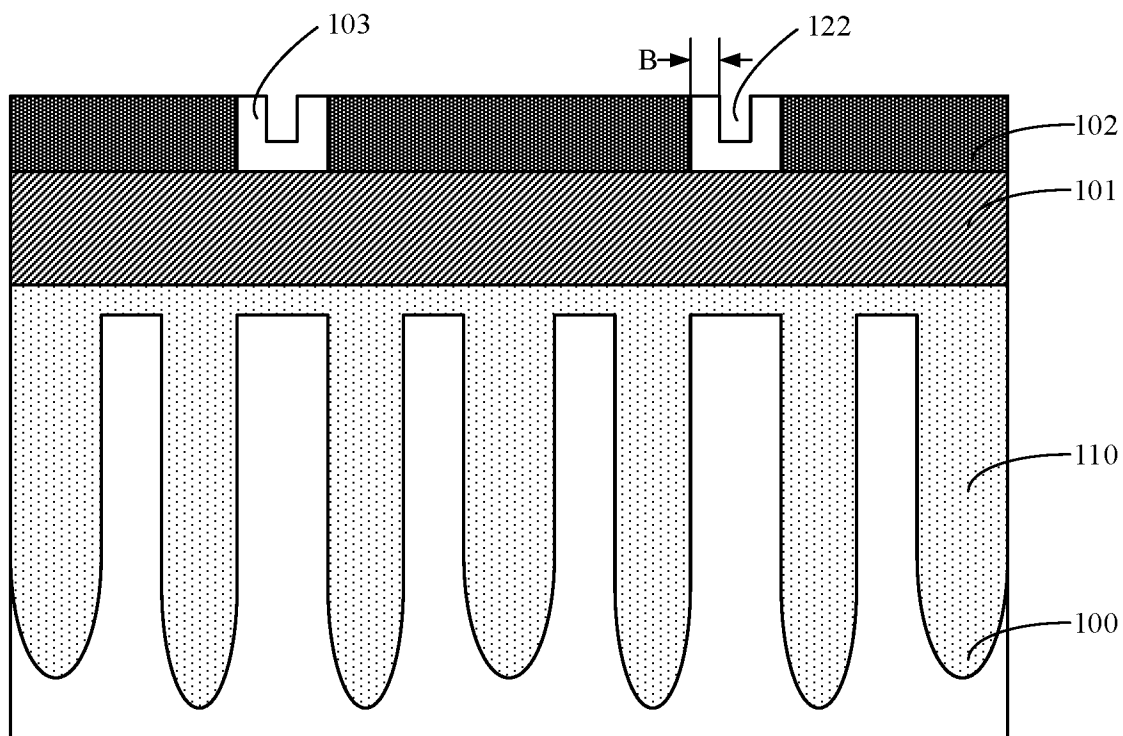


图 9

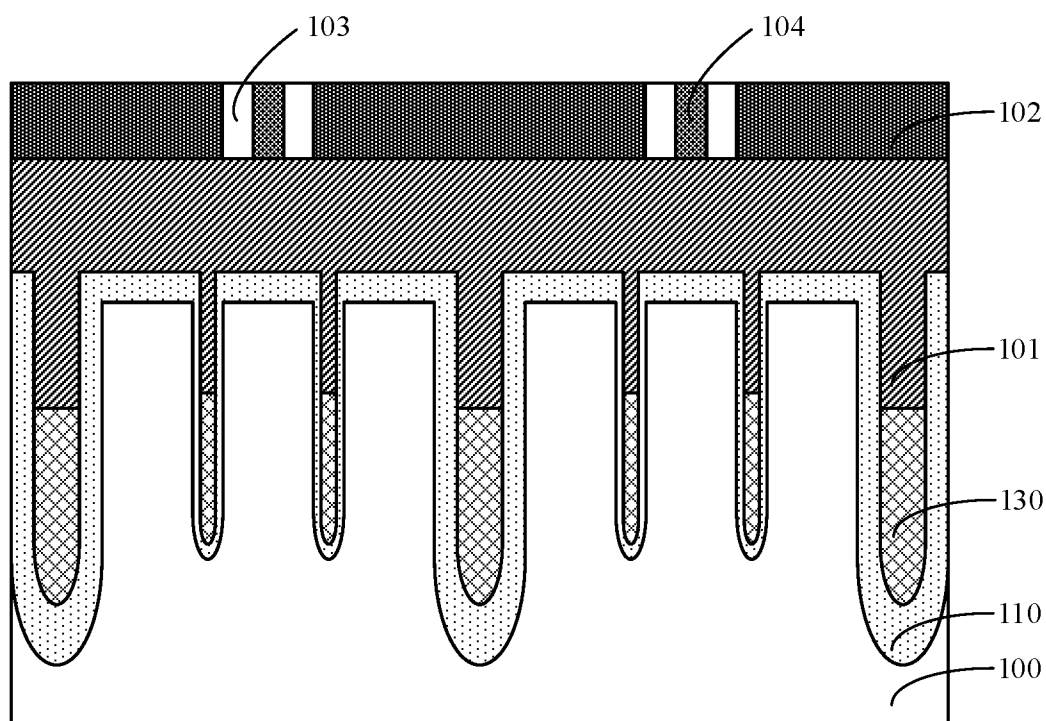


图 10

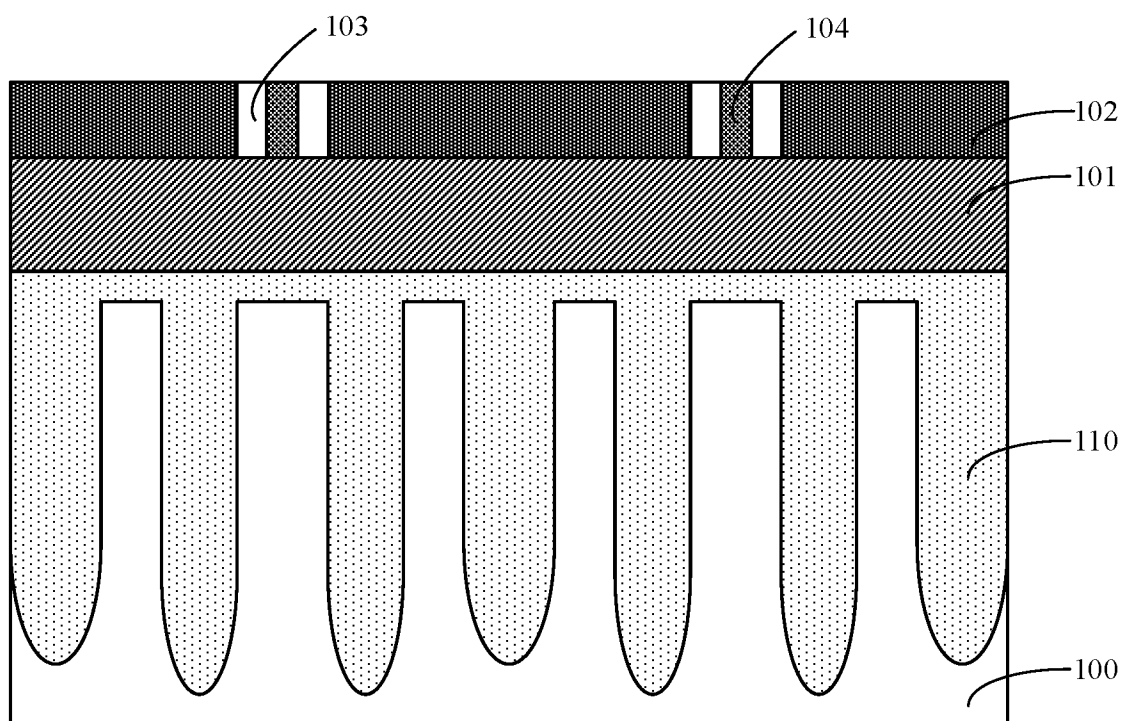


图 11

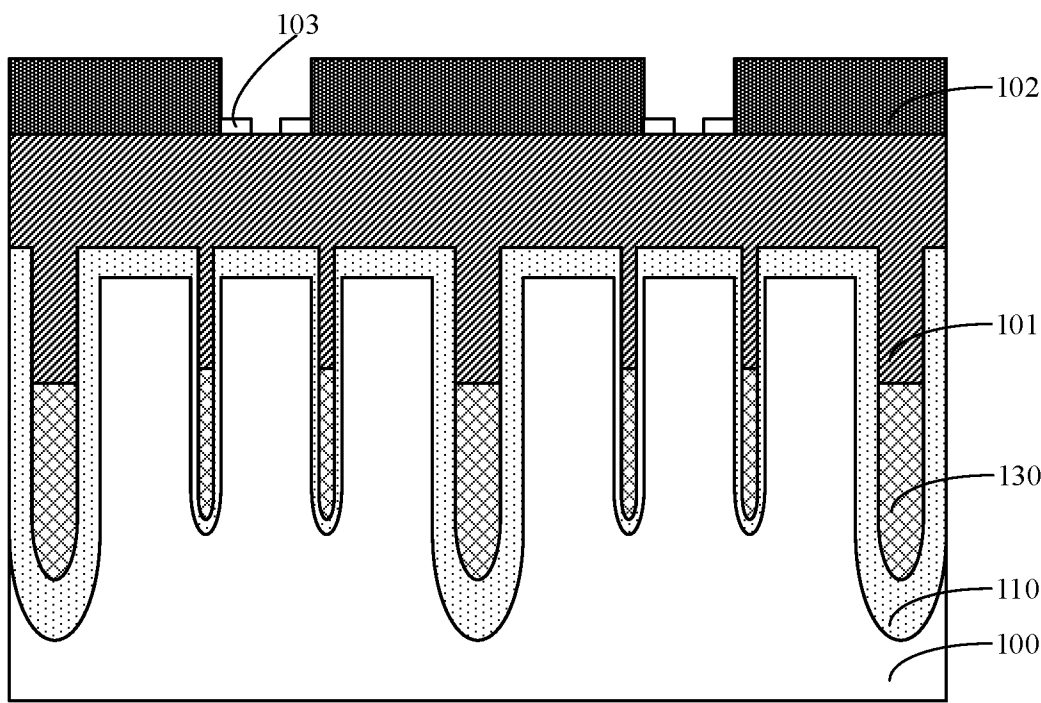


图 12

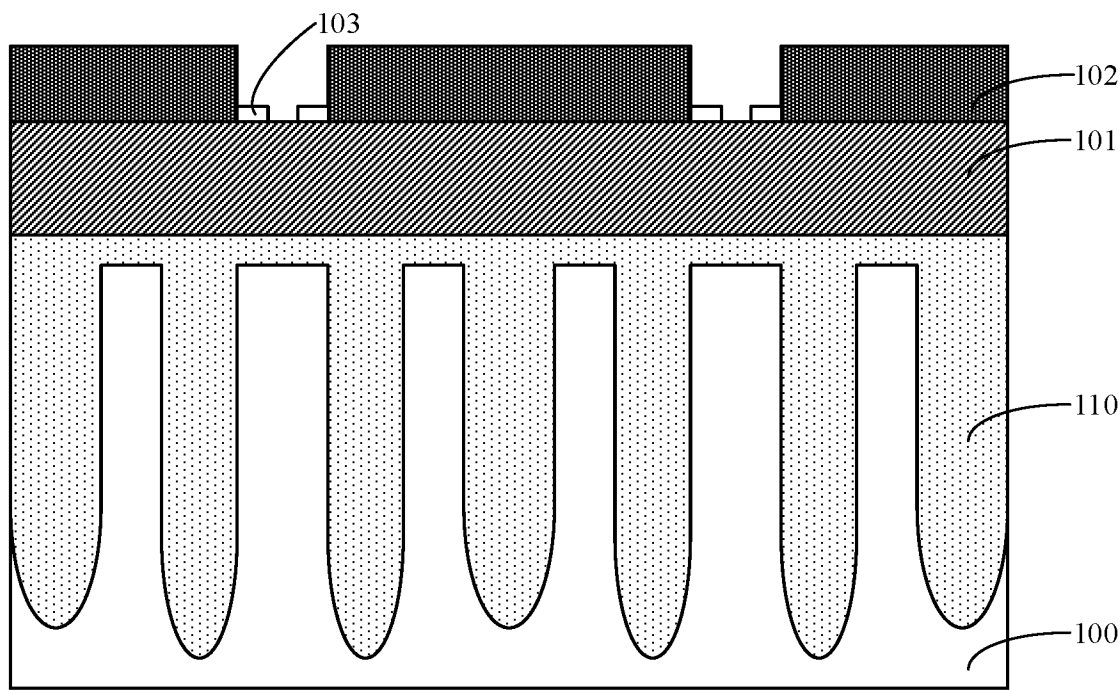


图 13

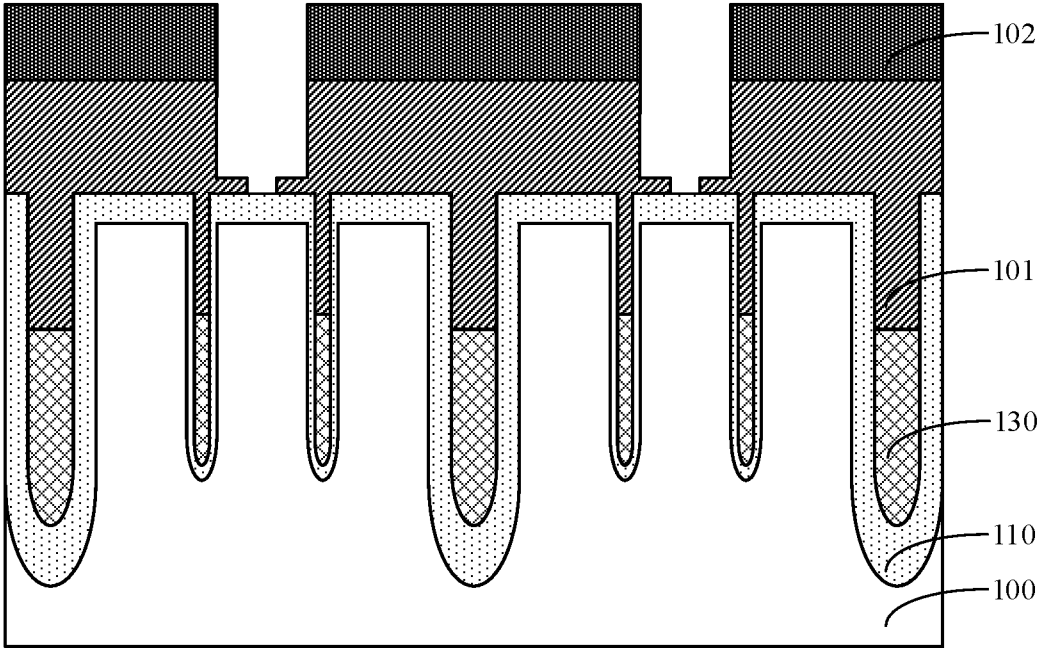


图 14

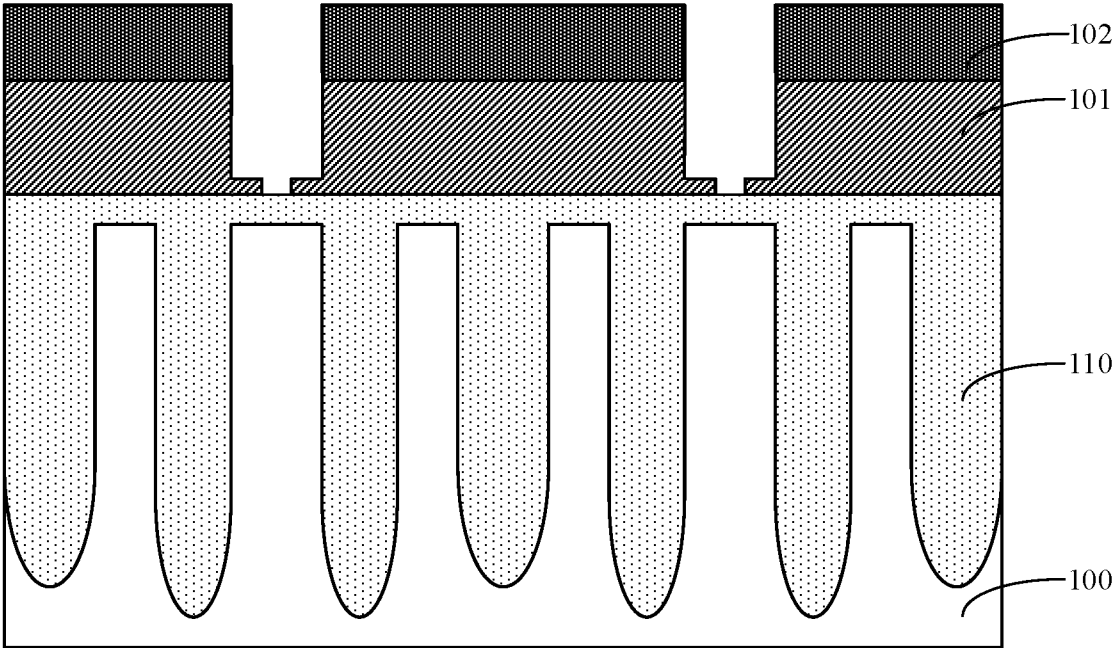


图 15

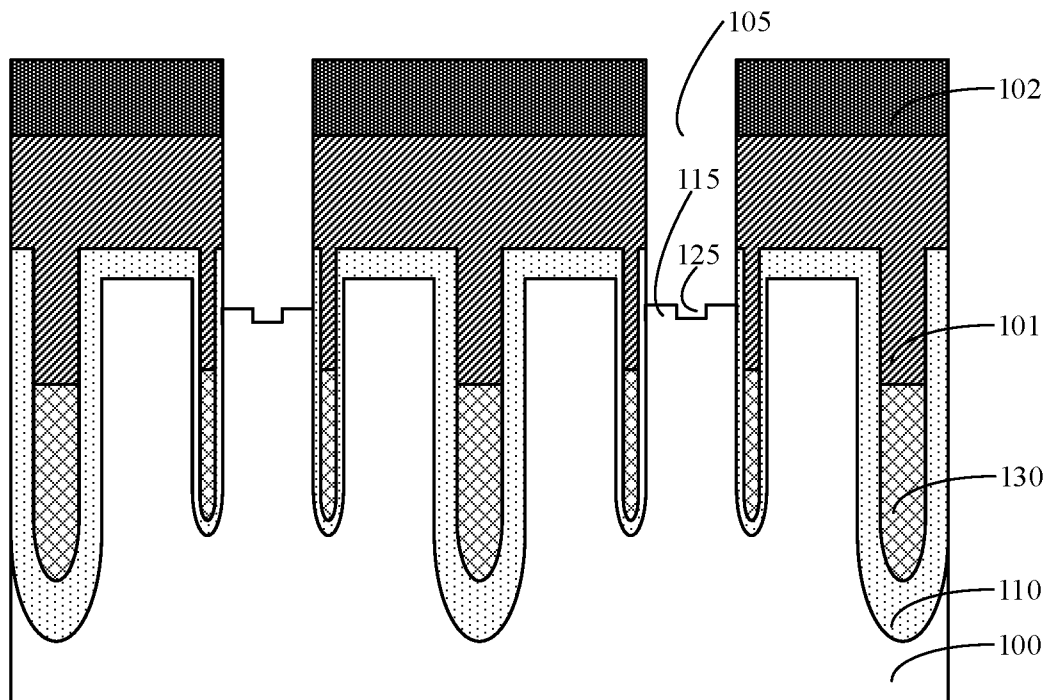


图 16

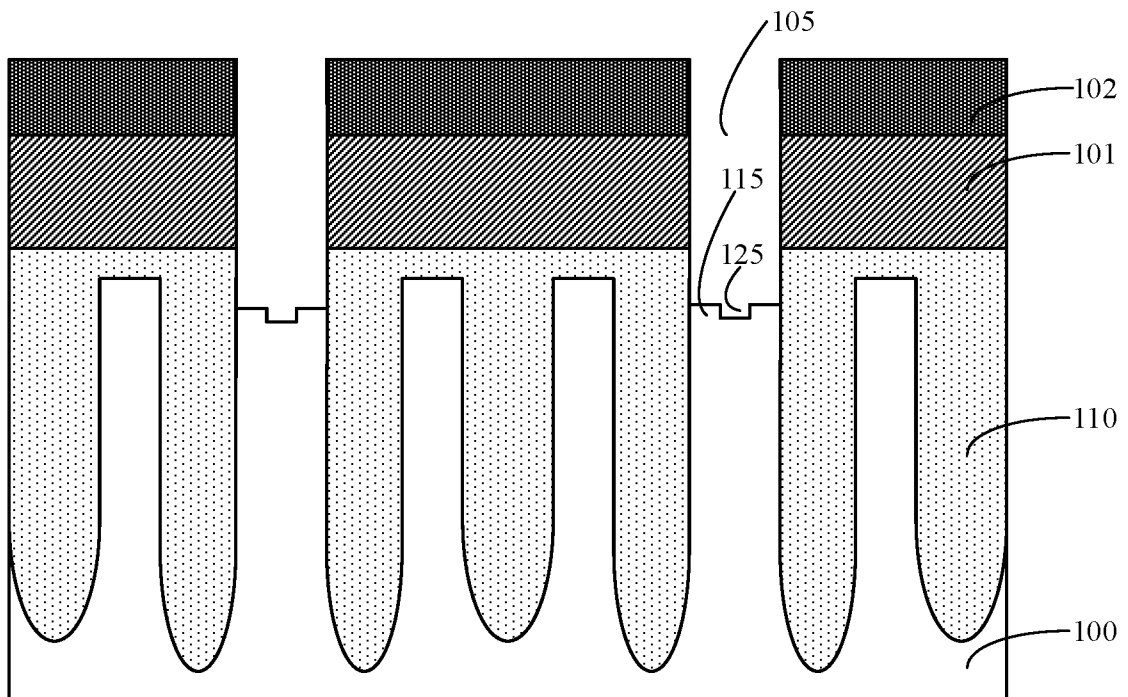


图 17

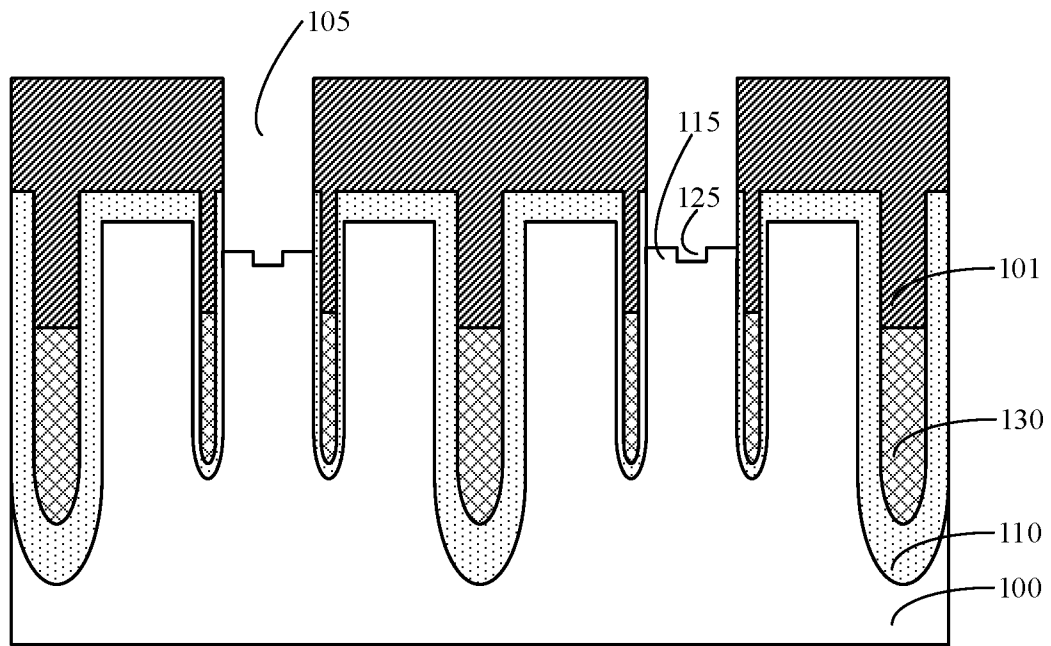


图 18

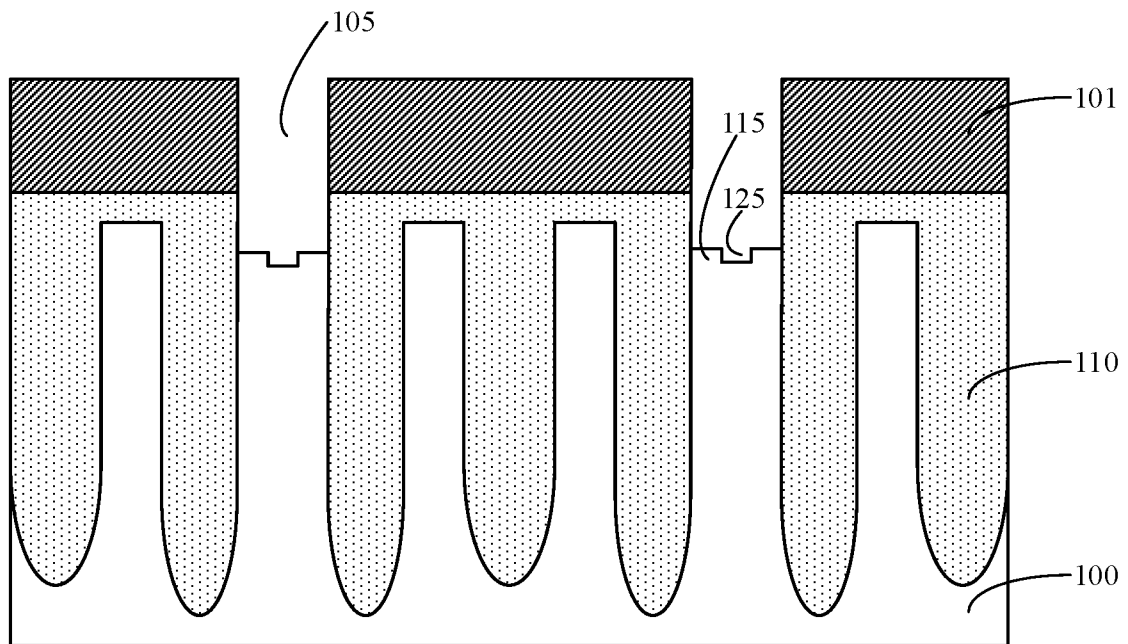


图 19

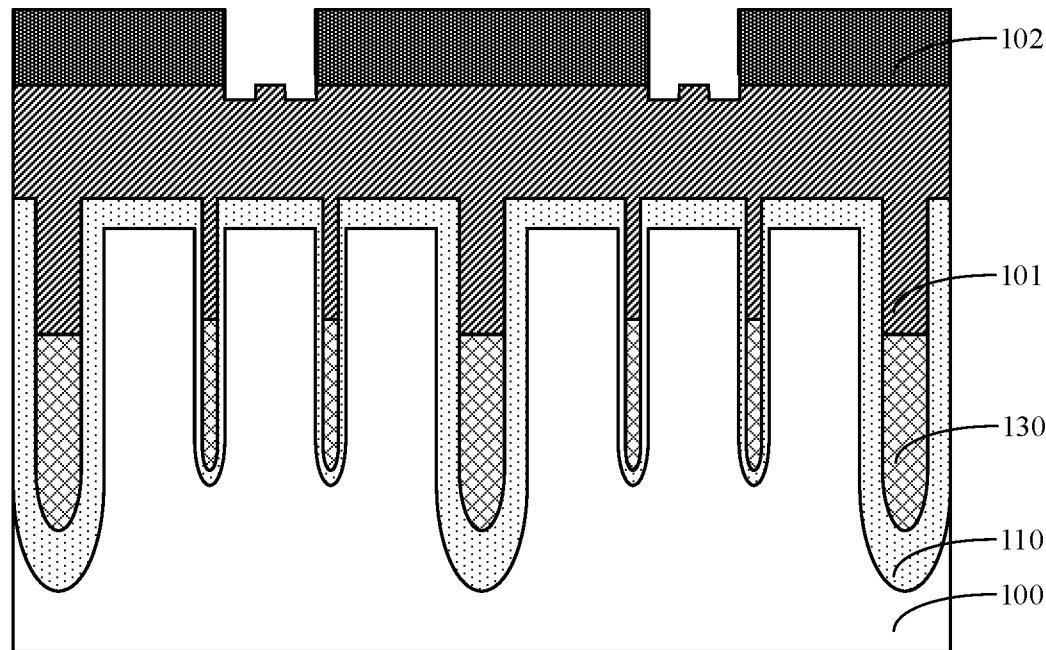


图 20

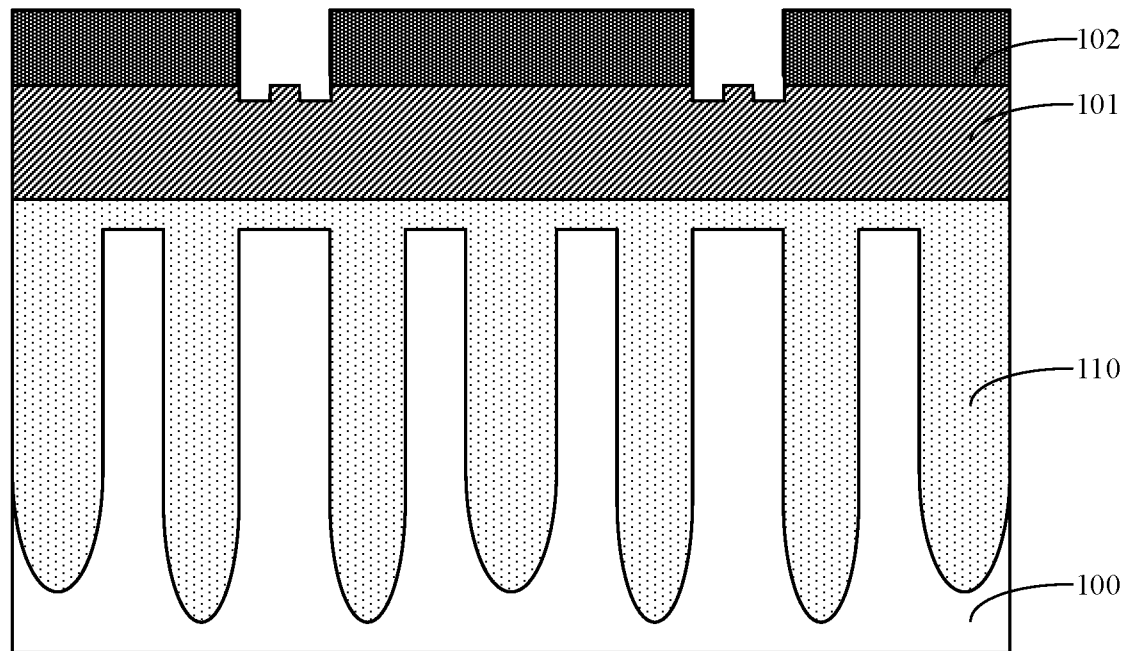


图 21

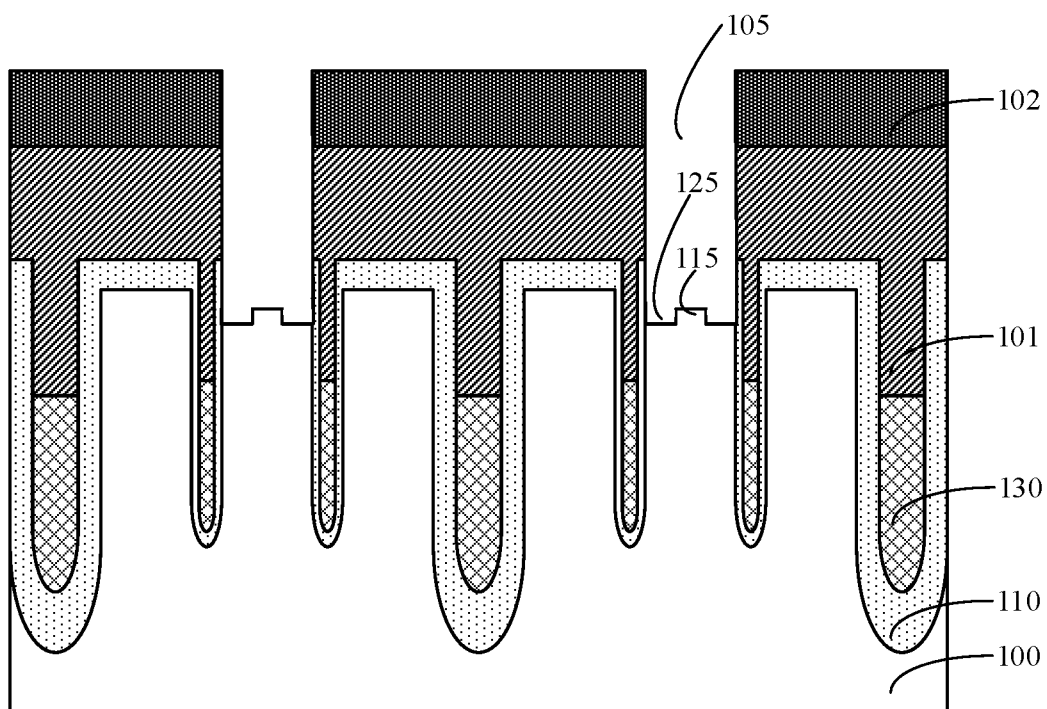


图 22

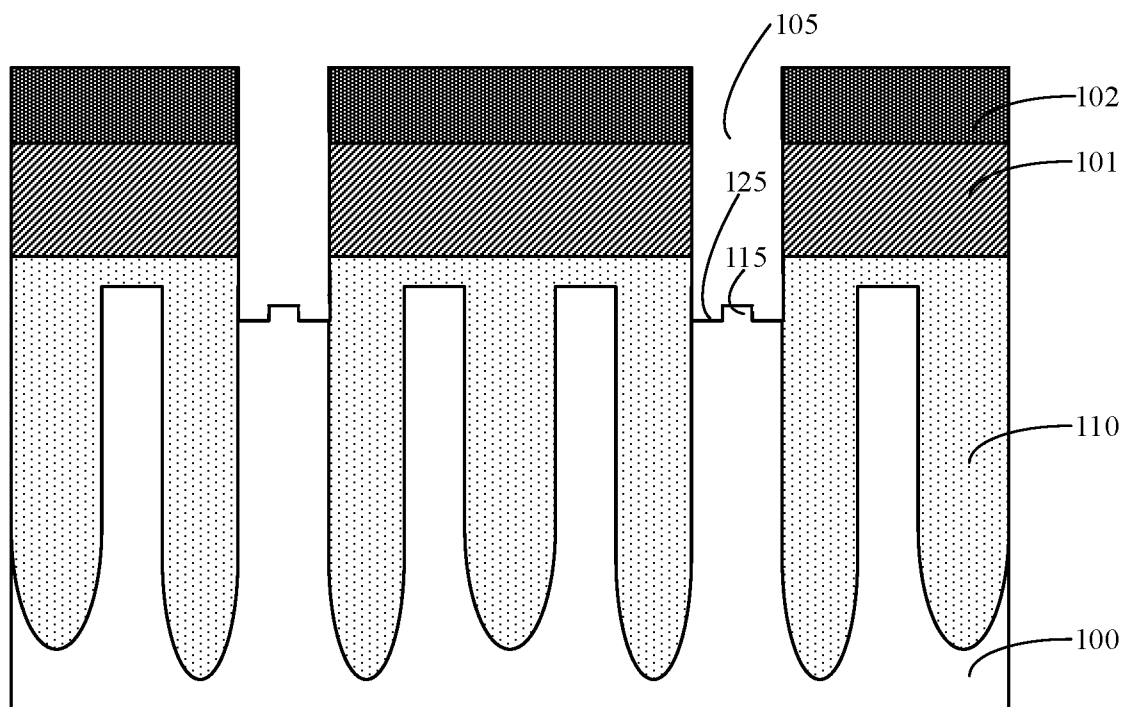


图 23

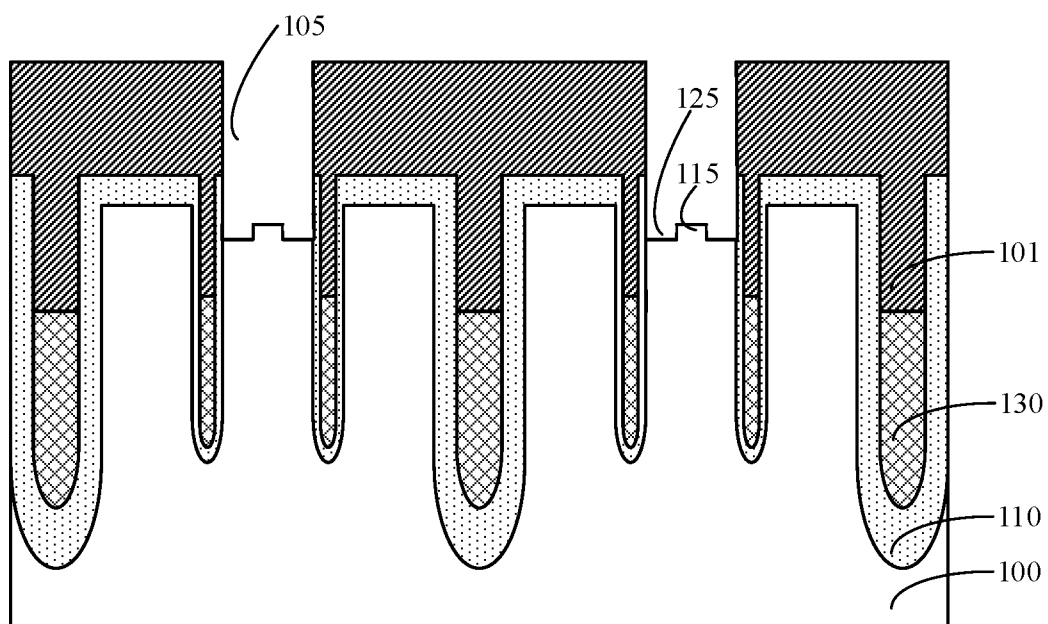


图 24

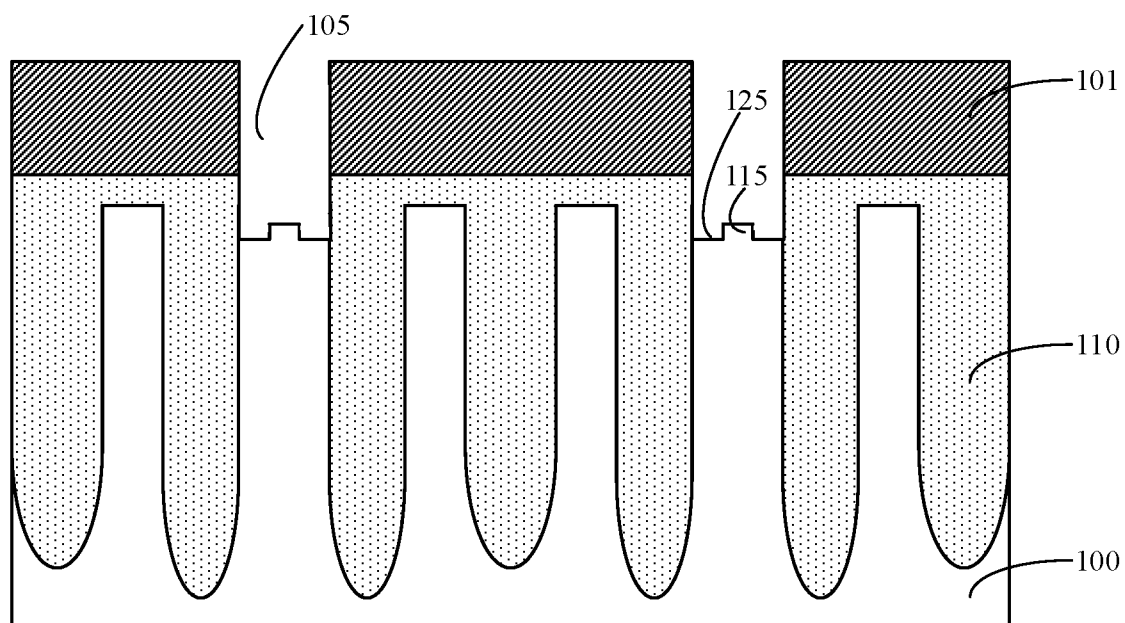


图 25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/103881

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, SIPOABS, CNKI, CNABS, CNTXT: 半导体, 衬底, 基板, 刻蚀, 蚀刻, 速率, 速度, 位线, 字线, 接触, 连接, 互连, 电阻, 凹凸, 不平坦, 粗糙, semiconductor, substrate, etch+, velocity, speed, bit line, word line, contact+, connect+, interconnect+, resist+, concave convex, uneven, unequality, rough+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113035868 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 25 June 2021 (2021-06-25) claims 1-15, description paragraphs [0029]-[0083], figures 1-25	1-15208715994
X	CN 1627504 A (NANYA TECHNOLOGY CORPORATION) 15 June 2005 (2005-06-15) description, page 3 line 29 to page 5 line 3, figures 1-6	12-15
A	CN 1627504 A (NANYA TECHNOLOGY CORPORATION) 15 June 2005 (2005-06-15) description, page 3 line 29 to page 5 line 3, figures 1-6	1-11
A	CN 1763921 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 26 April 2006 (2006-04-26) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

24 November 2021

Date of mailing of the international search report

01 December 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/103881

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113035868	A	25 June 2021	None			
CN	1627504	A	15 June 2005	None			
CN	1763921	A	26 April 2006	TW	200614339	A	01 May 2006
				US	2006099786	A1	11 May 2006
				TW	I260687	B	21 August 2006

国际检索报告

国际申请号

PCT/CN2021/103881

A. 主题的分类 H01L 27/108(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) DWPI, SIPOABS, CNKI, CNABS, CNTXT: 半导体, 衬底, 基板, 刻蚀, 蚀刻, 速率, 速度, 位线, 字线, 接触, 连接, 互连, 电阻, 凹凸, 不平坦, 粗糙, semiconductor, substrate, etch+, velocity, speed, bit line, word line, contact+, connect+, interconnect+, resist+, concave convex, uneven, inequality, rough+																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 113035868 A (长鑫存储技术有限公司) 2021年 6月 25日 (2021 - 06 - 25) 权利要求1-15、说明书第[0029]-[0083]段、图1-25</td> <td>1-15</td> </tr> <tr> <td>X</td> <td>CN 1627504 A (南亚科技股份有限公司) 2005年 6月 15日 (2005 - 06 - 15) 说明书第3页第29行至第5页第3行、图1-6</td> <td>12-15</td> </tr> <tr> <td>A</td> <td>CN 1627504 A (南亚科技股份有限公司) 2005年 6月 15日 (2005 - 06 - 15) 说明书第3页第29行至第5页第3行、图1-6</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 1763921 A (台湾积体电路制造股份有限公司) 2006年 4月 26日 (2006 - 04 - 26) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 113035868 A (长鑫存储技术有限公司) 2021年 6月 25日 (2021 - 06 - 25) 权利要求1-15、说明书第[0029]-[0083]段、图1-25	1-15	X	CN 1627504 A (南亚科技股份有限公司) 2005年 6月 15日 (2005 - 06 - 15) 说明书第3页第29行至第5页第3行、图1-6	12-15	A	CN 1627504 A (南亚科技股份有限公司) 2005年 6月 15日 (2005 - 06 - 15) 说明书第3页第29行至第5页第3行、图1-6	1-11	A	CN 1763921 A (台湾积体电路制造股份有限公司) 2006年 4月 26日 (2006 - 04 - 26) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 113035868 A (长鑫存储技术有限公司) 2021年 6月 25日 (2021 - 06 - 25) 权利要求1-15、说明书第[0029]-[0083]段、图1-25	1-15															
X	CN 1627504 A (南亚科技股份有限公司) 2005年 6月 15日 (2005 - 06 - 15) 说明书第3页第29行至第5页第3行、图1-6	12-15															
A	CN 1627504 A (南亚科技股份有限公司) 2005年 6月 15日 (2005 - 06 - 15) 说明书第3页第29行至第5页第3行、图1-6	1-11															
A	CN 1763921 A (台湾积体电路制造股份有限公司) 2006年 4月 26日 (2006 - 04 - 26) 全文	1-15															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期 2021年 11月 24日		国际检索报告邮寄日期 2021年 12月 1日															
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 孙重清 电话号码 (86-10)62412093															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/103881

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113035868	A	2021年 6月 25日	无			
CN	1627504	A	2005年 6月 15日	无			
CN	1763921	A	2006年 4月 26日	TW	200614339	A	2006年 5月 1日
				US	2006099786	A1	2006年 5月 11日
				TW	1260687	B	2006年 8月 21日