

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5968616号
(P5968616)

(45) 発行日 平成28年8月10日(2016.8.10)

(24) 登録日 平成28年7月15日(2016.7.15)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	627C
HO1L 29/786	(2006.01)	HO1L 29/78	618B
GO2F 1/1368	(2006.01)	HO1L 29/78	617K
HO1L 51/50	(2006.01)	HO1L 29/78	616T
GO9F 9/30	(2006.01)	HO1L 29/78	626C

請求項の数 5 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2011-267795 (P2011-267795)
 (22) 出願日 平成23年12月7日 (2011.12.7)
 (65) 公開番号 特開2012-138574 (P2012-138574A)
 (43) 公開日 平成24年7月19日 (2012.7.19)
 審査請求日 平成26年11月17日 (2014.11.17)
 (31) 優先権主張番号 特願2010-275919 (P2010-275919)
 (32) 優先日 平成22年12月10日 (2010.12.10)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 桑原 秀明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 河合 俊英

最終頁に続く

(54) 【発明の名称】表示装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

第1の導電層と、第1の絶縁層と、酸化物半導体層と、第2の絶縁層と、を形成し、
厚さの異なる複数の領域を有する第1のマスクを用いて、前記第1の導電層と、前記第1の絶縁層と、前記酸化物半導体層と、前記第2の絶縁層と、を選択的に除去して、ゲート電極と、容量配線と、第1の配線と、前記ゲート電極上の前記第1の絶縁層、前記酸化物半導体層及び前記第2の絶縁層と、前記容量配線上の前記第1の絶縁層、前記酸化物半導体層及び前記第2の絶縁層と、前記第1の配線上の前記第1の絶縁層、前記酸化物半導体層及び前記第2の絶縁層と、を形成し、

前記第1のマスクをアッシングして、第2のマスクを形成し、

前記第2のマスクを用いて、前記容量配線上の前記第1の絶縁層、前記酸化物半導体層及び前記第2の絶縁層と、前記第1の配線上の前記第1の絶縁層、前記酸化物半導体層及び前記第2の絶縁層と、を選択的に除去し、前記ゲート電極の一部が露出するように前記ゲート電極上の第1の島状の絶縁層、島状の酸化物半導体層及び第2の島状の絶縁層を形成し、

前記第2のマスクを除去し、

前記ゲート電極と、前記容量配線と、前記第1の配線と、前記第1の島状の絶縁層と、前記島状の酸化物半導体層と、前記第2の島状の絶縁層と、を覆って第3の絶縁層を形成し、

第3のマスクを用いて、前記島状の第2の絶縁層及び前記第3の絶縁層に前記島状の酸

10

20

化物半導体層に達する第1のコンタクトホールを形成するとともに、前記第3の絶縁層に前記第1の配線に達する第2のコンタクトホールを形成し、

前記第3の絶縁層上に第2の導電層を形成し、

第4のマスクを用いて、前記第2の導電層を選択的に除去して、ソース電極、ドレイン電極、第1の電極及び第2の配線を形成し、

前記ドレイン電極の一部は、前記第3の絶縁層及び前記容量配線と重畠し、

前記第1の電極は、前記第2のコンタクトホールにおいて前記第1の配線と電気的に接続され、

前記ソース電極、前記ドレイン電極、前記第1の電極及び前記第2の配線上に第3の導電層を形成し、

10

第5のマスクを用いて、前記第3の導電層を選択的に除去して、画素電極、第2の電極及び第3の電極を形成し、

前記第2の電極は、前記第1の配線及び前記第1の電極と重畠し、

前記第3の電極は、前記第2の配線と重畠することを特徴とする表示装置の作製方法。

【請求項2】

請求項1において、

前記第1の導電層と、前記第1の絶縁層と、前記酸化物半導体層と、前記第2の絶縁層の形成を、大気に曝すことなく連続して行うことを特徴とする表示装置の作製方法。

【請求項3】

請求項1または請求項2において、

20

前記第1の絶縁層は、前記酸化物半導体層に用いる酸化物半導体と同種の成分を含む絶縁材料を有することを特徴とする表示装置の作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記ゲート電極、前記ソース電極、または前記ドレイン電極は、銅を含む材料で形成されていることを特徴とする表示装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記ゲート電極、前記ソース電極、または前記ドレイン電極を形成した後のプロセス最高温度が450℃以下であることを特徴とする表示装置の作製方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその作製方法、並びに、表示装置及びその作製方法に関する。

【0002】

なお、本明細書において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、半導体回路、記憶装置、撮像装置、表示装置、電気光学装置及び電子機器などは全て半導体装置である。

【背景技術】

【0003】

近年、ガラス基板等の絶縁性表面を有する基板上に形成された、厚さ数nm～数百nm程度の半導体薄膜により構成されるトランジスタが注目されている。トランジスタは、IC(Integrated Circuit)及び電気光学装置を始めとした電子デバイスに広く応用されている。トランジスタは、特に液晶表示装置等に代表される、表示装置のスイッチング素子として開発が急がれている。アクティブマトリクス型液晶表示装置では、選択されたスイッチング素子に接続された画素電極と、該画素電極に対応する対向電極の間に電圧が印加されることにより、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。ここで、アクティブマトリクス型液晶表示装置とは、マトリクス状に配置された画素電極をスイッチング素子により駆動することによって、画面上に表示パターンが形成される方式を採用した

40

50

液晶表示装置をいう。

【0004】

上記のようなアクティブマトリクス型液晶表示装置の用途は拡大しており、画面サイズの大面積化、高精細化及び高開口率化の要求が高まっている。また、アクティブマトリクス型液晶表示装置には高い信頼性が求められ、その生産方法には高い生産性及び生産コストの低減が求められる。生産性を高め、生産コストを低減する方法の一つに、工程の簡略化が挙げられる。

【0005】

アクティブマトリクス型液晶表示装置では、スイッチング素子として主にトランジスタが用いられている。トランジスタの作製において、フォトリソグラフィ工程を削減または簡略化することは、工程全体の簡略化のために重要である。例えばフォトリソグラフィ工程が1つ増加すると、レジスト塗布、プリベーク、露光、現像、ポストベーク等の工程と、その前後の工程において、被膜の形成及びエッチング工程、更にはレジスト剥離、洗浄及び乾燥工程等が必要になる。そのため、作製工程におけるフォトリソグラフィ工程が1つ増加するだけで、工程数が大幅に増加する。そのため、作製工程におけるフォトリソグラフィ工程を削減または簡略化するために、数多くの技術開発がなされている。

10

【0006】

トランジスタは、チャネル形成領域がゲート電極より下層に設けられるトップゲート型と、チャネル形成領域がゲート電極より上層に設けられるボトムゲート型に大別される。これらのトランジスタは、少なくとも5枚のフォトマスクにより作製されることが一般的である。

20

【0007】

フォトリソグラフィ工程を簡略化させる従来の技術としては、裏面露光（例えば、特許文献1）、レジストリフロー又はリフトオフ法といった複雑な技術を用いるものが多く、特殊な装置を必要とするものが多い。このような複雑な技術を用いることで、これに起因する様々な問題が生じ、歩留まりの低下の一因となっている。また、トランジスタの電気的特性を低下させてしまうことが多い。

【先行技術文献】

【特許文献】

【0008】

30

【特許文献1】特開平05-203987号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

トランジスタの作製に用いるフォトリソグラフィ工程を従来よりも少なくすることを課題の一とする。

【0010】

トランジスタを有する表示装置の作製に用いるフォトマスクの枚数を従来よりも少なくすることを課題の一とする。

【0011】

40

生産性のよいトランジスタを提供することを課題の一とする。

【0012】

生産性のよい表示装置を提供することを課題の一とする。

【0013】

消費電力が低減された表示装置を提供することを課題の一とする。

【0014】

信頼性の高い表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【0015】

ゲート電極（同一層で形成される他の電極または配線を含む）を形成する工程と、島状半

50

導体層を形成するための工程を、一回のフォトリソグラフィ工程で行うことにより、従来よりも少ないフォトマスク枚数及びフォトリソグラフィ工程で半導体装置を作製することができる。

【0016】

トランジスタの、ゲート電極となる導電層、ゲート絶縁層となる絶縁層、半導体層及びチャネル保護層となる絶縁層を、大気に曝すことなく連続して形成することで、各層及び各層界面の汚染を防ぎ、半導体装置の特性及び信頼性を高めることができる。

【0017】

ゲート電極（同一層で形成される他の電極または配線を含む）を形成する工程と、島状半導体層を形成するための工程を、一回のフォトリソグラフィ工程で行い、コンタクトホールを形成する工程、ソース電極及びドレイン電極（同一層で形成される他の電極または配線を含む）を形成する工程、画素電極（同一層で形成される他の電極または配線を含む）を形成する工程の、4つのフォトリソグラフィ工程で半導体装置を作製する。

10

【0018】

トランジスタの、ゲート電極となる導電層、ゲート絶縁層となる絶縁層、半導体層及びチャネル保護層となる絶縁層を連続で形成し、多階調マスクである第1のフォトマスクによって露光し現像した、厚さの厚い領域と薄い領域を有するレジストマスクを形成する。

【0019】

レジストマスクをマスクとして、ゲート電極となる導電層、ゲート絶縁層となる絶縁層、半導体層及びチャネル保護層となる絶縁層をエッチングする。続いて、レジストマスクの厚さの薄い領域を除去し、残存したゲート電極となる導電層、ゲート絶縁層となる絶縁層、半導体層及びチャネル保護層となる絶縁層を露出させる。続いて残存したレジストマスクをマスクとして、ゲート絶縁層となる絶縁層、半導体層及びチャネル保護層となる絶縁層をエッチングし、ゲート電極（同一層で形成される他の電極または配線を含む）、島状のゲート絶縁層、島状の半導体層、島状のチャネル保護層を形成する。その後、レジストマスクを除去する。

20

【0020】

このようにして、ゲート電極（同一層で形成される他の電極または配線を含む）と島状の半導体層の形成を、一回のフォトリソグラフィ工程で行うことができる。この時、島状のゲート絶縁層、島状の半導体層、島状のチャネル保護層は、それぞれの側面が概略一致し、上面から見て各層が概略同様の形状となる。

30

【0021】

なお、本明細書において、「側面が概略一致する層」とは、各層の上端部と下端部が一致する場合、一の層の側面が、他の層の側面に対し内側にえぐれている場合、及び各層の側面のテーパー形状がそれぞれ異なる場合を含めて、上面から見た各層の側面の輪郭が概略一致することを指す。

【0022】

また、ゲート電極の端部を、島状のゲート絶縁層、島状の半導体層、島状のチャネル保護層の端部より突出した形状とすることで、段差が緩和され、後に形成される絶縁層または導電層の被覆性を向上させることができる。

40

【0023】

本発明の一態様は、ゲート電極と、ゲート絶縁層と、半導体層と、チャネル保護層と、ソース電極と、ドレイン電極と、を有し、ソース電極及びドレイン電極は、チャネル保護層に設けられたコンタクトホールを介して半導体層に電気的に接続され、ドレイン電極は、画素電極と電気的に接続され、ゲート絶縁層、半導体層、及びチャネル保護層の側面が概略一致していることを特徴とする表示装置である。

【0024】

また、本発明の一態様は、トランジスタと、容量素子と、を有し、トランジスタは、ゲート電極上に形成されたゲート絶縁層と、ゲート絶縁層上に形成された半導体層と、半導体層上に形成された第1のチャネル保護層と、第1のチャネル保護層上に形成された第2の

50

チャネル保護層と、第2のチャネル保護層上に形成され、第1及び第2のチャネル保護層に形成されたコンタクトホールを介して半導体層に電気的に接続するソース電極及びドレイン電極と、を有し、ドレイン電極は画素電極と電気的に接続され、トランジスタが有するゲート絶縁層、半導体層、及び第1のチャネル保護層の側面は概略一致し、容量素子は、容量配線とドレイン電極の間に、第2のチャネル保護層を挟んで形成されることを特徴とする表示装置である。

【0025】

また、本発明の一態様は、導電層と、第1の絶縁層と、半導体層と、第2の絶縁層を形成し、第1のフォトリソグラフィ工程により、導電層と、第1の絶縁層と、半導体層と、第2の絶縁層を選択的に除去して、ゲート電極と、島状の半導体層を形成し、第2のフォトリソグラフィ工程により、第2の絶縁層の一部を選択的に除去して、島状の半導体層の一部を露出させ、第3のフォトリソグラフィ工程により、ソース電極及びドレイン電極を形成し、第4のフォトリソグラフィ工程により、画素電極を形成することを特徴とする表示装置の作製方法である。

【0026】

また、本発明の一態様は、導電層と、第1の絶縁層と、半導体層と、第2の絶縁層を形成し、第1のフォトリソグラフィ工程により、導電層と、第1の絶縁層と、半導体層と、第2の絶縁層を選択的に除去して、ゲート電極と、容量配線と、島状の半導体層を形成し、ゲート電極と、容量配線と、島状の半導体層を覆って第3の絶縁層を形成し、第2のフォトリソグラフィ工程により、第2の絶縁層及び第3の絶縁層の一部を選択的に除去して、島状の半導体層の一部を露出させ、第3のフォトリソグラフィ工程により、ソース電極及びドレイン電極を形成し、ドレイン電極の一部は、前記第3の絶縁層及び容量配線と重畳し、第4のフォトリソグラフィ工程により、画素電極を形成することを特徴とする表示装置の作製方法である。

【0027】

導電層と、第1の絶縁層と、半導体層と、第2の絶縁層と、第3の絶縁層の除去は、ドライエッチング法またはウェットエッチング法、もしくはドライエッチング法とウェットエッチング法を組み合わせて行うことができる。

【0028】

ゲート電極、ソース電極、ドレイン電極、もしくはこれらの電極に接続する配線を、銅またはアルミニウムを含む材料で形成することにより、配線抵抗を低減し、信号の遅延を防ぐことができる。

【0029】

半導体層には、単結晶半導体、多結晶半導体、微結晶半導体、非晶質半導体等を用いることができる。半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を挙げることができる。

【0030】

また、半導体層に酸化物半導体を用いることもできる。酸化物半導体の電子親和力は、シリコンやゲルマニウムと比較して大きく、半導体層と、ソース電極またはドレイン電極の間にオーミックコンタクト層を設けなくとも、半導体層と当該電極のオーミック接続を実現することができる。半導体層に酸化物半導体を用いることで、半導体装置の作製工程を簡略化することができとなり、半導体装置の生産性を向上させることができる。

【0031】

電子供与体（ドナー）となる水分または水素などの不純物が低減されて高純度化された酸化物半導体（purified OS）は、その後、酸化物半導体に酸素を供給して、酸化物半導体内の酸素欠損を低減することによりi型（真性）又はi型に限りなく近い（実質的にi型化した）酸化物半導体とすることができます。そのため、チャネルが形成される半導体層にi型または実質的にi型化された酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。具体的に、高純度化された酸化物半導体は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectro

10

20

30

40

50

metry)による水素濃度の測定値が、 $5 \times 10^{-9} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{-18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{-17} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{-16} / \text{cm}^3$ 以下とする。また、ホール効果測定により測定できる酸化物半導体層のキャリア密度は、 $1 \times 10^{-4} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{-2} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{-1} / \text{cm}^3$ 未満とする。また、酸化物半導体のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。半導体層に、水分または水素などの不純物が低減されて高純度化され、さらに酸素欠損が低減された酸化物半導体を用いることにより、トランジスタのオフ電流を下げることができる。

【0032】

ここで、酸化物半導体中の、水素濃度のSIMS分析について触れておく。SIMS分析は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる膜が存在する範囲において、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の最大値または最小値を、当該膜中の水素濃度として採用する。さらに、当該膜が存在する領域において、最大値を有する山型のピーク、最小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

【発明の効果】

【0033】

本発明の一態様によれば、表示装置の作製工程を削減できるため、低成本で生産性の良いトランジスタを提供することができる。

【0034】

本発明の一態様によれば、表示装置の作製工程を削減できるため、低成本で生産性の良い表示装置を提供することができる。

【0035】

本発明の一態様によれば、消費電力が低減された表示装置を提供することができる。

【0036】

本発明の一態様によれば、信頼性の高い表示装置を提供することができる。

【0037】

本発明の一態様は、少なくとも上記課題の一つを解決する。

【図面の簡単な説明】

【0038】

【図1】本発明の一態様を説明する上面図及び断面図。

【図2】本発明の一態様を説明する上面図及び断面図。

【図3】本発明の一態様を説明する上面図及び断面図。

【図4】本発明の一態様を説明する回路図。

【図5】本発明の一態様を説明する上面図及び断面図。

【図6】本発明の一態様を説明する断面図。

【図7】本発明の一態様を説明する断面図。

【図8】本発明の一態様を説明する断面図。

【図9】本発明の一態様を説明する断面図。

【図10】本発明の一態様を説明する断面図。

【図11】本発明の一態様を説明する図。

【図12】電子機器の一例を説明する図。

【図13】多階調マスクの一例を説明する図。

【発明を実施するための形態】

【0039】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定さ

10

20

30

40

50

れず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0040】

また、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

【0041】

また、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0042】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0043】

また、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0044】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0045】

(実施の形態1)

本実施の形態では、フォトマスク数及びフォトリソグラフィ工程数を削減した表示装置の画素構成及び作製方法の一例について、図1乃至図9を用いて説明する。

【0046】

図4(A)に、表示装置に用いる半導体装置100の構成の一例を説明する。半導体装置100は、基板101上に画素領域102と、m個(mは1以上の整数)の端子105(105-1から105-m)及び端子107を有する端子部103と、n個(nは1以上の整数)の端子106(106-1から106-n)を有する端子部104を有している。また、半導体装置100は、端子部103に電気的に接続するm本の配線212と、端子部104に電気的に接続するn本の配線216と、配線203を有している。また、画素領域102は、縦m個(行)×横n個(列)のマトリクス状に配置された複数の画素110を有している。i行j列の画素110(i,j)(iは1以上m以下の整数、jは1以上n以下の整数)は、配線212-i、配線216-jにそれぞれ電気的に接続されている。また、各画素は、容量電極または容量配線として機能する配線203と接続され、配線203は端子107と電気的に接続されている。また、配線212-iは端子105-iと電気的に接続され、配線216-jは端子106-jと電気的に接続されている。

【0047】

端子部103及び端子部104は外部入力端子であり、外部に設けられた制御回路とFPC(Flexible Printed Circuit)等を用いて接続される。外部に設けられた制御回路から供給される信号は、端子部103及び端子部104を介して半導体装置100に入力される。図4(A)では、端子部103を画素領域102の左右外

10

20

30

40

50

側に形成し、2力所から信号を入力する構成を示している。また、端子部104を画素領域102の上下外側に形成し、2力所から信号を入力する構成を示している。2力所から信号を入力することにより、信号の供給能力が高まるため、半導体装置100の高速動作が容易となる。また、半導体装置100の大型化や高精細化に伴う配線抵抗の増大による信号遅延の影響を軽減することができる。また、半導体装置100に冗長性を持たせることが可能となるため、半導体装置100の信頼性を向上させることができる。なお、図4(A)では端子部103及び端子部104をそれぞれ2力所設ける構成としているが、それぞれ1力所設ける構成としても構わない。

【0048】

図4(B)は、画素110の回路構成を示している。画素110は、トランジスタ111と、液晶素子112と、容量素子113を有している。トランジスタ111のゲート電極は配線212-iに電気的に接続され、トランジスタ111のソース電極またはドレイン電極の一方は配線216-jに電気的に接続されている。また、トランジスタ111のソース電極またはドレイン電極の他方は、液晶素子112の一方の電極と、容量素子113の一方の電極に電気的に接続されている。液晶素子112の他方の電極は、電極114に電気的に接続されている。電極114の電位は、0Vや、GNDや、共通電位などの固定電位としておけばよい。また、容量素子113の他方の電極は、配線203に電気的に接続されている。

【0049】

トランジスタ111は、液晶素子112に配線216-jから供給される画像信号を入力させるか否かを選択する機能を有する。配線212-iにトランジスタ111をオン状態とする信号が供給されると、トランジスタ111を介して配線216-jの画像信号が液晶素子112に供給される。液晶素子112は、供給される画像信号(電位)に応じて、光の透過率が制御される。容量素子113は、液晶素子112に供給された電位を保持するための保持容量(Cs容量ともいう)としての機能を有する。容量素子113は、必ずしも設ける必要はないが、容量素子113を設けることにより、トランジスタ111がオフ状態の時にソース電極とドレイン電極間に流れる電流(オフ電流)に起因する、液晶素子112に与えられた電位の変動を抑制することができる。

【0050】

トランジスタ111のチャネルが形成される半導体層には、単結晶半導体、多結晶半導体、微結晶半導体、非晶質半導体等を用いることができる。半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を挙げることができる。また、トランジスタ111のチャネルが形成される半導体層に酸化物半導体を用いることもできる。

【0051】

また、一般に、シリコンやゲルマニウムなどの電子親和力は、金属の仕事関数よりも小さい。このため、シリコンやゲルマニウムを用いた半導体層と、ソース電極またはドレイン電極のオーミック接触を実現する必要がある場合は、半導体層と、ソース電極またはドレイン電極の間にオーミックコンタクト層を設ける必要がある。

【0052】

しかしながら、酸化物半導体の電子親和力は、シリコンやゲルマニウムと比較して大きいため、ソース電極またはドレイン電極と酸化物半導体を用いた半導体層の間にオーミックコンタクト層を設けなくとも、オーミック接触を実現することが可能となる。例えば、In-Ga-Zn-O系の酸化物半導体の電子親和力は4.3eV程度であるため、半導体層にIn-Ga-Zn-O系の酸化物半導体を用いて、該半導体層に接続するソース電極またはドレイン電極に仕事関数が4.1eV程度であるチタンや、仕事関数が4.0eV程度である窒化チタン等を用いることで、オーミックコンタクト層を設けることなく、半導体層とソース電極またはドレイン電極のオーミック接触を実現することが可能となる。半導体層に酸化物半導体を用いることで、半導体装置の作製工程を簡略化することが可能となり、半導体装置の生産性を向上させることができる。

10

20

30

40

50

【0053】

次に、図4で示した画素110の構成例について、図1乃至図3を用いて説明する。図1(A)は、画素110の平面構成を示す上面図であり、図1(B)は、図1(A)におけるA1-A2の鎖線で示す部位の積層構成を示す断面図である。また、図1(C)は、図1(A)におけるB1-B2の鎖線で示す部位の積層構成を示す断面図である。

【0054】

本実施の形態に示すトランジスタ111は、U字型(C字型、コの字型、または馬蹄型)のソース電極206aで、ドレイン電極206bを囲む形状としている。このような形状とすることで、トランジスタ111の占有面積が小さくても、十分なチャネル幅を確保することが可能となり、トランジスタの導通時に流れる電流(オン電流ともいう)の量を増やすことが可能となる。

10

【0055】

また、画素電極210と電気的に接続するドレイン電極206bと、ゲート電極202の間に生じる寄生容量が大きいと、フィードスルーの影響を受けやすくなるため、液晶素子112に供給された電位が正確に保持できず、表示品位が低下する要因となる。本実施の形態に示すように、ソース電極206aをU字型として、ドレイン電極206bを囲む形状とすることで、十分なチャネル幅を確保しつつ、ドレイン電極206bとゲート電極202間に生じる寄生容量を小さくすることができるため、表示装置の表示品位を向上させることができる。

20

【0056】

また、ソース電極206aとドレイン電極206bのどちらか、もしくは両方をトランジスタ111のチャネル形成領域を極力覆うように設けることで、遮光層として機能させることもできる。半導体層のチャネル形成領域と重なるように遮光層を設けることで、光照射によるトランジスタ特性の劣化を防ぐことができる。

【0057】

配線203は、容量電極または容量配線として機能する。本実施の形態では、配線203と、絶縁層215と、ドレイン電極206bを重畳させて容量素子113を形成している。

【0058】

断面A1-A2は、トランジスタ111及び容量素子113の積層構造を示している。本実施の形態におけるトランジスタ111は、ボトムゲート構造のトランジスタである。断面B1-B2は、配線216-jと、配線212-iの交差部における積層構造を示している。

30

【0059】

図1(B)に示す断面A1-A2において、基板200上に絶縁層201が形成され、絶縁層201上にゲート電極202及び配線203が形成されている。絶縁層201は下地層として機能する。また、ゲート電極202上に、ゲート絶縁層として機能する絶縁層204、半導体層205、チャネル保護層として機能する絶縁層214及び絶縁層215が形成されている。また、絶縁層215は半導体層205の側面を覆って形成されており、半導体層205の側面からの不純物浸入を防ぐ役割も有する。

40

【0060】

また、絶縁層215上にソース電極206a及びドレイン電極206bが形成され、絶縁層214、及び絶縁層215に設けられたコンタクトホール208を介して、半導体層205に電気的に接続されている。また、絶縁層215上に画素電極210が形成され、ドレイン電極206bと電気的に接続されている。

【0061】

配線203とドレイン電極206bが、絶縁層215を間に挟んで重畳している部分が容量素子113として機能する。絶縁層215は容量素子113の誘電体層として機能する。

【0062】

50

図1(C)に示す断面B1-B2において、基板200上に絶縁層201が形成され、絶縁層201上に配線212-iが形成されている。また、配線212-i上に、絶縁層204と半導体層205が形成されている。また、半導体層205上に絶縁層214、及び絶縁層215が形成され、絶縁層215上に配線216-jが形成されている。

【0063】

配線216-jと配線212-iの間に、上記絶縁層及び半導体層を設けることで、両配線間の膜厚方向の間隔を広げることができるために、配線216-jと配線212-iの交差部における寄生容量を低減することができる。交差部における寄生容量を低減することにより、配線216-j及び配線212-iに供給される信号の遅延や波形のなまりが軽減され、表示品位の良い表示装置を実現することができる。

10

【0064】

次に、図1で示した画素110と置き換え可能で、画素110とは異なる構成を有する画素120について、図2を用いて説明する。図2(A)は、画素120の平面構成を示す上面図である。図2(B)に示す断面C1-C2は、図2(A)におけるC1-C2の鎖線で示す部位の断面に相当する。図2に示す画素120は、画素110と容量素子の構成が異なる。

【0065】

画素120が有する容量素子123は、配線203と、絶縁層215と、画素電極210を重畠させて形成する。容量素子の一方の電極に画素電極を用いることで、画素120の開口率を向上させることができ、また、高精細化が容易となるため、表示装置の表示品位を向上させることができる。また、バックライトからの光を効率よく使用することができるため、表示装置の消費電力を低減することができる。

20

【0066】

続いて、図1及び図2で示した画素110及び画素120と置き換え可能で、画素110及び画素120とは異なる構成を有する画素130について、図3を用いて説明する。図3(A)は、画素130の平面構成を示す上面図である。図3(B)に示す断面D1-D2は、図3(A)におけるD1-D2の鎖線で示す部位の断面に相当する。図3に示す画素130は、画素110及び画素120と容量素子の構成が異なる。

20

【0067】

画素130では配線203を省略し、容量素子133を、画素130に隣接する画素が有する配線212-i+1と、絶縁層215と、画素電極210を重畠させて形成する。配線203を省略することで、画素130の開口率を向上させることができ、また、高精細化が容易となるため、表示装置の表示品位を向上させることができる。また、バックライトからの光を効率よく使用することができるため、表示装置の消費電力を低減することができる。なお、画素130では配線203を省略するため、半導体装置100の端子107も省略することができる。

30

【0068】

次に、端子105(m個の端子105の一つ)及び端子106(n個の端子106の一つ)の構成例について、図5を用いて説明する。なお、端子107も、端子105または端子106と同様の構成とすることができる。図5(A1)、図5(A2)は、端子105の上面図及び断面図をそれぞれ図示している。図5(A1)におけるJ1-J2の鎖線は、図5(A2)における断面J1-J2に相当する。また、図5(B1)、図5(B2)は、端子106の上面図及び断面図をそれぞれ図示している。図5(B1)におけるK1-K2の鎖線は、図5(B2)における断面K1-K2に相当する。なお、断面J1-J2及び断面K1-K2において、J2及びK2は、基板端部側に相当する。

40

【0069】

断面J1-J2において、基板200上に絶縁層201が形成され、絶縁層201上に配線212が形成されている。また、配線212上に、絶縁層215が形成されている。絶縁層215上に電極221が形成され、電極221は、絶縁層215に形成されたコンタクトホール219を介して配線212に電気的に接続されている。また、電極221上に

50

電極 222 が形成されている。

【0070】

断面 K1 - K2 において、基板 200 上に、絶縁層 201、絶縁層 215 が形成されている。絶縁層 215 上に配線 216 が形成され、配線 216 上に電極 223 が形成されている。

【0071】

続いて、図 1 を用いて説明した表示装置の画素 110 と、図 5 を用いて説明した端子 105 及び端子 106 の作製方法について、図 6 乃至図 9 を用いて説明する。なお、図 6 乃至図 9 における断面 A1 - A2、断面 J1 - J2、及び断面 K1 - K2 は、図 1 及び図 5 における A1 - A2、J1 - J2、及び K1 - K2 の鎖線で示した部位の断面図である。

10

【0072】

まず、基板 200 上に、絶縁層 201、導電層 231、絶縁層 232、半導体層 233、及び絶縁層 234 を形成する。この時、絶縁層 201、導電層 231、絶縁層 232、半導体層 233、及び絶縁層 234 を大気に曝すことなく連続して形成することで、各層及び各層界面の汚染を防ぎ、半導体装置の特性及び信頼性を高めることができる（図 6 (A) 参照）。

【0073】

基板 200 は、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス合金等の金属の基板の表面に絶縁層を設けたものを用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミニウムホウケイ酸ガラス若しくはアルミニウムケイ酸ガラス等の無アルカリガラス基板を用いるとよい。他に、石英基板、サファイア基板などを用いることができる。また、酸化ホウ素 (B_2O_3) と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

20

【0074】

絶縁層 201 は、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、酸化シリコン、窒化シリコン、窒化酸化シリコンまたは酸化窒化シリコンから選ばれた一又は複数の絶縁層による積層構造により形成することができ、基板 200 からの不純物元素の拡散を防止する機能がある。なお、本明細書中において、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS 及び HFS を用いて測定した場合に、組成範囲として酸素が 5 ~ 30 原子%、窒素が 20 ~ 55 原子%、シリコンが 25 ~ 35 原子%、水素が 10 ~ 30 原子% の範囲で含まれるものという。絶縁層 201 は、スパッタリング法、MBE (Molecular Beam Epitaxy) 法、CVD 法、パルスレーザ堆積法、ALD (Atomic Layer Deposition) 法、塗布法、印刷法等を適宜用いることができる。また、絶縁層 201 は 50 nm 以上 300 nm 以下、好ましくは 100 nm 以上 200 nm 以下の厚さで形成する。

30

【0075】

また、下地層として機能する絶縁層 201 に、塩素、フッ素などのハロゲン元素を含ませることで、基板 200 からの不純物元素の拡散を防止する機能をさらに高めることができる。絶縁層 201 に含ませるハロゲン元素の濃度は、SIMS (二次イオン質量分析計) を用いた分析により得られる濃度ピークにおいて、 $1 \times 10^{15} / cm^3$ 以上 $1 \times 10^{20} / cm^3$ 以下とすればよい。

40

【0076】

次に、絶縁層 201 上にスパッタリング法、真空蒸着法、メッキ法等を用いて、100 nm 以上 500 nm 以下、好ましくは 200 nm 以上 300 nm 以下の厚さで導電層 231 を形成する。

【0077】

導電層 231 は、モリブデン (Mo)、チタン (Ti)、タンクスチタン (W) タンタル (

50

Ta)、アルミニウム(A1)、銅(Cu)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)、マグネシウム(Mg)等の金属材料、又はこれらを主成分とする材料を用いて、単層又は積層して形成することができる。例えば、導電層231を、Cu-Mg-A1合金と、CuまたはA1の積層としてもよい。絶縁層201と接してCu-Mg-A1合金材料を設けることで、導電層231の密着性を向上させることができる。

【0078】

導電層231は、後のフォトリソグラフィ工程により電極または配線として形成されるため、低抵抗材料であるA1やCuを用いるのが好ましい。A1やCuを用いることで、信号の遅延や波形のなまりが軽減され、表示品位の良い表示装置を実現することができる。なお、A1は耐熱性が低く、ヒロック、ウィスカー、あるいはマイグレーションによる不良が発生しやすい。A1のマイグレーションを防ぐため、Mo、Ti、Wなどの、A1よりも融点の高い金属材料、又はこれらを主成分とする材料をA1と積層することが好ましい。また、絶縁物でなければ、上記材料の酸化物または窒化物を積層しても良い。また、導電層231にA1を含む材料を用いる場合には、以後の工程におけるプロセス最高温度を380以下とすることが好ましく、350以下とするとさらに好ましい。

10

【0079】

また、導電層231にCuを用いる場合も、マイグレーションによる不良やCu元素の拡散を防ぐため、Mo、Ti、Wなどの、Cuよりも融点の高い金属材料、又はこれらを主成分とする材料を積層することが好ましい。また、絶縁物でなければ、上記材料の酸化物または窒化物を積層しても良い。例えば、導電層231を窒化チタンとCuの積層としてもよい。また、導電層231にCuを含む材料を用いる場合には、以後の工程におけるプロセス最高温度を450以下とすることが好ましい。

20

【0080】

本実施の形態では、導電層231として、絶縁層201上に厚さ5nmの窒化チタンを形成し、窒化チタン上に厚さ250nmのCuを形成する。

【0081】

次に、導電層231上に、ゲート絶縁層として機能する絶縁層232を形成する。絶縁層232には、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ランタン、酸化ハフニウム、ハフニウムシリケート(HfSi_xO_y(x>0, y>0))等を用いることができ、絶縁層201と同様の方法で形成することができる。また、絶縁層232は単層に限らず異なる層の積層でも良い。例えば、絶縁層AとしてプラズマCVD法により窒化シリコン層(SiN_y(y>0))を形成し、絶縁層Aの上に絶縁層Bとして酸化シリコン層(SiO_x(x>0))を積層して、絶縁層232としても良い。

30

【0082】

また、絶縁層232の形成は、スパッタリング法やプラズマCVD法などの他、μ波(例えば周波数2.45GHz)を用いた高密度プラズマCVD法などの成膜方法を適用することができる。

【0083】

本実施の形態では、絶縁層232として、窒化シリコンと酸化シリコンの積層を用いる。具体的には、導電層231上に窒化シリコンを50nmの厚さで形成し、該窒化シリコン上に酸化シリコンを100nmの厚さで形成する。

40

【0084】

また、この後形成する半導体層に酸化物半導体を用いる場合には、該酸化物半導体と同種の成分を含む絶縁材料を絶縁層232に用いてもよい。絶縁層232を異なる層の積層とする場合には、酸化物半導体に接する層を酸化物半導体と同種の成分を含む絶縁材料とすればよい。このような材料は酸化物半導体との相性が良く、これを絶縁層232に用いることで、酸化物半導体との界面の状態を良好に保つことができるからである。ここで、「酸化物半導体と同種の成分」とは、酸化物半導体の構成元素から選択される一または複数

50

の元素を意味する。例えば、酸化物半導体が $In - Ga - Zn$ 系の酸化物半導体材料によって構成される場合、同種の成分を含む絶縁材料としては酸化ガリウムなどがある。

【0085】

また、絶縁層 232 を積層構造とする場合には、酸化物半導体と同種の成分を含む絶縁材料でなる膜と、該膜の成分材料とは異なる材料を含む膜との積層構造としても良い。

【0086】

次いで、絶縁層 232 上に半導体層 233 を形成する。ここでは、半導体層 233 に酸化物半導体を用いる例について説明する。酸化物半導体は、スパッタリング法、蒸着法、PCVD 法、PLD 法、ALD 法または MBE 法などを用いて形成することができる。

【0087】

酸化物半導体は、好ましくはスパッタリング法により、基板加熱温度を 100 以上 600 以下、好ましくは 150 以上 550 以下、さらに好ましくは 200 以上 500 以下とし、スパッタガスとして酸素ガスを用いて成膜する。酸化物半導体の厚さは、1 nm 以上 40 nm 以下、好ましくは 3 nm 以上 20 nm 以下とする。成膜時の基板加熱温度が高いほど、得られる酸化物半導体中の不純物濃度は低くなる。

【0088】

なお、酸化物半導体をトランジスタのチャネル形成領域として用いる場合は、酸化物半導体が薄いほどトランジスタの短チャネル効果が低減される。ただし、薄くしすぎると界面散乱の影響が強くなり、電界効果移動度の低下が起こることがある。

【0089】

半導体層 233 に用いる酸化物半導体としては、四元系金属の酸化物である $In - Sn - Ga - Zn$ 系酸化物や、三元系金属の酸化物である $In - Ga - Zn$ 系酸化物、 $In - Sn - Zn$ 系酸化物、 $In - Al - Zn$ 系酸化物、 $Sn - Ga - Zn$ 系酸化物、 $Al - Ga - Zn$ 系酸化物、 $Sn - Al - Zn$ 系酸化物や、二元系金属の酸化物である $In - Zn$ 系酸化物、 $Sn - Zn$ 系酸化物、 $Al - Zn$ 系酸化物、 $Zn - Mg$ 系酸化物、 $Sn - Mg$ 系酸化物、 $In - Mg$ 系酸化物や、 $In - Ga$ 系酸化物、 In 系酸化物、 Sn 系酸化物、 Zn 系酸化物などを用いることができる。また、上記酸化物半導体に酸化シリコンを含ませてもよい。

【0090】

酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。酸化物半導体を i 型 (真性) とするため、この後行う脱水化または脱水素化、及び酸素の供給は有効である。

【0091】

なお、酸化物半導体をトランジスタのチャネル形成領域として用いる場合は、トランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0092】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

【0093】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属酸化物である $In - Zn$ 系酸化物、 $Sn - Zn$ 系酸化物、 $Al - Zn$ 系酸化物、 $Zn - Mg$ 系酸化物、 $Sn - Mg$ 系酸化物、 $In - Mg$ 系酸化物、 $In - Ga$ 系酸化物、三元系金属酸化物である $In - Ga - Zn$ 系酸化物 (「IGZO」ともいう)、 $In - Al - Zn$ 系酸化物、 $In - Sn - Zn$ 系酸化物、 $Sn - Ga - Zn$ 系酸化物、 $Al - Ga - Zn$ 系酸化物

10

20

30

40

50

、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0094】

10

なお、例えば、In-Ga-Zn系酸化物とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物という意味であり、その化学量論比は問わない。また、InとGaとZn以外の元素を含んでもよい。

【0095】

また、酸化物半導体として、化学式 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、Mは、Sn、Zn、Fe、Ga、Al、Mn及びCoから選ばれた一または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$) で表記される材料を用いてもよい。

【0096】

20

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0097】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるために、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0098】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成する方が好ましく、具体的には、平均面粗さ（Ra）が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

30

【0099】

本実施の形態では、酸化物半導体層としてIn-Ga-Zn系酸化物ターゲットを用いてスパッタリング法により30nmの厚さで酸化物半導体を形成する。また、酸化物半導体層は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。スパッタガスを希ガスと酸素の混合雰囲気とする場合は、酸素ガスの割合を30体積%以上、好ましくは50体積%以上、さらに好ましくは80体積%以上とする。

【0100】

40

酸化物半導体層としてIn-Ga-Zn系酸化物をスパッタリング法で形成するためのターゲットとしては、例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比] の金属酸化物ターゲットを用い、In-Ga-Zn-O層を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比]、 $In_2O_3 : Ga_2O_3 : ZnO = 2 : 2 : 1$ [mol数比]、または $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ [mol数比] の金属酸化物ターゲットを用いてもよい。また、 $In_2O_3 : Ga_2O_3 : ZnO = 2 : 0 : 1$ [mol数比] の組成比を有するターゲットを用いることもできる。また、原子数比で $In : Ga : Zn = 1 : 1 : 1$ 、 $4 : 2 : 3$ 、 $3 : 1 : 2$ 、 $1 : 1 : 2$ 、 $2 : 1 : 3$ 、または $3 : 1 : 4$ で示されるIn-Ga-Zn系金属酸化物ターゲットを用いてもよい。

50

【0101】

また、酸化物半導体層としてIn-Sn-Zn系酸化物材料をスパッタリング法で形成する場合は、原子数比がIn:Sn:Zn = 1:1:1、2:1:3、1:2:2、または20:45:35で示されるIn-Sn-Zn系金属酸化物ターゲットを用いることが好ましい。

【0102】

また、金属酸化物ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体を緻密な膜とすることができます。

【0103】

酸化物半導体層を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。例えば、スパッタガスとしてアルゴンを用いる場合は、純度9N、露点-121、含有H₂O量0.1ppb以下、含有H₂量0.5ppb以下が好ましく、酸素を用いる場合は、純度8N、露点-112、含有H₂O量1ppb以下、含有H₂量1ppb以下が好ましい。

10

【0104】

酸化物半導体層の成膜は、減圧状態に保持された成膜室内に基板を保持し、基板温度を100以上600以下好ましくは300以上500以下として行う。なお、導電層231にAlが用いられている場合は、基板温度を380以下、好ましくは350以下とし、また、導電層231にCuが用いられている場合は、基板温度を450以下とする。

20

【0105】

基板を加熱しながら成膜することにより、成膜した酸化物半導体層に含まれる水素、水分、水素化物、または水酸化物などの不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層を成膜する。

【0106】

成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

30

【0107】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源電力0.5kW、スパッタガスとして酸素(酸素流量比率100%)を用いる条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)が軽減でき、膜厚分布も均一となるために好ましい。

【0108】

40

次いで、必要であれば、第1の加熱処理を行ってもよい。第1の加熱処理によって酸化物半導体層中の過剰な水素(水や水酸基を含む)を除去(脱水化または脱水素化)し、酸化物半導体層の構造を整え、酸化物半導体層中の不純物濃度を低減することができる。

【0109】

第1の加熱処理は、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、250以上750以下、または400以上基板の歪み点未満の温度で行う。ただし、第1のフォトリソグラフィ工程により形成された配線層にAlが用いられている場合は、加熱処理の温度を

50

380 以下、好ましくは350 以下とし、また、第1のフォトリソグラフィ工程により形成された配線層にCuが用いられている場合は、加熱処理の温度を450 以下とする。本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下で450 、1時間の加熱処理を行う。

【0110】

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

【0111】

例えば、第1の加熱処理として、高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってよい。

【0112】

第1の加熱処理を、窒素または希ガスなどの不活性ガス、酸素、超乾燥エアのガス雰囲気下で行なう場合は、これらの雰囲気に水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N (99.9999%) 以上好ましくは7N (99.9999%) 以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とする。

【0113】

第1の加熱処理は、減圧雰囲気または不活性雰囲気で加熱処理を行った後、温度を保持しつつ酸化性雰囲気に切り替えてさらに加熱処理を行うと好ましい。これは、減圧雰囲気または不活性雰囲気で加熱処理を行うと、酸化物半導体層中の不純物濃度を低減することができるが、同時に酸素欠損も生じてしまうためあり、このとき生じた酸素欠損を、酸化性雰囲気での加熱処理により低減することができる。

【0114】

また、第1の熱処理は、酸化物半導体層形成後であれば、いつ行っても構わない。

【0115】

次いで、半導体層233の上に、絶縁層234を形成する。絶縁層234は、絶縁層201または絶縁層232と同様の材料及び方法で形成することができる。

【0116】

なお、半導体層233に酸化物半導体を用いる場合、絶縁層234として、酸素を含む絶縁物を用いることが好ましい。また、半導体層233に酸化物半導体を用いる場合、酸化物半導体と同種の成分を含む金属酸化物を形成してもよい。

【0117】

本実施の形態では、絶縁層234として膜厚200nmの酸化シリコンをスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300 以下とすればよく、本実施の形態では100 とする。酸化シリコンのスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行なうことができる。また、ターゲットには、酸化シリコンまたはシリコンを用いることができる。例えば、シリコンをターゲットに用いて、酸素を含む雰囲気下でスパッタを行うと酸化シリコンを形成することができる。

【0118】

絶縁層234の成膜時における成膜室内の残留水分を除去するためには、吸着型の真空ボ

10

20

30

40

50

ンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層234は、絶縁層234中に含まれる不純物の濃度を低減することができる。また、絶縁層234の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

【0119】

絶縁層234を成膜する際に用いるスペッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0120】

次いで、必要であれば、減圧雰囲気下、不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア雰囲気下で第2の加熱処理（好ましくは200以上600以下、例えば250以上550以下）を行ってもよい。ただし、導電層231にAlが用いられている場合は、加熱処理の温度を380以下、好ましくは350以下とし、また、導電層231にCuが用いられている場合は、加熱処理の温度を450以下とする。例えば、窒素雰囲気下で450、1時間の第2の加熱処理を行ってもよい。第2の加熱処理を行うと、酸化物半導体層が絶縁層234と接した状態で昇温され、酸素を含む絶縁層234から酸素を半導体層233へ供給することができる。なお、絶縁層234形成後に、第2の加熱処理を兼ねて第1の加熱処理を行っても良い。また、半導体層233への酸素の供給は、イオン注入法またはイオンドーピング法などを用いて行ってもよい。

10

【0121】

次いで、第1のフォトリソグラフィ工程を行う。まず、絶縁層234の上に第1のフォトマスクとして多階調マスクを用いて、レジストマスク235を形成する（図6（B）参照）。

20

【0122】

ここで、図13を用いて、多階調マスクについて説明しておく。多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、透過した光が複数の強度となる露光マスクである。一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、露光マスク（フォトマスク）の枚数を削減することが可能である。

【0123】

30

多階調マスクの代表例としては、図13（A）に示すようなグレートーンマスク801a、図13（C）に示すようなハーフトーンマスク801bがある。

【0124】

図13（A）に示すように、グレートーンマスク801aは、透光性基板802及びその上に形成される遮光部803並びに回折格子804で構成される。遮光部803においては、光の透過率が0%である。一方、回折格子804はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子804は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0125】

40

透光性基板802としては、石英等の透光性基板を用いることができる。遮光部803及び回折格子804は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0126】

グレートーンマスク801aに露光光を照射した場合、図13（B）に示すように、遮光部803においては、光透過率805は0%であり、遮光部803及び回折格子804が設けられていない領域では光透過率805は100%である。また、回折格子804においては、10~70%の範囲で調整可能である。回折格子804における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

50

【0127】

図13(C)に示すように、ハーフトーンマスク801bは、透光性基板802及びその上に形成される半透過部807並びに遮光部806で構成される。半透過部807は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部806は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0128】

ハーフトーンマスク801bに露光光を照射した場合、図13(D)に示すように、遮光部806においては、光透過率808は0%であり、遮光部806及び半透過部807が設けられていない領域では光透過率808は100%である。また、半透過部807においては、10~70%の範囲で調整可能である。半透過部807に於ける光の透過率の調整は、半透過部807の材料により調整可能である。10

【0129】

多階調マスクを用いて形成されたレジストマスク235は、厚さの異なる複数の領域(ここでは、2つの領域)からなるレジストマスクであり、厚さの厚い領域と、薄い領域を有する。レジストマスク235において、厚い領域をレジストマスク235の凸部と呼び、薄い領域をレジストマスク235の凹部と呼ぶ場合がある。

【0130】

レジストマスク235をマスクとして、導電層231、絶縁層232、半導体層233、及び絶縁層234を選択的にエッチングし、ゲート電極202、配線203、配線212、島状の絶縁層204、島状の半導体層205、島状の絶縁層214を形成する(図7(A)参照)。20

【0131】

導電層231、絶縁層232、半導体層233、及び絶縁層234のエッチングは、ドライエッティングでもウェットエッティングでもよく、両方を用いてもよい。ドライエッティングに用いるエッティングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl₂)、三塩化硼素(BCl₃)、四塩化珪素(SiCl₄)、四塩化炭素(CCl₄)など)を用いることができる。

【0132】

ドライエッティングとしては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用いることができる。また、絶縁層201は基板200からの不純物元素の拡散を防止する機能を有するため、上記エッティングに際して、絶縁層201が極力エッティングされることのないように、エッティング条件を調整することが好ましい。また、絶縁層201の材料に、上記エッティングの際にエッティングされにくい材料を用いると好適である。30

【0133】

次いで、酸素プラズマによるアッシング等により、レジストマスク235を縮小させる。この時、レジストマスク235の厚さの薄い領域のレジストは除去され、島状の絶縁層214が露出する(図7(B)参照)。40

【0134】

次いで、残存したレジストマスク235をマスクとして、島状の絶縁層204、島状の半導体層205、島状の絶縁層214を選択的に除去し、ゲート電極202の一部、配線203の一部、配線212の一部を露出させる。この時、島状の絶縁層204、島状の半導体層205、及び島状の絶縁層214は、それぞれの側面が概略一致し、上面から見て各層が概略同様の形状となる。

【0135】

また、ゲート電極202の端部を、島状の絶縁層204、島状の半導体層205、島状の絶縁層214の端部より外側に突出した形状とすることで、段差が緩和され、後に形成される絶縁層または導電層の被覆性を向上させることができる。(図8(A)参照)。50

【0136】

また、島状の半導体層205をゲート電極202と重畠させ、かつ、ゲート電極202よりも島状の半導体層205を小さく設けることで、ゲート電極202側からの光照射によるトランジスタ特性の劣化を防ぐことができる。

【0137】

なお、図示していないが、後に形成される配線216と、配線203及び配線212の交差部における寄生容量を低減させるため、交差部に相当する部位の配線203及び配線212上に、島状の絶縁層204、島状の半導体層205、島状の絶縁層214を残存させる。

【0138】

次いで、レジストマスク235を除去する。多階調マスクを用いると、複数回のフォトリソグラフィ工程を一回のフォトリソグラフィ工程に置き換えることが可能となるため、半導体装置の生産性を向上させることができる。

10

【0139】

なお、特段の説明が無い限り、本明細書で言うフォトリソグラフィ工程には、レジストマスクの形成工程と、導電層または絶縁層のエッチング工程と、レジストマスクの剥離工程が含まれているものとする。

【0140】

次いで、島状の絶縁層214、配線203、配線212上に絶縁層215を形成する。絶縁層215は、絶縁層201、絶縁層232（島状の絶縁層204）、絶縁層234（島状の絶縁層214）と同様の材料及び方法で形成することができる。また、絶縁層215は、容量素子113の誘電体層として機能するため、比誘電率が大きい材料を用いることが好ましい。本実施の形態では、絶縁層215として膜厚200nmの窒化シリコンをスパッタリング法を用いて成膜する。窒化シリコンは酸化シリコンよりも比誘電率が大きく、また、外部からの不純物の浸入を防ぐ保護層として機能することができるため好ましい（図8（B）参照）。

20

【0141】

次いで、第2のフォトマスクを用いた第2のフォトリソグラフィ工程により、絶縁層215及び絶縁層214を選択的に除去し、コンタクトホール208及びコンタクトホール219を形成する。コンタクトホール208において、半導体層205の一部が露出し、コンタクトホール219において、配線212の一部が露出する（図9（A）参照）。また、接触抵抗を低減するため、コンタクトホールは極力大きい面積もしくは、コンタクトホールの数を多くすることが好ましい。

30

【0142】

次いで、絶縁層215上に導電層を形成し、第3のフォトマスクを用いた第3のフォトリソグラフィ工程により、ソース電極206a、ドレイン電極206b、電極221、配線216を形成する（図9（B）参照）。ソース電極206a、ドレイン電極206b、電極221、配線216を形成するための導電層は、導電層231と同様の材料及び方法で形成することができる。本実施の形態では、導電層として、スパッタリング法により絶縁層215上に厚さ5nmの窒化チタンを形成し、窒化チタン上に厚さ250nmのCuを形成する。

40

【0143】

次いで、ソース電極206a、ドレイン電極206b、電極221、配線216上に透光性を有する導電層を形成し、第4のフォトマスクを用いた第4のフォトリソグラフィ工程により、画素電極210、電極222、電極223を形成する（図9（C）参照）。

【0144】

透光性を有する導電層は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いる

50

ことができる。

【0145】

また、ソース電極206a、ドレン電極206b、配線216などの酸化を防ぐため、これらの電極または配線の一部または全部を、画素電極210を形成するための導電層で覆うこともできる。

【0146】

また、本実施の形態では透過型の表示装置の画素部の作製方法について例示したが、透過型に限らず、反射型の表示装置の画素部にも適用することができる。反射型の表示装置の画素部を得る場合は、画素電極として光反射率の高い導電層（反射導電層ともいう）、例えば、アルミニウム、チタン、銀、ロジウム、ニッケルなどの可視光の反射率が高い金属、或いは、これら金属の少なくとも1つを含む合金、またはそれらの積層を用いればよい。

【0147】

また、必要に応じて、画素電極と同じ材料を、半導体層のチャネル形成領域と重なるように配置することもできる。

【0148】

本実施の形態では、透光性を有する導電層として厚さ80nmのITOを用いる。また、ITOのエッチングは、関東化学株式会社製の透明導電膜エッチング液ITO-07Nを用いることができる。

【0149】

また、端子部103及び端子部104において、配線212及び配線216を露出した状態のままでせず、ITOなどの酸化物導電性材料で覆うことは重要である。配線212及び配線216は金属層であるため、配線212及び配線216を露出した状態のままですると、露出表面が酸化され、FPC等との接触抵抗が増大する。接触抵抗の増大は、外部から入力される信号の遅延や波形のなまりを生じるため、外部からの信号が正確に伝達されず、半導体装置の信頼性を低下させてしまう。配線212及び配線216の露出表面を、ITOなどの酸化物導電性材料で覆うことにより、FPC等との接触抵抗の増大を防ぎ、半導体装置の信頼性を向上させることができる。

【0150】

以上の作製方法により、トランジスタ111及び容量素子113を有する画素110と、端子105及び端子106を形成することができる。また、画素120及び画素130も、画素110と同様の作製方法により形成することができる。

【0151】

また、半導体層205は、上面及び側面が絶縁層215で覆われ、下面が金属層であるゲート電極202により覆われているため、外部から不純物が浸入しにくく、信頼性の高い半導体装置とすることができます。加えて、絶縁層215と絶縁層201を窒化シリコンで形成し、半導体層205を窒化シリコンで覆う構成とすることで、半導体装置の信頼性をさらに向上させることができる。

【0152】

本実施の形態によれば、従来よりも少ないフォトマスク及びフォトリソグラフィ工程により半導体装置を作製することが可能となる。よって、低コストで、生産性の良い表示装置を作製することができる。

【0153】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0154】

（実施の形態2）

本実施の形態では、実施の形態1と一部異なる工程例を、図10を用いて説明する。なお、実施の形態1と同一の箇所には同じ符号を用い、同じ符号の詳細な説明はここでは省略する。

【0155】

10

20

30

40

50

まず、実施の形態1と同様に、基板200上に絶縁層201を形成し、絶縁層201上に導電層231を形成する。本実施の形態では、後に成膜する半導体層の成膜温度が200以上450以下、半導体層の成膜後の加熱処理の温度が200以上450以下であるため、導電層231として、2層のMoの間にCuを挟んだ3層の積層を用いる。

【0156】

次いで、導電層231の上に絶縁層232を設け、絶縁層232の上に1nm以上10nm以下の第1の酸化物半導体層を形成する。本実施の形態では、酸化物半導体用ターゲット(Indium-Ga-Zn系酸化物半導体用ターゲット(Indium₂O₃:GaN₂O₃:ZnO=1:1:2[mol数比])を用いて、基板とターゲットの間との距離を170mm、基板温度250、圧力0.4Pa、直流(DC)電源電力0.5kWとし、スパッタガスを酸素のみ、アルゴンのみ、または、アルゴン及び酸素として、膜厚5nmの第1の酸化物半導体層を成膜する。

【0157】

次いで、基板を配置する雰囲気を窒素、または乾燥空気とし、第1の加熱処理を行う。第1の加熱処理の温度は、200以上450以下とする。また、第1の加熱処理の加熱時間は1時間以上24時間以下とする。第1の加熱処理によって第1の酸化物半導体層が結晶化され、第1の結晶性酸化物半導体層148aとなる(図10(B)参照)。

【0158】

次いで、第1の結晶性酸化物半導体層148a上に10nmよりも厚い第2の酸化物半導体層を形成する。本実施の形態では、酸化物半導体用ターゲット(Indium-Ga-Zn系酸化物半導体用ターゲット(Indium₂O₃:GaN₂O₃:ZnO=1:1:2[mol数比])を用いて、基板とターゲットの間との距離を170mm、基板温度400、圧力0.4Pa、直流(DC)電源電力0.5kWとし、スパッタガスとして酸素のみ、アルゴンのみ、または、アルゴン及び酸素として、膜厚25nmの第2の酸化物半導体層を成膜する。

【0159】

次いで、基板を配置する雰囲気を窒素、または乾燥空気とし、第2の加熱処理を行う。第2の加熱処理の温度は、200以上450以下とする。また、第2の加熱処理の加熱時間は1時間以上24時間以下とする。第2の加熱処理によって第2の酸化物半導体層が結晶化され、第2の結晶性酸化物半導体層148bとなる(図10(C)参照)。

【0160】

次いで、第2の結晶性酸化物半導体層148b上に絶縁層234を形成する。以降の工程は、実施の形態1に従って行うことで、トランジスタ111を得ることができる。ただし、本実施の形態を用いた場合、トランジスタ111のチャネル形成領域を含む半導体層は、第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bの積層となる。第1の結晶性酸化物半導体層148a、及び第2の結晶性酸化物半導体層148bは、C軸配向を有している。

【0161】

第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層を有するトランジスタは、トランジスタに光照射が行われ、またはバイアス-熱ストレス(BT)試験前後においてもトランジスタのしきい値電圧の変化量が低減でき、安定した電気的特性を有する。

【0162】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

【0163】

(実施の形態3)

実施の形態1及び実施の形態2で例示したトランジスタを用いた表示装置の一形態を図11に示す。

【0164】

図11(A)は、トランジスタ4010、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止したパネルの平面図であり

10

20

30

40

50

、図11(B)は、図11(A)のM-Nにおける断面図に相当する。

【0165】

第1の基板4001上に設けられた画素部4002を囲むようにして、シール材4005が設けられ、画素部4002上に第2の基板4006が設けられている。よって画素部4002は、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。

【0166】

また、第1の基板4001上のシール材4005によって囲まれている領域より外側の領域に、入力端子4020を有し、FPC(Flexible printed circuit)4018a、FPC4018bが接続されている。FPC4018aは、別途異なる基板に作製された信号線駆動回路4003と電気的に接続され、FPC4018bは、別途異なる基板に作製された走査線駆動回路4004と電気的に接続されている。画素部4002に与えられる各種信号及び電位は、FPC4018a及びFPC4018bを介して、信号線駆動回路4003及び走査線駆動回路4004から供給される。

【0167】

なお、別途異なる基板に作製された駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、TCP(Tape Carrier Package)方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。

【0168】

また、図示していないが、信号線駆動回路4003または走査線駆動回路4004は、本明細書で開示するトランジスタを用いて、基板4001上に形成してもよい。

【0169】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう)を用いることができる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0170】

図11に示す表示装置は、電極4015及び配線4016を有しており、電極4015及び配線4016はFPC4018aが有する端子と異方性導電層4019を介して、電気的に接続されている。

【0171】

電極4015は、第1の電極4030と同じ導電層から形成され、配線4016は、トランジスタ4010のソース電極及びドレイン電極と同じ導電層で形成されている。

【0172】

本実施の形態では、トランジスタ4010として、実施の形態1及び実施の形態2で示したトランジスタを適用することができる。画素部4002に設けられたトランジスタ4010は表示素子と電気的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

【0173】

図11は、表示素子として液晶素子を用いた表示装置の例を示している。図11において、表示素子である液晶素子4013は、第1の電極4030、第2の電極4031、及び液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁層4032、絶縁層4033が設けられている。第2の電極4031は第2の基板4006側に設けられ、第1の電極4030と第2の電極4031とは液晶層4008を介して積層する構成となっている。

【0174】

また、スペーサー4035は、第2の基板4006上に絶縁層で形成された柱状のスペーサであり、液晶層4008の膜厚(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。

【0175】

10

20

30

40

50

表示素子として液晶素子を用いる場合、液晶層4008に、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等の液晶材料を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キューピック相、カイラルネマチック相、等方相等を示す。

【0176】

また、配向膜を用いないブルー相を示す液晶材料を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶材料とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることができる。

10

【0177】

また、液晶材料の固有抵抗率は、 $1 \times 10^9 \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗率の値は、20で測定した値とする。

【0178】

液晶表示装置の各画素に設けられる容量素子4011（保持容量）の容量は、各画素に配置されるトランジスタ4010のリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。チャネルが形成される半導体層に、i型または実質的にi型化された酸化物半導体を用いたトランジスタ4010を用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

20

【0179】

また、i型または実質的にi型化された酸化物半導体層を用いたトランジスタは、オフ状態における電流値（オフ電流値）を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。さらに、i型または実質的にi型化された酸化物半導体層を用いたトランジスタは、保持容量を設けなくても、液晶素子に印加された電位の保持が可能となる。

30

【0180】

また、酸化物半導体層を用いたトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に上記トランジスタを用いることで、高画質な画像を提供することができる。また、上記トランジスタは、同一基板上に駆動回路部または画素部に作り分けて作製することもできるため、液晶表示装置の部品点数を削減することができる。

【0181】

また、液晶表示装置としては、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モードなどの液晶素子を用いることができる。

40

【0182】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向（VA）モードを採用した透過型の液晶表示装置としてもよい。ここで、垂直配向モードとは、液晶表示パネルの液晶分子の配列を制御する方式の一種であり、電圧が印加されていないときにパネル面に対

50

して液晶分子が垂直方向を向く方式である。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super-View) モードなどを用いることができる。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

【0183】

また、液晶表示装置において、ブラックマトリクス(遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材(光学基板)などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。10

【0184】

また、バックライトとして複数の発光ダイオード(LED)を用いて、時間分割表示方式(フィールドシーケンシャル駆動方式)を行うことも可能である。フィールドシーケンシャル駆動方式を適用することで、カラーフィルタを用いることなく、カラー表示を行うことができる。

【0185】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB (Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、RGBW (Wは白を表す)、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、本発明はカラー表示の液晶表示装置に限定されるものではなく、モノクロ表示の液晶表示装置に適用することもできる。20

【0186】

なお、図11において、第1の基板4001、第2の基板4006としては、ガラス基板の他、可撓性を有する基板も用いることができ、例えば透光性を有するプラスチック基板などを用いることができる。プラスチックとしては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエスチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエスチルフィルムで挟んだ構造のシートを用いることもできる。30

【0187】

表示素子に電圧を印加する第1の電極及び第2の電極(画素電極、共通電極、対向電極などともいう)は、取り出す光の方向、電極が設けられる場所、及び電極のパターン構造によって透光性、反射性を選択すればよい。

【0188】

第1の電極4030、第2の電極4031は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。40

【0189】

また、第1の電極4030、第2の電極4031のいずれか一方はタンゲステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)、アルミニウム(Al)、銅(Cu)、銀(Ag)等の金属、又はその合金、若しくはその窒化物から一つ、又は複数種を用いて形成することができる。50

【 0 1 9 0 】

また、第1の電極4030、第2の電極4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる 電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはアニリン、ピロールおよびチオフェンの2種以上からなる共重合体またはその誘導体などがあげられる。

【 0 1 9 1 】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

10

【 0 1 9 2 】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

【 0 1 9 3 】**（実施の形態4）**

本実施の形態においては、上記実施の形態で説明した表示装置を具備する電子機器の例について説明する。

【 0 1 9 4 】

図12（A）は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。上記実施の形態で示した表示装置を適用することにより、信頼性の高いノート型のパーソナルコンピュータとすることができる。

20

【 0 1 9 5 】

図12（B）は、携帯情報端末（PDA）であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。上記実施の形態で示した表示装置を適用することにより、信頼性の高い携帯情報端末（PDA）とすることができる。

【 0 1 9 6 】

図12（C）は、電子書籍の一例を示している。例えば、電子書籍は、筐体2702及び筐体2704の2つの筐体で構成されている。筐体2702及び筐体2704は、軸部2712により一体とされており、該軸部2712を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

30

【 0 1 9 7 】

筐体2702には表示部2705が組み込まれ、筐体2704には表示部2707が組み込まれている。表示部2705及び表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部（図12（C）では表示部2705）に文章を表示し、左側の表示部（図12（C）では表示部2707）に画像を表示することができる。上記実施の形態で示した表示装置を適用することにより、信頼性の高い電子書籍とすることができる。

【 0 1 9 8 】

また、図12（C）では、筐体2702に操作部などを備えた例を示している。例えば、筐体2702において、電源端子2721、操作キー2723、スピーカー2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍は、電子辞書としての機能を持たせた構成としてもよい。

40

【 0 1 9 9 】

また、電子書籍は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

50

【0200】

図12(D)は、携帯電話であり、筐体2800及び筐体2801の二つの筐体で構成されている。筐体2801には、表示パネル2802、スピーカー2803、マイクロフォン2804、ポインティングデバイス2806、カメラ用レンズ2807、外部接続端子2808などを備えている。また、筐体2800には、携帯電話の充電を行う太陽電池セル2810、外部メモリスロット2811などを備えている。また、アンテナは筐体2801内部に内蔵されている。

【0201】

また、表示パネル2802はタッチパネルを備えており、図12(D)には映像表示されている複数の操作キー2805を点線で示している。なお、太陽電池セル2810で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。10

【0202】

表示パネル2802は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2802と同一面上にカメラ用レンズ2807を備えているため、テレビ電話が可能である。スピーカー2803及びマイクロフォン2804は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体2800と筐体2801は、スライドし、図12(D)のように展開している状態から重なり合った状態とすることことができ、携帯に適した小型化が可能である。

【0203】

外部接続端子2808はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパソコン用コンピュータなどとのデータ通信が可能である。また、外部メモリスロット2811に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。20

【0204】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。上記実施の形態で示した表示装置を適用することにより、信頼性の高い携帯電話とすることができます。

【0205】

図12(E)は、デジタルビデオカメラであり、本体3051、表示部(A)3057、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056などによって構成されている。上記実施の形態で示した表示装置を適用することにより、信頼性の高いデジタルビデオカメラとすることができます。30

【0206】

図12(F)は、テレビジョン装置の一例を示している。テレビジョン装置は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することができる。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。上記実施の形態で示した表示装置を適用することにより、信頼性の高いテレビジョン装置とすることができます。

【0207】

テレビジョン装置の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。40

【0208】

なお、テレビジョン装置は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0209】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。50

【符号の説明】

【0 2 1 0】

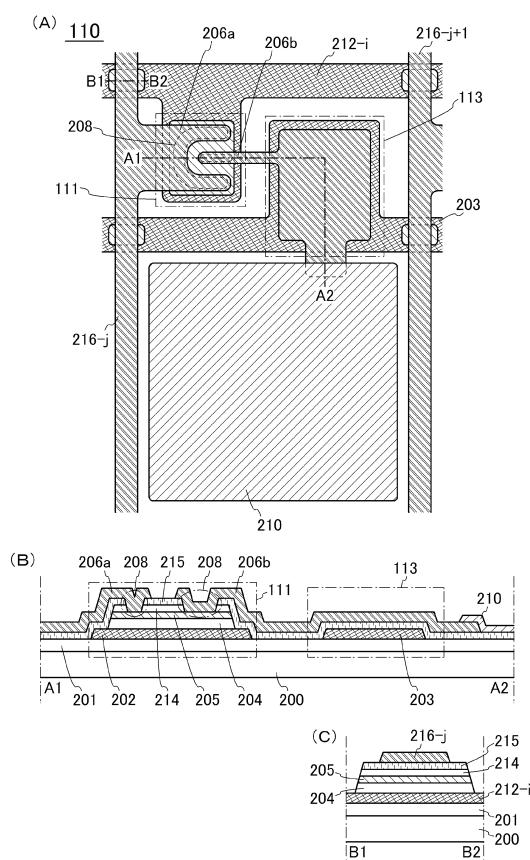
1 0 0	半導体装置	
1 0 1	基板	
1 0 2	画素領域	
1 0 3	端子部	
1 0 4	端子部	
1 0 5	端子	
1 0 6	端子	
1 0 7	端子	10
1 1 0	画素	
1 1 1	トランジスタ	
1 1 2	液晶素子	
1 1 3	容量素子	
1 1 4	電極	
1 2 0	画素	
1 2 3	容量素子	
1 3 0	画素	
1 3 3	容量素子	
2 0 0	基板	20
2 0 1	絶縁層	
2 0 2	ゲート電極	
2 0 3	配線	
2 0 4	絶縁層	
2 0 5	半導体層	
2 0 8	コンタクトホール	
2 1 0	画素電極	
2 1 2	配線	
2 1 4	絶縁層	
2 1 5	絶縁層	30
2 1 6	配線	
2 1 9	コンタクトホール	
2 2 1	電極	
2 2 2	電極	
2 2 3	電極	
2 3 1	導電層	
2 3 2	絶縁層	
2 3 3	半導体層	
2 3 4	絶縁層	
2 3 5	レジストマスク	40
8 0 2	透光性基板	
8 0 3	遮光部	
8 0 4	回折格子	
8 0 5	光透過率	
8 0 6	遮光部	
8 0 7	半透過部	
8 0 8	光透過率	
2 7 0 2	筐体	
2 7 0 4	筐体	
2 7 0 5	表示部	50

2 7 0 7	表示部	
2 7 1 2	軸部	
2 7 2 1	電源端子	
2 7 2 3	操作キー	
2 7 2 5	スピーカー	
2 8 0 0	筐体	
2 8 0 1	筐体	
2 8 0 2	表示パネル	
2 8 0 3	スピーカー	
2 8 0 4	マイクロフォン	10
2 8 0 5	操作キー	
2 8 0 6	ポインティングデバイス	
2 8 0 7	カメラ用レンズ	
2 8 0 8	外部接続端子	
2 8 1 0	太陽電池セル	
2 8 1 1	外部メモリスロット	
3 0 0 1	本体	
3 0 0 2	筐体	
3 0 0 3	表示部	
3 0 0 4	キー ボード	20
3 0 2 1	本体	
3 0 2 2	スタイルス	
3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部インターフェイス	
3 0 5 1	本体	
3 0 5 3	接眼部	
3 0 5 4	操作スイッチ	
3 0 5 5	表示部 (B)	
3 0 5 6	バッテリー	30
3 0 5 7	表示部 (A)	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	トランジスタ	
4 0 1 1	容量素子	40
4 0 1 3	液晶素子	
4 0 1 5	電極	
4 0 1 6	配線	
4 0 1 8	F P C	
4 0 1 9	異方性導電層	
4 0 2 0	入力端子	
4 0 3 0	電極	
4 0 3 1	電極	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	50

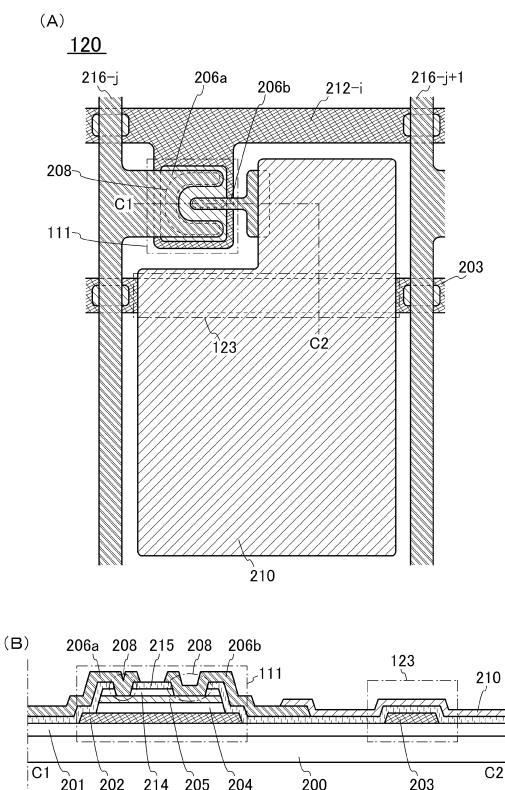
4 0 3 5	スペーサー
9 6 0 1	筐体
9 6 0 3	表示部
9 6 0 5	スタンド
1 4 8 a	結晶性酸化物半導体層
1 4 8 b	結晶性酸化物半導体層
2 0 6 a	ソース電極
2 0 6 b	ドレイン電極
4 0 1 8 a	F P C
4 0 1 8 b	F P C
8 0 1 a	グレートーンマスク
8 0 1 b	ハーフトーンマスク

10

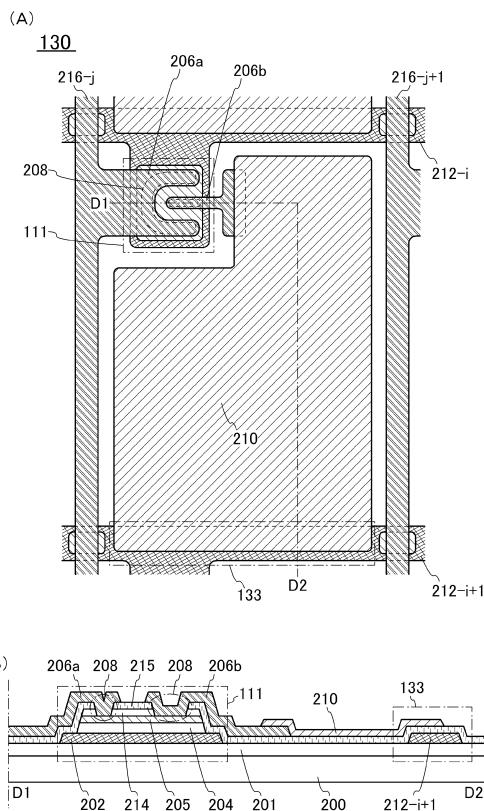
【 义 1 】



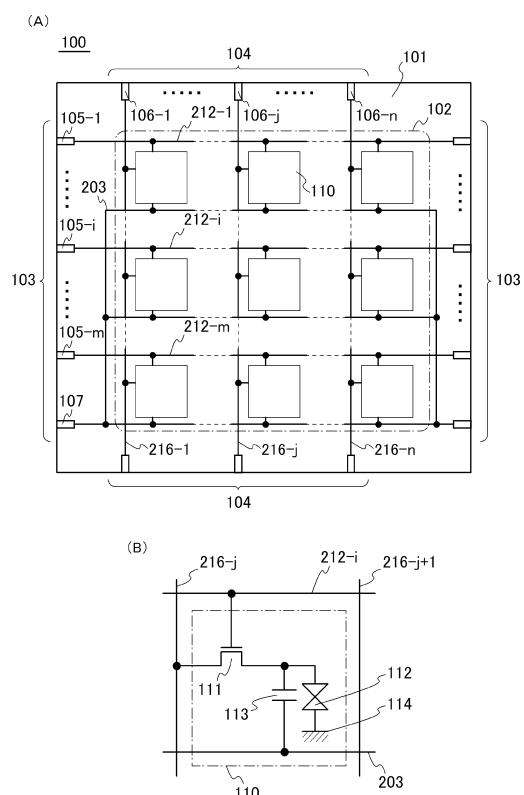
【図2】



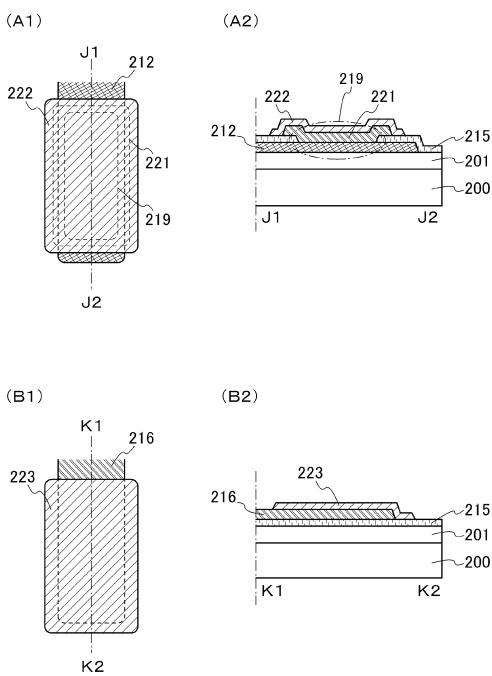
【図3】



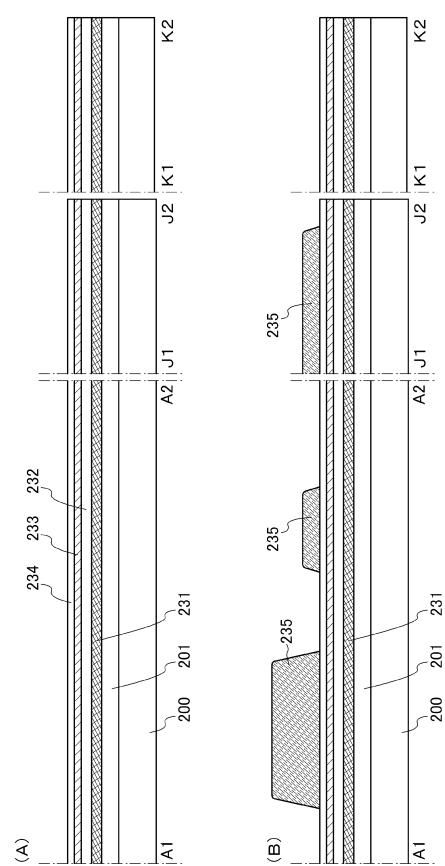
【図4】



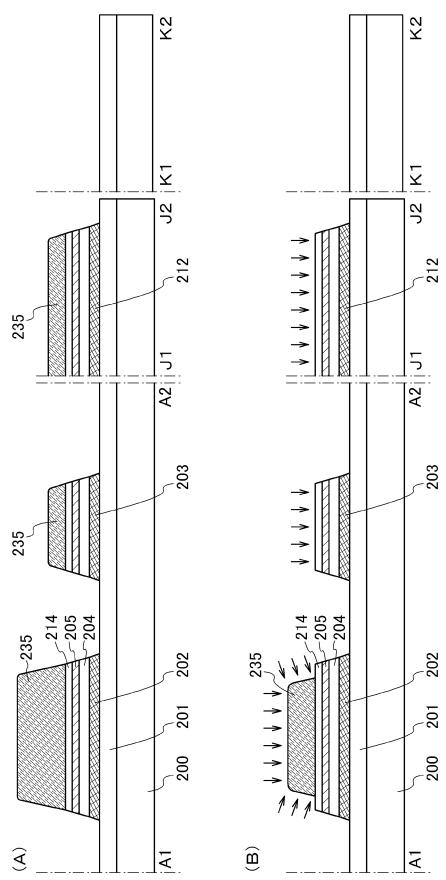
【図5】



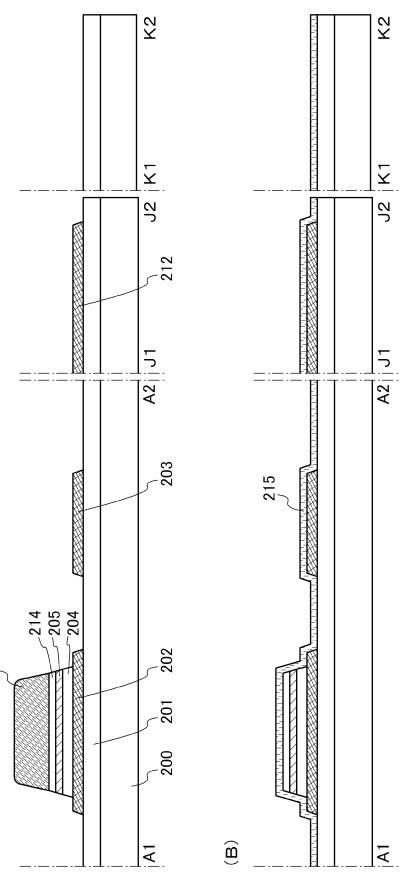
【図6】



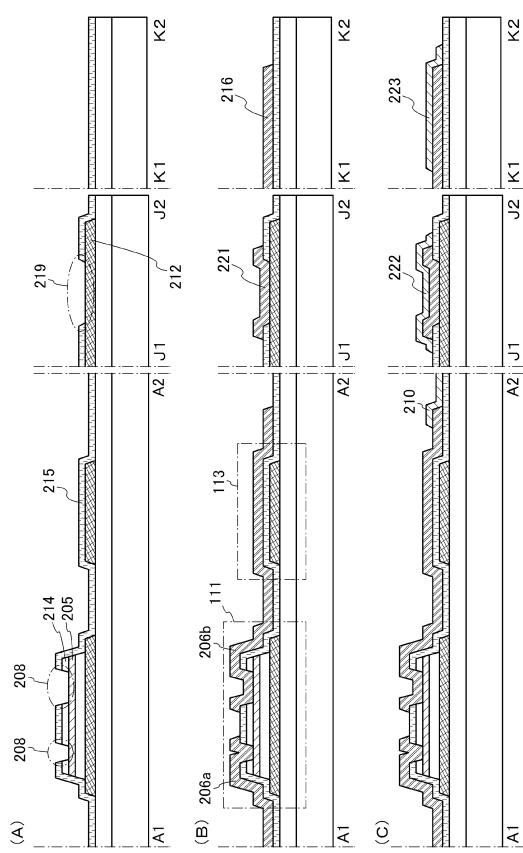
【図7】



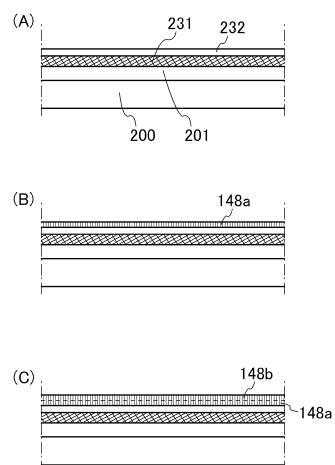
【図8】



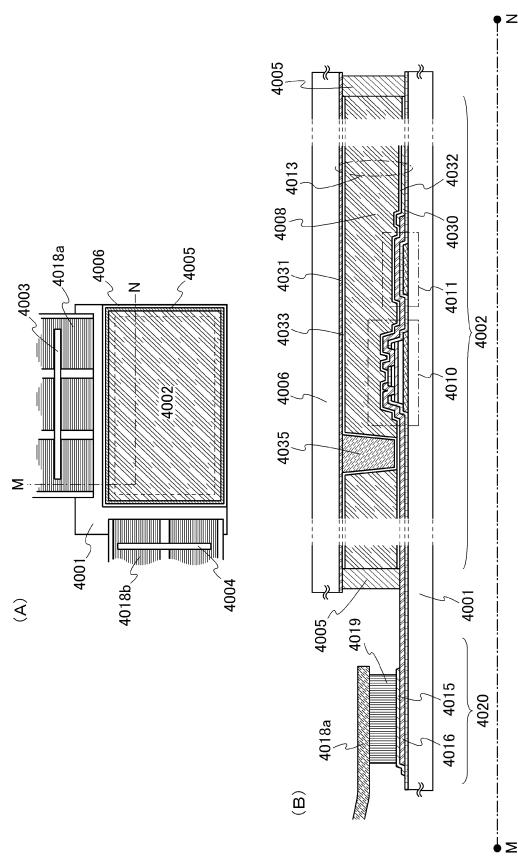
【図9】



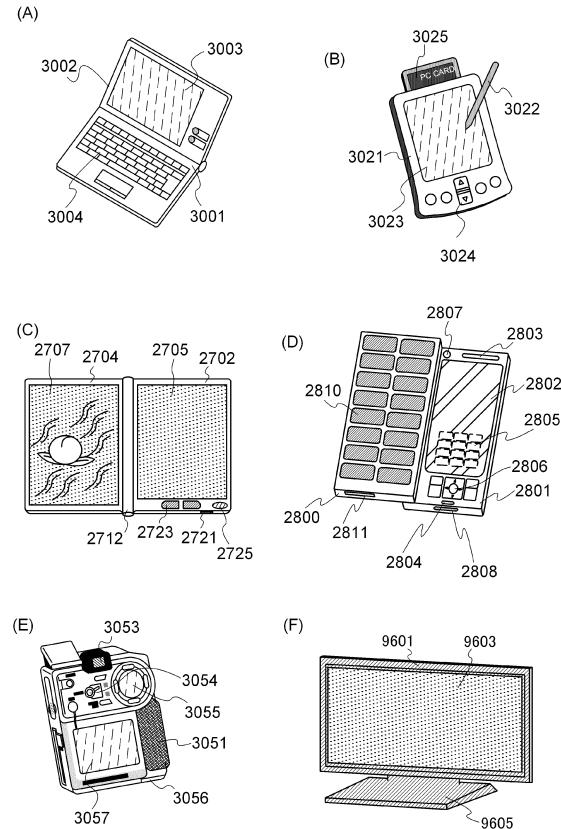
【図10】



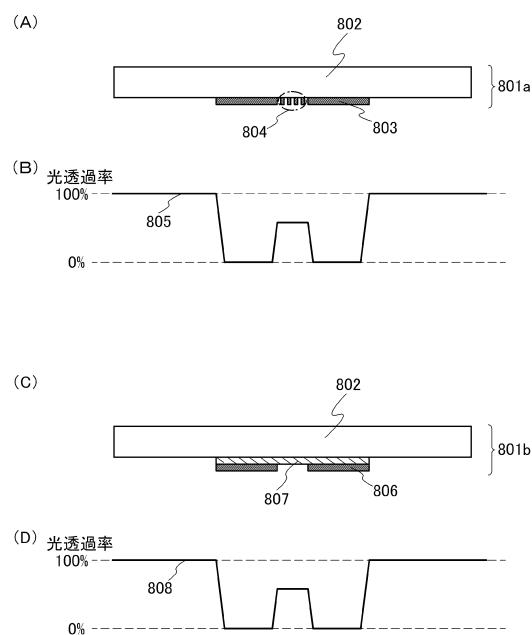
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51)Int.Cl.

F I		
H 0 1 L	29/78	6 2 7 B
H 0 1 L	29/78	6 2 7 Z
G 0 2 F	1/1368	
H 0 5 B	33/14	A
G 0 9 F	9/30	3 3 8
H 0 1 L	29/78	6 1 8 C

(56)参考文献 特開2003-179069 (JP, A)

特開2000-091582 (JP, A)

特開2007-258675 (JP, A)

特開2008-209931 (JP, A)

特開2007-173489 (JP, A)

特開2009-224705 (JP, A)

特開2003-163266 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 1 / 3 3 6
G 0 2 F	1 / 1 3 6 8
G 0 9 F	9 / 3 0
H 0 1 L	2 9 / 7 8 6
H 0 1 L	5 1 / 5 0