

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-193406

(P2019-193406A)

(43) 公開日 令和1年10月31日(2019.10.31)

(51) Int. Cl.		F I			テーマコード (参考)	
H02M	1/08	(2006.01)	H02M	1/08	A	5H740
H03K	17/0812	(2006.01)	H03K	17/0812		5J055
H03K	17/08	(2006.01)	H03K	17/08	C	

審査請求 未請求 請求項の数 17 O L (全 14 頁)

(21) 出願番号 特願2018-82704 (P2018-82704)
 (22) 出願日 平成30年4月24日 (2018.4.24)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100098660
 弁理士 戸田 裕二
 (72) 発明者 鈴木 弘
 東京都千代田区丸の内一丁目6番6号 株
 式会社 日立製作所内
 (72) 発明者 栗原 直樹
 東京都千代田区丸の内一丁目6番6号 株
 式会社 日立製作所内
 Fターム(参考) 5H740 BA11 BA12 BB05 BC01 BC02
 HH06 JA01 JB01 KK01

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路およびゲート駆動方法

(57) 【要約】

【課題】

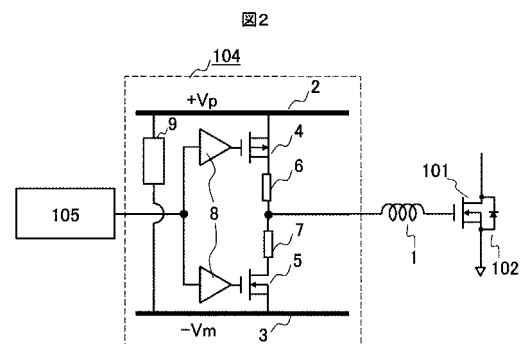
本発明の目的は、S i Cを適用した電圧駆動型の半導体素子をゲート駆動回路においてゲート ソース間電圧の変動を抑制することに関する。

【解決手段】

本発明は、ゲート駆動回路が、P型MOS F E TおよびN側MOS F E Tが直列に接続され、且つN側MOS F E Tが負側電源に直接接続されて構成され、P型MOS F E TとN側MOS F E Tの間にある出力段が、S i Cを適用した電圧駆動型の半導体素子のオフ中に負バイアスとなることに関する。

本発明によれば、過渡インピーダンスの小さいMOS F E Tで出力段が構成されるため、S i Cを適用した電圧駆動型の半導体素子の駆動時のゲート ソース間電圧の変動を抑制でき、S i Cを適用した電圧駆動型の半導体素子のオフ中にゲートを負バイアスするため、誤オンを防止できる。したがって、S i C素子の駆動に適した高信頼性なゲート駆動回路を提供できる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

S i C を適用した電圧駆動型の半導体素子を駆動するゲート駆動回路において、
前記ゲート駆動回路が、P 型 M O S F E T および N 側 M O S F E T が直列に接続され、
且つ前記 N 側 M O S F E T が負側電源に直接接続されて構成され、前記 P 型 M O S F E T
と前記 N 側 M O S F E T の中間にある出力段が、前記半導体素子のオフ中に負バイアスと
なるように前記 P 型 M O S F E T および前記 N 型 M O S F E T を相補的にオンオフするこ
とを特徴とするゲート駆動回路。

【請求項 2】

請求項 1 に記載のゲート駆動回路において、
前記半導体素子のオフ中に出力段を負バイアスに維持する電圧維持手段を有することを
特徴とするゲート駆動回路。

10

【請求項 3】

請求項 2 に記載のゲート駆動回路において、
前記電圧維持手段が、前記出力部と前記負側電源の間に前記 N 型 M O S F E T と並列に
接続されたダイオードを含むことを特徴とするゲート駆動回路。

【請求項 4】

請求項 3 に記載のゲート駆動回路において、
前記ダイオードが、ショットキーバリアダイオード、ツェナーダイオード、または P N
ダイオードであることを特徴とするゲート駆動回路。

20

【請求項 5】

請求項 2 に記載のゲート駆動回路において、
前記電圧維持手段が、前記出力段と N 側 M O S F E T の中間にあるオフ側ゲート抵抗に
並列接続された並列化抵抗と、前記並列化抵抗に直列接続されたスイッチと、前記半導体
素子がオフ状態の場合に前記スイッチをオンとする判定部を含むことを特徴とするゲート
駆動回路。

【請求項 6】

請求項 2 に記載のゲート駆動回路において、
前記電圧維持手段が、前記出力段と前記負側電源の間に前記 N 側 M O S F E T と並列に
接続された M O S F E T と、前記半導体素子がオフ状態の場合に前記 M O S F E T を短絡
させる判定部を含むことを特徴とするゲート駆動回路。

30

【請求項 7】

請求項 1 乃至 6 のいずれかに記載のゲート駆動回路において、
前記半導体素子が、ノーマリオフの半導体素子であることを特徴とするゲート駆動回路
。

【請求項 8】

請求項 1 乃至 7 のいずれかに記載のゲート駆動回路において、
前記負側電源の電圧生成に、絶縁型電源トランス、または絶縁側 D C D C コンバータが
用いられることを特徴とするゲート駆動回路

40

【請求項 9】

請求項 1 乃至 8 のいずれかに記載のゲート駆動回路を搭載した 3 相交流インバータ。

【請求項 10】

S i C を適用した電圧駆動型の半導体素子のゲート駆動方法において、
P 側 M O S F E T 、および負極電源に直接接続された N 側 M O S F E T を相補的にオン
オフして、直列に接続されている前記 P 型 M O S F E T と前記 N 側 M O S F E T の中間に
ある出力段を、前記半導体素子のオフ中に負バイアスとすることを特徴とするゲート駆動
方法。

【請求項 11】

請求項 10 記載のゲート駆動方法において、
電圧維持手段により、前記半導体素子のオフ中に出力段を負バイアスに維持することを

50

特徴とするゲート駆動方法。

【請求項 1 2】

請求項 1 1 に記載のゲート駆動方法において、

前記電圧維持手段が、前記出力部と前記負側電源の間に前記 N 型 MOSFET と並列に接続されたダイオードを含むことを特徴とするゲート駆動方法。

【請求項 1 3】

請求項 1 2 に記載のゲート駆動方法において、

前記ダイオードが、ショットキーバリアダイオード、ツェナーダイオード、または PN ダイオードであることを特徴とするゲート駆動方法。

【請求項 1 4】

請求項 1 1 に記載のゲート駆動方法において、

前記半導体素子がオフ状態の場合に、前記出力段と N 側 MOSFET の中間にあるオフ側ゲート抵抗に並列接続された並列化抵抗に直列接続されたスイッチをオンとすることを特徴とするゲート駆動方法。

【請求項 1 5】

請求項 1 1 に記載のゲート駆動方法において、

前記半導体素子がオフ状態の場合に、前記出力段と前記負側電源の間に前記 N 側 MOSFET と並列に接続された MOSFET を短絡させることを特徴とするゲート駆動方法。

【請求項 1 6】

請求項 1 1 乃至 1 5 のいずれかに記載のゲート駆動方法において、

前記半導体素子が、ノーマリオフの半導体素子であることを特徴とするゲート駆動方法。

。

【請求項 1 7】

請求項 1 1 乃至 1 6 のいずれかに記載のゲート駆動方法において、

絶縁型電源トランス、または絶縁側 DCDC コンバータにより、前記負側電源の電圧を生成することを特徴とするゲート駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SiC-MOSFET など、SiC を適用した電圧駆動型の半導体素子のゲート駆動回路に関する。

【背景技術】

【0002】

高速にスイッチングが可能で、かつ大電力を制御できる IGBT (Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ) が、家庭用の小容量インバータから鉄道などで用いられる大容量のインバータまで、幅広く利用されている。IGBT など電圧駆動型の半導体素子を駆動する回路として、ゲートに印可する電圧を制御することにより半導体素子のオン・オフを制御するゲートドライバなどのゲート駆動回路が使われている。近年では、Si の IGBT に代わって、低損失な SiC を適用した MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor: 金属 - 絶縁体 - 半導体電界効果トランジスタ) を適用したインバータが普及しつつあり、鉄道用途でも SiC-MOSFET の駆動に適したゲートドライバが求められている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2012-9962 号公報

【特許文献 2】特開 2014-57491 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

20

30

40

50

本願発明者が、SiC-MOSFETなど、SiCを適用した電圧駆動型の半導体素子を駆動させるための、ゲート駆動回路を鋭意検討した結果、次の知見を得るに至った。

【0005】

SiC-MOSFETなど、SiCを適用した電圧駆動型の半導体素子の特徴のひとつとして、現状では、ゲートに印加される電界ストレスに対する耐性がSi-IGBTと比較して低いことがわかった。たとえば、SiC-MOSFETにおいても、ゲート酸化膜の材料はSi-IGBTと同じ二酸化シリコン(SiO_2)であるが、製造プロセスや基板材料由来の欠陥によって、SiC素子ではSi素子と比較してゲート電界ストレスの印加による素子特性の変動が顕著である。したがって、ゲートドライバの出力電圧が半導体素子のゲート-ソース間の定格電圧を超えて出力された場合、ゲートドライバに接続される半導体素子のゲート-ソース間電圧も定格電圧を超えるため、素子特性の変動やゲート酸化膜の信頼性低下などの懸念がある。そこで、ゲートドライバの出力電圧は、半導体素子のゲート-ソース間の定格電圧未満の電圧で安定していることが望ましい。

10

【0006】

SiC-MOSFETの別の特徴として、ゲート・ドレイン間の帰還容量が大きく、スイッチング速度(dV/dt)が大きいことが挙げられる。したがって、MOSFETのゲート-ソース間電圧の変動(持ち上がり)に伴う誤オンが起こりやすいという課題がある。すなわち、MOSFETのドレイン・ソース間に高い dV/dt が印加した際に、帰還容量を介した変異電流($C_{gd} \cdot dV/dt$)がMOSFET側からゲートドライバ側に向かって流れるため、この電流がゲート配線のインダクタンス成分やゲートドライバ回路内の抵抗成分に流れる効果により、SiC-MOSFETのゲートの電位が持ち上がり易くなる。その結果、SiC-MOSFETのゲート・ソース間電圧が閾値電圧を超えて誤オン状態となった場合、たとえば、アーム短絡等を引き起こす懸念がある。なお、SiC-MOSFETの帰還容量がSi-IGBTと比較して一般的に大きくなる理由は、SiC-MOSFETがユニポーラ素子であり基板のドーピング濃度が高いため、空乏層の幅が広がりにくいことに起因する。

20

【0007】

以上のSiC-MOSFETの2つの特徴のため、それを駆動するゲートドライバとしては、SiC-MOSFETのゲート・ソース間電圧の変動を抑制できるという特性を有することが望ましい。

30

【0008】

特許文献1に記載されているようなバイポーラトランジスタを用いたプッシュプル回路で出力段が構成されるゲートドライバを用いてSiC-MOSFETをオン・オフ駆動する場合、バイポーラトランジスタの過度インピーダンスが大きいために、ゲートドライバの出力電圧がゲートドライバ回路の電源電圧を超えて変動する結果、SiC-MOSFETのゲート・ソース間電圧も電源電圧を超えることになる。すなわち、図9に示すように、MOSFETのターンオン時にはゲート・ソース間電圧(V_{gs})がゲートドライバ回路の正側電源電圧($+V_p$)を過度的に上回るオーバーシュートが発生し、MOSFETのターンオフ時には負側電源電圧($-V_m$)を過度的に下回るアンダーシュートが発生する。本現象により、MOSFETのゲート-ソース間電圧が定格電圧を超える、もしくは定格電圧までのマージンが減少するため、ゲート酸化膜の信頼性の確保の観点から懸念がある。

40

【0009】

また、SiC-MOSFETのターンオフ時には、ターンオフする側のSiC-MOSFETではドレイン・ソース間に正の dV/dt (>0)が印加し、ターンオフする側と対側のSiC-MOSFETでは、負の dV/dt (<0)が印加する。このとき、対側のSiC-MOSFETのゲート-ソース間電圧(V_{gs})がゲートドライバの負側電源電圧($-V_m$)を下回って沈み込む現象が発生する。

【0010】

特許文献2では、ゲートドライバの負側電源にダイオードを介して出力段のMOSFET

50

Tが接続されているが、その構成では、V_{gs}が沈み込む時に、ゲートドライバの負側電源とSiC-MOSFETのゲート端子との間に上記ダイオードの容量成分が介在するために、SiC-MOSFETのV_{gs}が安定せず、ゲート-ソース間の電圧変動を抑制できない。

【0011】

本発明の目的は、SiCを適用した電圧駆動型の半導体素子をゲート駆動回路においてゲート-ソース間電圧の変動を抑制することに関する。

【課題を解決するための手段】

【0012】

本発明は、ゲート駆動回路が、P型MOSFETおよびN側MOSFETが直列に接続され、且つN側MOSFETが負側電源に直接接続されて構成され、P型MOSFETとN側MOSFETの間にある出力段が、SiCを適用した電圧駆動型の半導体素子のオフ中に負バイアスとなることに関する。

10

【発明の効果】

【0013】

本発明によれば、過渡インピーダンスの小さいMOSFETで出力段が構成されるため、SiCを適用した電圧駆動型の半導体素子の駆動時のゲート-ソース間電圧の変動を抑制でき、SiCを適用した電圧駆動型の半導体素子のオフ中にゲートを負バイアスするため、誤オンを防止できる。したがって、SiC素子の駆動に適した高信頼性なゲート駆動回路を提供できる。

20

【図面の簡単な説明】

【0014】

【図1】実施例1にかかる鉄道用インバータシステムの構成図

【図2】実施例1にかかるゲートドライバの構成図

【図3】出力段の素子がバイポーラトランジスタであるゲートドライバの構成図

【図4】ゲート-ソース間電圧の持ち上がり現象の説明図

【図5】実施例2にかかるゲートドライバの構成図

【図6】ゲート-ソース間電圧の沈み込み現象の説明図

【図7】実施例3にかかるゲートドライバの構成図

【図8】実施例4にかかるゲートドライバの構成図

30

【図9】ゲートドライバの出力段の素子がバイポーラトランジスタの場合のゲート-ソース間電圧波形の模式図

【発明を実施するための形態】

【0015】

実施例では、SiCを適用した電圧駆動型の半導体素子を駆動するゲート駆動回路において、ゲート駆動回路が、P型MOSFETおよびN側MOSFETが直列に接続され、且つN側MOSFETが負側電源に直接接続されて構成され、P型MOSFETとN側MOSFETの間にある出力段が、半導体素子のオフ中に負バイアスとなるようにP型MOSFETおよびN型MOSFETを相補的にオンオフするものを開示する。

40

【0016】

また、実施例では、SiCを適用した電圧駆動型の半導体素子のゲート駆動方法において、P側MOSFET、および負極電源に直接接続されたN側MOSFETを相補的にオンオフして、直列に接続されているP型MOSFETとN側MOSFETの間にある出力段を、半導体素子のオフ中に負バイアスとするものを開示する。

【0017】

また、実施例では、半導体素子のオフ中に出力段を負バイアスに維持する電圧維持手段を有するゲート駆動回路を開示する。また、電圧維持手段により、半導体素子のオフ中に出力段を負バイアスに維持するゲート駆動方法を開示する。また、

また、実施例では、電圧維持手段が、出力部と負側電源の間にN型MOSFETと並列に接続されたダイオードを含むことを開示する。また、ダイオードが、ショットキーバリ

50

アダイオード、ツェナーダイオード、またはPNダイオードであることを開示する。

【0018】

また、実施例では、電圧維持手段が、出力段とN側MOSFETの中間にあるオフ側ゲート抵抗に並列接続された並列化抵抗と、並列化抵抗に直列接続されたスイッチと、半導体素子がオフ状態の場合にスイッチをオンとする判定部を含むゲート駆動回路を開示する。また、半導体素子がオフ状態の場合に、出力段とN側MOSFETの中間にあるオフ側ゲート抵抗に並列接続された並列化抵抗に直列接続されたスイッチをオンとするゲート駆動方法を開示する。

【0019】

また、実施例では、電圧維持手段が、出力段と負側電源の間にN側MOSFETと並列に接続されたMOSFETと、半導体素子がオフ状態の場合にMOSFETを短絡させる判定部を含むゲート駆動回路を開示する。また、半導体素子がオフ状態の場合に、出力段と負側電源の間にN側MOSFETと並列に接続されたMOSFETを短絡させるゲート駆動方法を開示する。

【0020】

また、実施例では、電圧駆動型の半導体素子が、ノーマリオフの半導体素子であることを開示する。

【0021】

また、実施例では、負側電源の電圧生成に、絶縁型電源トランス、または絶縁側DCDCコンバータが用いられるゲート駆動回路を開示する。また、絶縁型電源トランス、または絶縁側DCDCコンバータにより、負側電源の電圧を生成するゲート駆動方法を開示する。

【0022】

また、実施例では、ゲート駆動回路を搭載した三相交流インバータを開示する。

【0023】

以下、上記およびその他の本発明の新規な特徴と効果について図面を参酌して説明する。なお、図面は専ら発明理解のために用いるものであり、権利範囲を減縮するものではない。

【実施例1】

【0024】

図1は、本実施例にかかる鉄道用インバータシステムの構成図である。

【0025】

本実施例にかかる鉄道用インバータシステムでは、MOSFET101とフィルタコンデンサ103によりパワーユニット100を構成する。UVW相それぞれにおいて、MOSFET101が直列に接続されており、各MOSFET101には、通流方向が逆方向となるように還流ダイオード102が並列接続されている。また、各MOSFET101には、指令論理部105からの指令に従い、MOSFETを駆動させるゲート駆動回路104が配置されている。UVW相それぞれの上側MOSFET（上アーム）と下側MOSFET（下アーム）の接続点は、パワーユニット100の出力としてモータ106と接続されている。

【0026】

架線107からの直流電力は、集電装置108、複数の遮断機109およびフィルタリアクトル110を介して、平滑化され、ノイズを除去するためのフィルタコンデンサ103の高圧側に入力される。なお、フィルタコンデンサ103の低圧側は、車輪111を介して、電気的なグラウンドであるレール112に接続されている。そして、鉄道用インバータシステムは、パワーユニット内のUVW相のMOSFETを交互にスイッチングすることにより3相交流を生成してモータ106に送る。MOSFET101やフィルタコンデンサ103とともにパワーユニット100内に配置されているゲート駆動回路104は、指令論理部105からの指令に従い、MOSFET101を駆動する。指令論理部105は、演算装置、メモリおよび入出力手段を備え、所定のプログラムに従ってMOSFET

10

20

30

40

50

Tを駆動する指令を出力する。なお、本実施例にかかるゲート駆動回路では、半導体素子としてMOSFETを駆動する例を説明するが、半導体素子はMOSFETに限らず電圧駆動型の素子であれば良く、例えばIGBTでも良い。

【0027】

図2は、本実施例にかかるゲート駆動回路の構成図である。図2に示すように、ゲート駆動回路104は、正側電源2、負側電源3、P型MOSFET4、N型MOSFET5、オン側ゲート抵抗6、オフ側ゲート抵抗7、駆動制御装置8、電源生成部9から構成され、相補型の対のMOSFETを用いたプッシュプル構成となっている。電源生成部9は、正側電源2および負側電源3に接続される。P型MOSFET4のソースは正側電源2に、ドレインはオン側ゲート抵抗6に接続される。N型MOSFET5のソースは負側電源3に、ドレインはオフ側ゲート抵抗7に接続される。このとき、図2に示すように、N型MOSFET5のソースと負側電源3とが直接接続される構成が好ましい。オン側ゲート抵抗6とオフ側ゲート抵抗7の接続点がゲート駆動回路104の出力部となり、ゲート配線1を介して半導体素子101のゲートに接続される。P型MOSFET4およびN型MOSFET5のゲートは、ともに駆動制御装置8の出力部に接続される。駆動制御装置8の入力部には、指令論理部105が接続される。

10

【0028】

電源生成部9から、正負の電源電圧がそれぞれ正側電源2および負側電源3に供給される。指令論理部105からゲート駆動指令が駆動制御装置8に入力すると、駆動制御装置8はゲート駆動回路の出力段にあるP型MOSFET4とN型MOSFET5を相補的にオン・オフさせるように制御することにより、ゲート配線1を介して半導体素子101のゲートに電荷を充電または放電する。充電または放電の速度は、それぞれオン側ゲート抵抗6、オフ側ゲート抵抗7で制御できる。

20

【0029】

図3は、図2に示すゲート駆動回路の出力段の素子をMOSFET(P型MOSFET4およびN型MOSFET5)からバイポーラトランジスタ(NPNトランジスタ10およびPNPトランジスタ11)に置き換えた場合のゲート駆動回路の構成図であり、本実施例に対する比較例である。

【0030】

NPNトランジスタ10のコレクタは、オン側ゲート抵抗6を介して正側電源2に接続される。PNPトランジスタ11のコレクタはオフ側ゲート抵抗7を介して負側電源3に接続される。NPNトランジスタ10とPNPトランジスタ11はそれぞれのエミッタが図3のA点で互いに接続されてゲート駆動回路104の出力部となり、ゲート配線1を介して半導体素子101のゲートに接続される。NPNトランジスタ10とPNPトランジスタ11のベースは、ともに駆動制御装置8の出力部に接続される。その他の接続様態は、図2と同じである。

30

【0031】

図3に示すように、ゲート駆動回路の出力段の素子がバイポーラトランジスタで構成される場合、駆動制御装置8が、NPNトランジスタ10とPNPトランジスタ11を相補的にオン・オフさせるように制御する際に、NPNトランジスタ10とPNPトランジスタ11が同時にオフになる期間が不可避免的に発生する。これは、駆動制御装置8の出力部(図3のB点)の電位が、NPNトランジスタ10とPNPトランジスタ11のベース-エミッタ間電圧がどちらも順バイアスされないような電位となる動作点が必ず発生するためである。このときゲート駆動回路の出力部(図3のA点)から半導体素子101に至る経路には電流が流れにくくなり、過渡的に高インピーダンス状態となる。その結果、ゲート駆動回路104の出力電圧がゲート駆動回路回路の電圧電源(図3の $+V_p$ 、 $-V_m$)を超えて変動し、半導体素子101のゲート電圧も電圧電源を超えて変動する。すなわち、半導体素子101のオン時にはゲート-ソース間電圧(V_{gs})がゲート駆動回路回路の電圧電源を過度的に超えるオーバーシュート($V_{gs} > +V_p$)が発生し、半導体素子101のオフ時にはアンダーシュート($V_{gs} < -V_m$)が発生する(図9参照)。

40

50

【 0 0 3 2 】

そこで、図 2 に示すように、ゲート駆動回路の出力段の素子を MOSFET で構成することにより、半導体素子 101 のゲート-ソース間電圧が電圧電源を超えて変動する現象を抑制できる。これは、バイポーラトランジスタは電流注入制御のため、NPN および PNP トランジスタのオン・オフ切り替え時には、ベースに電荷が十分蓄積されるまでに、ある程度の時間を要するのに対し、MOSFET は電圧印加制御のため、オン・オフ切り替えが本質的に早く、上述のような過渡的な高インピーダンス状態にはならずゲートの電位が安定化するためである。

【 0 0 3 3 】

次に、ゲート電圧の持ち上がり現象について説明する。図 4 は、ゲート ソース間電圧の持ち上がり現象の説明図である。図 4 に示すように、対アーム側（図 4 の半導体素子 101 が下アームの MOSFET である場合は上アーム側）の半導体素子がターンオンする際、半導体素子 101 はオフ状態であり、並列接続されている還流ダイオード 102 がリバースリカバリ動作をする。この時、半導体素子 101 のドレイン ソース間電圧が増加するため $dv/dt > 0$ であるから、半導体素子 101 からゲート駆動回路 104 に向かって変異電流（ $C_{gd} \cdot dv/dt$ ）が流れる。ここで、 dv/dt はドレイン ソース間電圧の時間変化率、 C_{gd} は半導体素子 101 のゲート ドレイン間容量（帰還容量）を示す。

【 0 0 3 4 】

この変異電流は、半導体素子 101、ゲート配線 1、オフ側ゲート抵抗 7、N 型 MOSFET 5 を経由してゲート駆動回路の負側電源 3 に流れ込む。このとき、図 4 に示すように、電流経路上の回路インピーダンスに応じて、半導体素子 101 のゲート端子とゲート駆動回路の負側電源 3 との間には電位差が生じる。したがって、この電位差の分だけ、半導体素子 101 のゲート ソース間電圧（ V_{gs} ）はゲート駆動回路の負側電源 3 の電圧（ $-V_m$ ）よりも高く持ち上がる。すなわち、（式 1）で表されるように $V_1 + V_2$ の電位差が生じる。ここで、 V_1 はゲート配線 1 の寄生インダクタンスに起因した電位差、 V_2 はオフ側ゲート抵抗 7 および N 型 MOSFET 5 の寄生抵抗に起因した電位差である。

$$V_{gs} = -V_m + (V_1 + V_2) \quad (\text{式 1})$$

【 0 0 3 5 】

上述のゲート電圧の持ち上がりにより、半導体素子 101 の V_{gs} がその閾値電圧（ V_{th} ）を超えて誤オン状態となるとアーム短絡を起こす懸念がある。

【 0 0 3 6 】

鉄道用途では一般的に半導体素子 101 としてノーマリオフ型の素子を用いるため、オフ時の V_{gs} は 0 V でも動作原理上は問題ないが、本実施例では、ゲート駆動回路に負側電源 3 を設けることにより、オフ時の V_{gs} を負（例えば $V_{gs} = -10\text{V}$ ）としている。これにより、オフ時にゲート電圧に持ち上がりが発生しても V_{th} に達するまでの電位差マージンが拡大するため、誤オンを防止できる。仮に半導体素子 101 がノーマリオン型の素子であっても、ゲート電圧に持ち上がりが発生してもオフ時の V_{gs} が V_{th} に達しないように負バイアス電圧を設計することにより、誤オンを防止できる。

【 0 0 3 7 】

負電源電圧を生成する方法としては、たとえば、図 2 の電源生成部 9 として絶縁型電源トランスを用いる。すなわち、2 次側の巻線コイルを 2 系統設け、一方を正側電源電圧（ $+V_p$ ）生成用、他方を負側電源電圧（ $-V_m$ ）生成用として各々の巻線比を設計する方法である。あるいは、絶縁型電源トランスの代わりに絶縁型 DCDC コンバータを用いて正負両電源を生成しても良い。

【 実施例 2 】

【 0 0 3 8 】

本実施例は、実施例 1 のゲート駆動回路の構成に対し、半導体素子のゲート端子の電位が沈み込んだ時にゲート電位をゲート駆動回路の負側電源に接続する手段を有する点が異

10

20

30

40

50

なる。以下、実施例 1 との相違点を中心に説明する。

【0039】

図 5 は、本実施例にかかるゲート駆動回路の構成図を示す。ゲート駆動回路 104 の出力部、すなわちオン側ゲート抵抗 6 とオフ側ゲート抵抗 7 の接続点にダイオード 12 のカソードが接続されている。ダイオード 12 のアノードは、ゲート駆動回路の負側電源 3 に接続されている。その他の接続様態は、実施例 1 と同じである。

【0040】

ダイオード 12 を設けることにより、半導体素子 101 のゲート端子の電位が沈み込んだ時にゲート駆動回路 104 の出力部がゲート駆動回路の負側電源 3 に低インピーダンスで接続されるため、ゲート電圧の変動（沈み込み）を抑制できる。

10

【0041】

図 6 は、ゲート電圧の沈み込み現象の説明図である。図 6 に示すように、対アーム側の半導体素子がターンオフする際、半導体素子 101 はオフ状態であり、並列接続されている還流ダイオード 102 がフォワードリカバリ動作をする。この時、半導体素子 101 のドレインソース間電圧が減少するため、 $dv/dt < 0$ であるから、ゲート駆動回路 104 から半導体素子 101 に向かって変異電流（ $C_{gd} \cdot dv/dt$ ）が流れる。

【0042】

この変異電流は、ゲート駆動回路の負側電源 3、ダイオード 12、ゲート配線 1 を経由して半導体素子 101 に流れ込む。このとき、図 6 に示すように、電流経路上の回路インピーダンスに応じて半導体素子 101 のゲート端子とゲート駆動回路の負側電源 3 との間に電位差が生じ、半導体素子 101 の V_{gs} はゲート駆動回路の負側電源 3 の電圧（ $-V_m$ ）よりも低く沈み込む。すなわち、（式 2）で表されるように $V_1 + V_3$ の電位差が生じる。ここで、 V_3 はダイオード 12 の導通に起因した電位差であり、ダイオード 12 の順方向電圧に等しい。

20

$$V_{gs} = -V_m - (V_1 + V_3) \quad (\text{式 2})$$

【0043】

ゲート電圧の沈み込み現象により、半導体素子 101 の V_{gs} がその定格電圧の下限值（たとえば $-20V$ ）を下回るとゲート酸化膜の信頼性低下が懸念されるが、本実施例では、沈み込み時に電流がダイオード 12 を経由することにより、ゲート駆動回路の負側電源 3 からの電圧降下（ $V_1 + V_3$ ）を抑制でき、ゲート酸化膜の信頼性を確保できる。したがって、ダイオード 12 の候補としては、順方向電圧（ V_3 ）の小さいショットキーバリアダイオードなど望ましいが、ツェナーダイオードや PN ダイオードでも良い。

30

【0044】

また、（式 1）（式 2）より、ゲート電圧の変動量（持ち上がり、沈み込み）を抑制するためには、ゲート配線 1 で発生する電位差（ V_1 ）を低減することも有効であり、ゲート配線 1 の寄生インダクタンス（ L_g ）を低減することが望ましい。 L_g を低減する手法としては、ゲート配線長を最小化する手法や、ゲート電流による磁場が効果的に打ち消しあうようにラミネートブスバー構造等を適用する手法がある。

40

【実施例 3】

【0045】

図 7 は、本実施例にかかるゲート駆動回路の構成図を示す。ゲート電位をゲート駆動回路の負側電源に接続する手段として、実施例 2 では、ダイオード 12 を用いたが、本実施例では、低インピーダンス化回路 16a を用いている点異なる。以下、実施例 1 乃至 2 との相違点を中心に説明する。

【0046】

低インピーダンス化回路 16a は、並列化抵抗 13、アナログスイッチ 14、およびゲートオフ判定部 15 から構成される。並列化抵抗 13 は、アナログスイッチ 14 を介してオフ側ゲート抵抗 7 に並列に接続される。ゲートオフ判定部 15 は、ゲート駆動回路 104 の出力部とアナログスイッチ 14 の間に接続される。

50

【 0 0 4 7 】

ゲートオフ判定部 15 は、半導体素子 101 のゲートソース間電圧 (V_{gs}) をモニタしており、半導体素子 101 がオフ状態であることを V_{gs} の値から判定する。ゲートオフ判定部 15 は、半導体素子 101 がオフ状態であることを判定すると、アナログスイッチ 14 が閉じられ、オフ側ゲート抵抗 7 (抵抗値 R) と並列化抵抗 13 (抵抗値 r) が並列接続される。並列接続時の抵抗は、 R から $R / (1 + R / r)$ ($< R$) に減少する。したがって、半導体素子 101 のオフ中に、ゲートの電位が沈み込んだ時にゲート駆動回路 104 の出力部がゲート駆動回路の負側電源 3 に低インピーダンスで接続されるため、ゲート電圧の変動 (沈み込み) を抑制できる。

【 0 0 4 8 】

10

実施例 2 では、ダイオード 12 の整流作用から、ゲートが沈み込むときのみ変動抑制効果があるのに対し、本実施例では、低インピーダンス化回路 16a の双方向性から、ゲートの沈み込みと持ち上がりの両方に変動抑制効果がある点で優位である。ゲート電圧の持ち上がり量の抑制により、半導体素子 101 のオフ時において、半導体素子 101 のゲート-ソース間電圧が閾値電圧 (V_{th}) まで持ち上がるまでの電位差マージンが大きくなるため、誤オンを防止できる。

【 実施例 4 】

【 0 0 4 9 】

図 8 は、本実施例にかかるゲート駆動回路の構成図を示す。本実施例では、低インピーダンス化回路として、アナログスイッチでなく、MOSFET を用いている点異なる。以下、実施例 1 乃至 3 との相違点を中心に説明する。

20

【 0 0 5 0 】

低インピーダンス化回路 16b は、電圧クランプ用 MOSFET 17、およびゲートオフ判定部 15 から構成される。電圧クランプ用 MOS 17 は、ゲート駆動回路 104 の出力部とゲート駆動回路の負側電源 3 の間に接続される。ゲートオフ判定部 15 は、ゲート駆動回路 104 の出力部と電圧クランプ用 MOS 17 のゲート端子との間に接続される。

【 0 0 5 1 】

ゲートオフ判定部 15 は、半導体素子 101 がオフ状態であることを判定すると、電圧クランプ用 MOS 17 をオンさせ、ゲート駆動回路 104 の出力部とゲート駆動回路の負側電源 3 とを短絡させる。したがって、半導体素子 101 のオフ中にゲートの電位が沈み込んだ時に、ゲート駆動回路 104 の出力部がゲート駆動回路の負側電源 3 に極めて低インピーダンスで接続されるため、ゲート電圧の変動 (沈み込み) を効果的に抑制できる。

30

【 0 0 5 2 】

本実施例では、ゲート駆動回路 104 の出力部とゲート駆動回路の負側電源 3 の間に介在するインピーダンス成分が、電圧クランプ用 MOSFET 17 のオン抵抗のみとなって小さくなるため (たとえば数十 m)、実施例 3 に比べて、より効果的にゲートの変動 (沈み込み、持ち上がり) を抑制できる利点がある。

【 符号の説明 】

【 0 0 5 3 】

- 1 : ゲート配線
- 2 : ゲート駆動回路の正側電源
- 3 : ゲート駆動回路の負側電源
- 4 : P 型 MOSFET
- 5 : N 型 MOSFET
- 6 : オン側ゲート抵抗
- 7 : オフ側ゲート抵抗
- 8 : 駆動制御装置
- 9 : 電源生成部
- 10 : NPN トランジスタ
- 11 : PNP トランジスタ

40

50

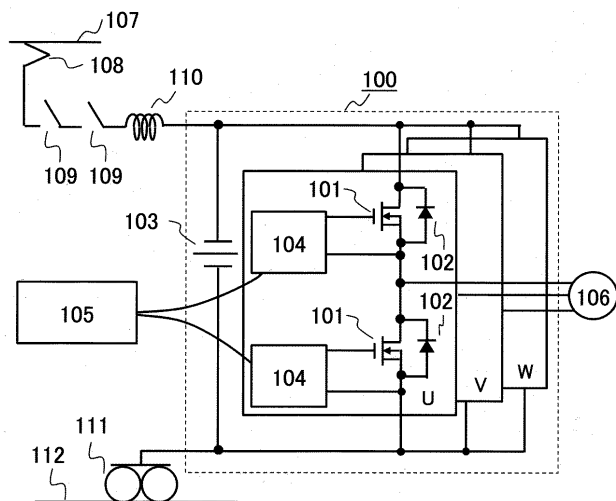
- 1 2 : ダイオード
- 1 3 : 並列化抵抗
- 1 4 : アナログスイッチ
- 1 5 : ゲートオフ判定部
- 1 6 a : 低インピーダンス化回路
- 1 6 b : 低インピーダンス化回路
- 1 7 : 電圧クランプ用 M O S F E T
- 9 1 : 定格電圧 (上限値)
- 9 2 : 正側電圧電源
- 9 3 : 負側電圧電源
- 9 4 : 定格電圧 (下限値)
- 1 0 0 : パワーユニット
- 1 0 1 : 電圧駆動型の半導体素子 (I G B T 、 M O S F E T など)
- 1 0 2 : 還流ダイオード
- 1 0 3 : フィルタコンデンサ
- 1 0 4 : ゲート駆動回路
- 1 0 5 : 指令論理部
- 1 0 6 : モータ
- 1 0 7 : 架線
- 1 0 8 : 集電装置
- 1 0 9 : 遮断機
- 1 1 0 : フィルタリアクトル
- 1 1 1 : 車輪
- 1 1 2 : レール

10

20

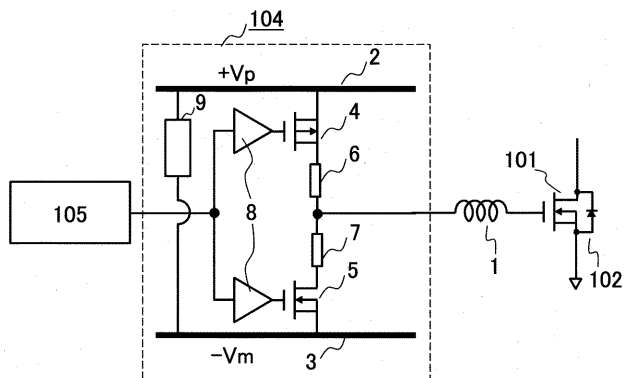
【 図 1 】

図1

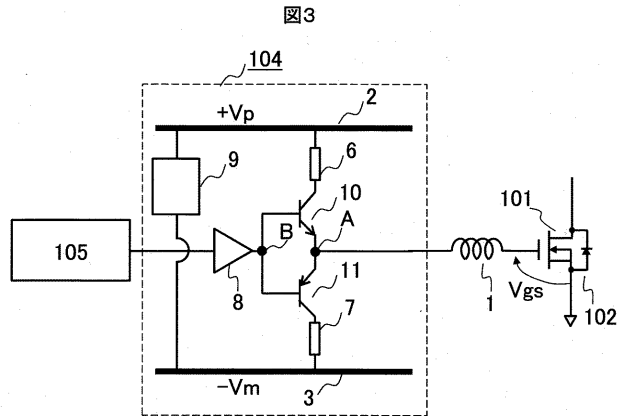


【 図 2 】

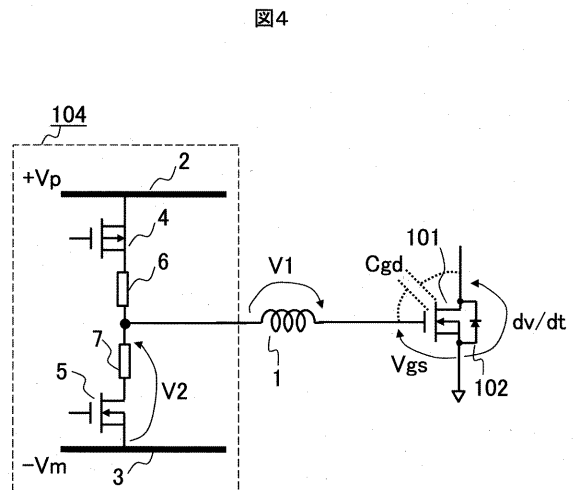
図2



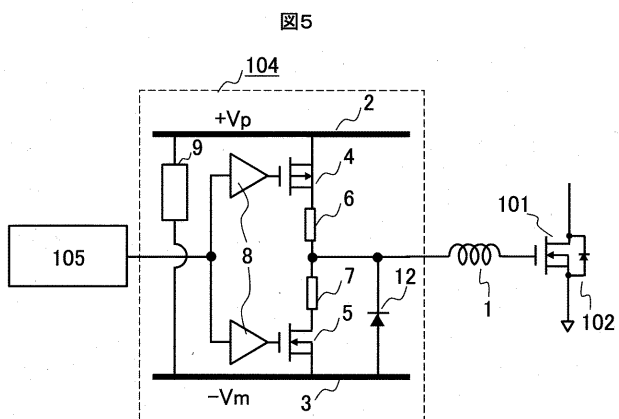
【 図 3 】



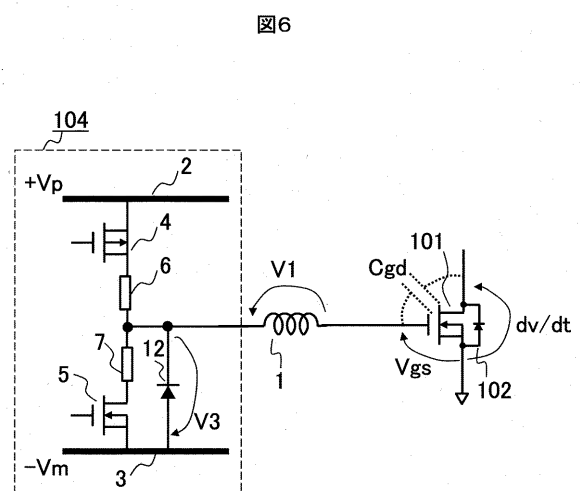
【 図 4 】



【 図 5 】



【 図 6 】



【 図 8 】

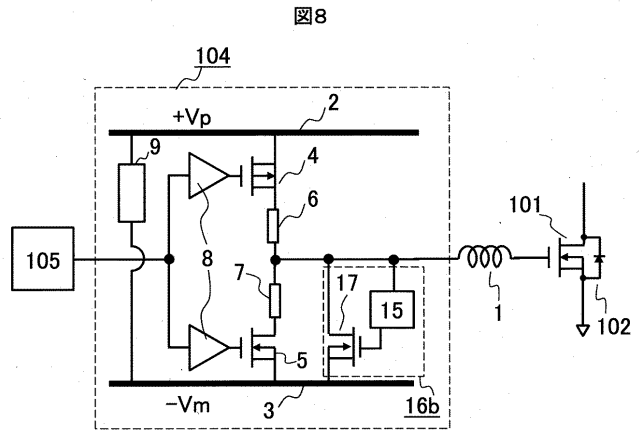
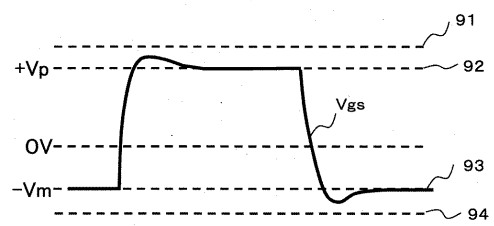


図9



フロントページの続き

F ターム(参考) 5J055 AX33 AX34 BX16 CX07 CX20 DX13 DX22 DX59 EX07 EX20
EY01 EY05 EY07 EY10 EY12 EY13 EY17 EY21 EY29 EZ14
EZ53 EZ63 GX01 GX02 GX04