【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第４区分
【発行日】平成29年12月21日(2017.12.21)

【公開番号】特開2017-93065(P2017-93065A)
【公開日】平成29年5月25日(2017.5.25)
【年通号数】公開・登録公報2017-019
【出願番号】特願2015-217440(P2015-217440)
【国際特許分類】
Ｈ０２Ｍ　7/48　(2007.01)
Ｈ０３Ｋ　17/28　(2006.01)
【ＦＩ】
Ｈ０２Ｍ　7/48　Ｍ
Ｈ０３Ｋ　17/28　Ｇ

【手続補正書】
【提出日】平成29年11月10日(2017.11.10)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】０００８
【補正方法】変更
【補正の内容】
【０００８】
本発明は、上述のような課題を解決するためになされたもので、その目的は識別信号とは独立してエラー保護動作を行うことができ、出力された識別信号によりエラーモードを識別することができる半導体素子の駆動装置を得るものである。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
【図１】本発明の実施の形態に係る電力変換装置を示す図である。
【図２】本発明の実施の形態に係る半導体素子の駆動装置を示す図である。
【図３】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路を示す図である。
【図４】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。
【図５】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。
【図６】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。
【図７】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。
【図８】本発明の実施の形態に係るタイマー回路の第１の例を示す図である。
【図９】本発明の実施の形態に係るタイマー回路の第２の例を示す図である。
【図１０】本発明の実施の形態に係るタイマー回路の第３の例を示す図である。
【図１１】本発明の実施の形態に係る他相識別信号優先回路を示す図である。
【図１２】本発明の実施の形態に係る他相識別信号優先回路の動作を示すタイミングチャートである。

【図１３】従来の半導体素子の駆動装置を示す図である。
【図１４】従来の半導体素子の駆動装置の動作を示すタイミングチャートである。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【００１４】
半導体素子２ａ，２ｂ，２ｃがそれぞれＵ相、Ｖ相、Ｗ相とされて上アームＵＡが構成され、半導体素子２ｄ，２ｅ，２ｆがそれぞれＸ相、Ｙ相、Ｚ相とされて下アームＬＡが構成されている。半導体素子２ａ，２ｄの接続点と、半導体素子２ｂ，２ｅの接続点と、半導体素子２ｃ，２ｆの接続点とから３相交流電力が出力され、この３相交流電力が電動モータ等の交流負荷に供給されている。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００３２
【補正方法】変更
【補正の内容】
【００３２】
図８は、本発明の実施の形態に係るタイマー回路の第１の例を示す図である。エラー信号に対応するｆｆ１ｄ，ｆｆ２ｄ，ｆｆ３ｄがＯＲ回路２７に入力され、その出力がＮＯＲ回路２８に入力される。ＮＯＲ回路２８の出力に応じてトランジスタ２９がコンデンサ３０と接地点の間をＯＮ／ＯＦＦする。ｆｆ１ｄ，ｆｆ２ｄ，ｆｆ３ｄの何れかが入力されるとトランジスタ２９がＯＦＦし、電流源３１がコンデンサ３０を充電し始める。コンパレータ３２はコンデンサ３０の電圧が閾値電圧Ｖに達するまでの時間を出力する。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００３６
【補正方法】変更
【補正の内容】
【００３６】
図１１は、本発明の実施の形態に係る他相識別信号優先回路を示す図である。ここでは駆動装置３ａ～３ｆの何れか２つをＡ相とＢ相の駆動装置として例示している。また、駆動装置内において他相識別信号優先回路１２周辺の構成以外は省略している。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００３７
【補正方法】変更
【補正の内容】
【００３７】
立ち上がりエッジ検出部３８は、自相の識別信号の立ち上がりエッジに合わせてワンショットパルスを出力する。立ち下がりエッジ検出部３９は、自相の識別信号の立ち下がりエッジに合わせてワンショットパルスを出力する。立ち上がりエッジ検出部３８の出力がＯＲ回路４０に入力され、立ち下がりエッジ検出部３９の出力もＡＮＤ回路４１を介してＯＲ回路４０に入力される。ＦＯ端子を介して入力された他相の識別信号がＤフリップフロップ回路４２のＤ端子に入力され、かつインバータ４３を介してＡＮＤ回路４１に入力される。ＯＲ回路４０の出力はＤフリップフロップ回路４２のＴ端子に入力される。Ｄフリップフロップ回路４２の出力によりトランジスタ１３がＯＮ／ＯＦＦする。
【手続補正７】
【補正対象書類名】明細書

【補正対象項目名】００３８
【補正方法】変更
【補正の内容】
【００３８】
図１２は、本発明の実施の形態に係る他相識別信号優先回路の動作を示すタイミングチャートである。ＦＯ端子から他相の識別信号が入力されている場合には、Ｄ端子入力はローレベルになるため、立ち上がりエッジ検出部３８からワンショットパルスがＴ端子に入力されても、Ｄフリップフロップ回路４２のＱ端子からの出力は無い。従って、他相識別信号優先回路１２は、ＦＯ端子から他相の識別信号が入力されている状態では、自相の識別信号をＦＯ端子から出力させない。