

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4192111号  
(P4192111)

(45) 発行日 平成20年12月3日(2008.12.3)

(24) 登録日 平成20年9月26日(2008.9.26)

(51) Int.Cl.	F 1
HO4N 1/028 (2006.01)	HO4N 1/028 A
HO4N 1/19 (2006.01)	HO4N 1/04 102
HO4N 1/04 (2006.01)	HO4N 1/04 101
HO1L 27/148 (2006.01)	HO1L 27/14 B

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2004-72763 (P2004-72763)	(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成16年3月15日(2004.3.15)	(73) 特許権者 000003562 東芝テック株式会社 東京都品川区東五反田二丁目17番2号
(65) 公開番号	特開2004-289821 (P2004-289821A)	(74) 代理人 100058479 弁理士 鈴江 武彦
(43) 公開日	平成16年10月14日(2004.10.14)	(74) 代理人 100091351 弁理士 河野 哲
審査請求日	平成19年3月12日(2007.3.12)	(74) 代理人 100088683 弁理士 中村 誠
(31) 優先権主張番号	10/391,623	(74) 代理人 100108855 弁理士 蔵田 昌俊
(32) 優先日	平成15年3月20日(2003.3.20)	
(33) 優先権主張国	米国(US)	

最終頁に続く

(54) 【発明の名称】 画像入力装置

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の光電変換素子が直線上に配置され、受光した原稿画像に対応する電荷を蓄積するラインセンサと、

前記ラインセンサに蓄積された電荷を同時に転送するための第1のシフトゲートと、

前記第1のシフトゲートを介して電荷が転送され、転送された電荷をシフトクロックに応じて主走査方向にシフトし、シフトされた画像信号を提供する第1のアナログシフトレジスタと、

前記第1のアナログシフトレジスタの電荷を同時に転送するための第2のシフトゲートと、

前記第2のシフトゲートを介して電荷が転送され、転送された電荷を前記シフトクロックに応じて主走査方向にシフトし、シフトされた画像信号を提供する第2のアナログシフトレジスタと、

前記第2のシフトゲートの電荷転送時間を調整することで、前記第1のアナログシフトレジスタ上の電荷量を調整する調整部と、

前記第1のアナログシフトレジスタから提供される前記画像信号を処理する第1の画像処理部と、

前記第2のアナログシフトレジスタから提供される前記画像信号を処理する第2の画像処理部と、

前記第1の画像処理部により処理された画像信号を1ライン分遅延するラインメモリと

10

20

、  
前記第2の画像処理部により処理された画像信号と、前記ラインメモリにより遅延された画像信号を加算する加算部と、

を具備することを特徴とする画像入力装置。

【請求項2】

複数の光電変換素子が直線上に配置され、受光した原稿画像に対応する電荷を蓄積する  
ラインセンサと、

前記ラインセンサに蓄積された電荷を同時に転送するための第1のシフトゲートと、  
前記第1のシフトゲートを介して電荷が転送され、転送された電荷をシフトクロックに  
応じて主走査方向にシフトし、シフトされた画像信号を提供する第1のアナログシフトレジスタと、

前記第1のアナログシフトレジスタの電荷を同時に転送するための第2のシフトゲート  
と、

前記第2のシフトゲートを介して電荷が転送され、転送された電荷を前記シフトクロックに  
応じて主走査方向にシフトし、シフトされた画像信号を提供する第2のアナログシフトレジスタと、

前記第2のシフトゲートの電荷転送時間を調整することで、前記第1のアナログシフトレジスタ上の電荷量を調整する調整部と、

前記第2のアナログシフトレジスタの電荷を同時に転送するための第3のシフトゲート  
と、

前記第3のシフトゲートを介して電荷が転送され、転送された電荷を前記シフトクロックに  
応じて主走査方向にシフトし、シフトされた画像信号を提供する第3のアナログシフトレジスタと、

赤、緑、青の分光特性をそれぞれ有し原稿を照明する3つの光源と、

前記第1のシフトゲートの電荷転送周期で、前記3つの光源を順次切り替えて点灯させる  
光源制御部と、

を具備することを特徴とする画像入力装置。

【請求項3】

前記光源制御部は前記第1のシフトゲートにより、前記ラインセンサに蓄積された電荷が  
転送されている期間に前記光源の点灯／消灯制御を行うことを特徴とする請求項1又は  
2記載の画像入力装置。

【請求項4】

複数の光電変換素子が直線上に配置されたラインセンサに、受光した原稿画像に対応する電荷を蓄積し、

前記ラインセンサに蓄積された電荷を、第1のシフトゲートを介して第1のアナログシフトレジスタに同時に転送し、

前記第1のアナログシフトレジスタに転送された電荷をシフトクロックに応じて主走査方向にシフトし、シフトされた画像信号を提供し、

前記第1のアナログシフトレジスタに転送された電荷を、第2のシフトゲートを介して第2のアナログシフトレジスタに同時に転送し、

前記第2のアナログシフトレジスタに転送された電荷を前記シフトクロックに応じて主走査方向にシフトし、シフトされた画像信号を提供し、

前記第2のシフトゲートの電荷転送時間を調整することで、前記第1のアナログシフトレジスタ上の電荷量を調整し、

前記第1のアナログシフトレジスタから提供される前記画像信号を処理し、処理された  
画像信号をラインメモリにて1ライン分遅延し、

前記第2のアナログシフトレジスタから提供される前記画像信号を処理し、処理された  
画像信号と、前記ラインメモリにより遅延された画像信号を加算することを特徴とする  
画像入力方法。

【発明の詳細な説明】

10

20

30

40

50

**【技術分野】****【0001】**

本発明はCCDラインセンサを用いて原稿を走査することで、原稿画像情報を読み取るスキャナ又はデジタル複写機等の画像入力装置に関する。

**【背景技術】****【0002】**

従来、縮小光学系に用いられるCCDラインセンサは、光電変換素子であるフォトダイオードを直線上に配置したフォトダイオードアレイと、アナログシフトレジスタと、フォトダイオードアレイにより生成された電荷をアナログシフトレジスタに転送するためのシフトゲートと、アナログシフトレジスタにより主走査方向にシフトされた電荷を電圧信号に変換するフローティングキャパシタと、電圧信号を増幅する出力アンプから構成されている。

10

**【0003】**

CCDラインセンサの単位時間における入射光量に対する出力電圧で定義される感度は、フォトダイオードアレイの感度バラツキや前記出力アンプの増幅率のバラツキによるバラツキを有し、一般的に標準値±20%程度が仕様として設定されている。

**【0004】**

また、カラー原稿読み取り用の3ラインカラーCCDセンサの場合は、3ライン平行して配置された各フォトダイオードアレイの受光面に、それぞれ光の3原色であるRED, GREEN, BLUEの色フィルタが配置される。この場合、色フィルタの透過率のバラツキが前記感度バラツキに重畳するため、3ラインカラーCCDセンサの感度バラツキは±30%が一般的である。

20

**【0005】**

画像入力装置としてのスキャナやデジタル複写機では、光源として蛍光体を用いた冷陰極管やキセノンランプを用いることが多くなってきた。前記光源の発光量は、蛍光体の塗布量バラツキによる発光効率のバラツキと、経時による蛍光体の発光効率の劣化により、ばらつくことが一般的に知られている。

**【0006】**

このように、画像入力装置の主となる部品の性能はバラツキが大きく、そのバラツキを抑制するためには、多くの制御や精度の高い調整や組み立てが必要となる。

30

**【0007】**

CCDラインセンサの出力電圧を制御する一例としては、該ラインセンサの出力電圧が一定となるように光源の光量を制御する調光が上げられる。しかし一般的に、蛍光体を用いた光源は照射光量が大きい程製品寿命が短くなり、また、環境温度にも大きく左右される特性を有している。従って蛍光体の寿命と、システムとしての画像入力装置の製品寿命との兼ね合いが重要となる。

**【発明の開示】****【発明が解決しようとする課題】****【0008】**

上記したような制御方法の場合、CCDラインセンサの出力信号に含まれる信号とノイズ成分の比(S/N比)は改善されず、保たれると考えられる。このように従来は、CCDラインセンサの感度バラツキと光源の光量バラツキを根本的に抑制する方法は存在しない。

40

**【0009】**

本発明は、CCDラインセンサの感度バラツキと光源の光量バラツキを根本的に抑制することを目的とする。

**【課題を解決するための手段】****【0010】**

本発明の1実施形態では、フォトダイオードアレイからアナログシフトレジスタへの電

50

荷転送経路に、2つのシフトゲートと2つのアナログシフトレジスタが設けられる。

【0011】

フォトダイオードに蓄積した全ての電荷が、フォトダイオードアレイに隣接する第1のシフトゲートを介して第1のアナログシフトレジスタに転送される。この状態では、第1のアナログシフトレジスタ上の電荷にはCCDラインセンサ(フォトダイオードアレイ)の感度及び光源光量のバラツキが含まれている。

【0012】

そこで、第1のアナログシフトレジスタに第2のシフトゲート及び第2のアナログシフトレジスタが隣接して配置される。第2のシフトゲートの有効信号時間(駆動パルス幅)を制御することで、第1のアナログシフトレジスタ上の電荷が第2のシフトレジスタに転送されるときの電荷転送量が制御される。この結果、第1のアナログシフトレジスタ上の信号電圧振幅が所望の値に制御される。このとき、第2のアナログシフトレジスタ上の電荷は不要であるため前記転送クロックにより順次外部に吐き出される。

【発明の効果】

【0013】

第1のアナログシフトレジスタから出力される信号振幅を容易に調整でき、CCDラインセンサの感度や光源光量のバラツキを補正することができる。すなわちCCDラインセンサの感度バラツキと光源の光量バラツキを根本的に抑制することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施形態を図面を参照して説明する。

【0015】

図1は本発明に係るCCDラインセンサ6を用いた画像入力装置1の構成を示す。画像入力装置1は解像度に応じた走査ライン間隔で原稿の画像情報を読み取る装置である。

【0016】

原稿Dは原稿台ガラス2上に画像面を下向きにして置かれる。スタート釦(図示せず)が押されると、キセノン光源や冷陰極管等を用いた光源11が点灯し、そのときの照射光が原稿ガラス2を透過し、原稿Dの読み取り位置Xに照射される。原稿Dの読み取り位置Xからの反射光が第1ミラー12で反射し、第1ミラー12からの反射光が第2ミラー41、第3ミラー42に照射される。第2ミラー41と第3ミラー42で反射した原稿からの反射光は集光レンズ5に入射し、CCDラインセンサ6の受光面で結像する。CCDラインセンサ6は原稿Dを主走査方向に走査する。CCD基板7は前記CCDラインセンサ6の他に、CCDラインセンサ6を駆動するCCDドライバが実装されている。処理基板8にはCCDラインセンサ6から出力される画像信号を処理する電気回路及び画像入力装置1を総合的に制御するCPU等の処理回路(後述されるスキヤナ制御部40)が実装されている。CCD基板7と処理基板(スキヤナ制御部)40はハーネス9により接続されている。

【0017】

原稿Dを読み取る場合は、光源11と第1ミラー12で構成する第1キャリジ13と、第2ミラー41と第3ミラー42で構成する第2キャリジ4を、図中の矢印の方向に図示しない駆動モータ及びベルトまたはワイヤ等から構成される駆動系により移動する。これにより、読み取り位置Xが図中の左から右に移動して、原稿Dは副走査方向に走査される。このとき、第1キャリジ13の移動速度を2V、第2キャリジ4の移動速度をVというように、第1キャリジ13の移動速度を第2キャリジ4の2倍の移動速度とする。

【0018】

図2は画像入力装置1の制御系の構成を示すブロック図である。この画像入力装置1はスキヤナ制御部40及びコントロールパネル部80を含む。

スキヤナ制御部40は、CPU100、ROM101、RAM102、CCDドライバ103、スキヤナモータドライバ104、画像処理部105、光源12を制御する光源制御部106、原稿自動検知部107を含んでいる。

10

20

30

40

50

## 【0019】

CPU100はROM101に記憶された制御プログラムに従って、スキャナ制御部40を全体的に制御し、RAM102をデータの一時記憶用に用いる。CCDドライバ（CCD制御部）103はCCDラインセンサ6に各種CCD制御信号を送信し、CCDラインセンサ6を駆動する。スキャナモータドライバ104は第1及び第2のキャリッジ3及び4等を移動する駆動モータの回転を制御する。原稿自動検出部107によって原稿台ガラス2上に置かれた原稿が、カラー原稿であるかモノクロ原稿であるか及び原稿サイズを自動検知される。

## 【0020】

画像処理部105はCCDラインセンサ6からのアナログ信号をデジタル信号に変換するA/D変換回路と周囲の温度変化などに起因するCCDラインセンサ6からの出力信号に対するスレッショルドレベルの変動を補正するためのシェーディング補正回路やガンマ補正回路を含む。また画像処理部105はこれら補正回路からの補正されたデジタル信号を一旦記憶するラインメモリを含む。更に画像処理部105は補正された画像データに対して、トリミング、マスキング、拡大/縮小処理、解像度変換、画像の圧縮/非圧縮処理等の画像処理を行う。

10

## 【0021】

コントロールパネル部80はキーパッド82、パネルCPU83、液晶表示部84、コントロールパネル用I/F85を含む。パネルCPU83はコントロールパネルI/F85を介してCPU100と通信を行う。液晶表示部84には原稿読み取り条件の設定画面等が表示され、パネルCPU83はキーパッド82を介してユーザからキー入力される原稿読み取り条件に関するデータを受信し、該キー入力データをスキャナ制御部40に転送すると共に液晶表示部84に表示する。この原稿読み取り条件には原稿をカラー原稿として読み取るか、あるいはモノクロ原稿として読み取るかの情報、及び解像度の情報等が含まれる。

20

## 【0022】

以下、本発明による幾つかの実施形態を説明するが、何れの実施形態も、画像入力装置の基本構成は図1及び図2に示す構成と同様の構成を有している。

## 【0023】

次に、CCDラインセンサ6の出力信号について説明する。

## 【0024】

30

CCDラインセンサ6の出力信号波形は、所定オフセット電圧から基準電圧である0V方向に入射光量に比例した電圧値として現れる。

## 【0025】

また、CCDラインセンサ6の光電変換部はフォトダイオードアレイで構成され、各フォトダイオードは光電変換効率が均一でない。この不均一性は、CCDラインセンサ6では出力電圧不均一性として定義しており、CCDラインセンサ6からの出力信号の高周波歪みと考えられる。また、図1のような縮小光学系では集光レンズ5を用いているためレンズの収差が発生する。この収差のためにCCDラインセンサ6の受光面の両端の受光量が受光面の中央部に対し減少する。これを前記の高周波歪みに対して低周波歪みと記す。

## 【0026】

40

よって、CCDラインセンサ6の後段に設ける処理回路では、上記オフセット電圧や高周波歪みと低周波歪みを補正する必要がある。CCDラインセンサ6の後段にコンデンサを直列に接続することでCCDレベルであるオフセット電圧が除去され、さらに上記コンデンサの電位を設定することでオフセット電圧が所望の電圧に固定される。CCDラインセンサ6に光が照射しない状態での信号電位を黒レベルの基準として考え、その信号電位を上記オフセット電圧が除去された後の所望の電圧として設定する場合もある。

## 【0027】

その後、各画素の出力アナログ信号は、サンプルホールド処理が行なわれ、振幅が安定化される。サンプルされたアナログ信号の振幅はゲインアンプ、一般的にはプログラマブル・ゲイン・アンプ（PGAと記す）と呼ばれる増幅器により、後段のアナログデジタル

50

変換器（以下、A D C と記す）の入力レンジにあった振幅に増幅される。振幅調整を行った信号はA D Cにより、システムにあった分解能のデジタル信号に変換される。このときA D Cに入力するアナログ信号はA D Cの入力レンジを越えてはいけないため、図1に示す白基準板19を読み取った時の画像信号を入力最大値として、前記P G Aの増幅率が調整される。白基準板19の白は、白い原稿よりも反射率の高い白に設定されるので、前記調整の結果、どんな原稿が読まれてもA D Cの出力は飽和しない。

【0028】

この状態で信号には前記高周波歪みと低周波歪みが必ず含まれてしまうため、その歪みを補正する目的で歪み補正（一般的にシェーディング補正と呼び、以下、S H D 補正と記す）が必要となる。

10

【0029】

補正の具体的な方法としては、光源11を消灯し、C C D ラインセンサ6に光を照射しない状態で、A D Cによりデジタル変換した画素信号を黒基準信号として保管する。次に光源11を点灯し、その状態で白基準板19を読み取った画素信号をA D Cでデジタル変換して白基準信号として保管する。一般的にはノイズ除去の目的で黒基準信号及び白基準信号は8ラインや16ライン分のように複数ラインを読み取り、その画素信号の平均値を利用する。

【0030】

読み取った原稿Dの画像信号は、画素単位で上記黒基準信号が減算され、係数が乗算される。この係数は、白基準信号が所望の値（例えば、8 b i t 分解能では255）となる値である。この処理により上記高周波歪み及び低周波歪みを補正（S H D 補正）した画像信号を得ることができる。以上が画像入力装置の基本的な動作である。

20

【0031】

次に、図3～5を用いて本発明の説明を行う。

【0032】

図3Aは本発明の1実施形態に係るC C D ラインセンサ6の概略構成図、図3Bはタイミング説明図、図4はC C D ラインセンサ6の内部構造、図5AはC C D ラインセンサ6の内部動作説明図、図5Bはそのタイミング例を示す。尚、図4は光を受光する1つのフォトダイオードについての構造を示し、C C D ラインセンサ6は複数のフォトダイオードが直線上に配置されている。

30

【0033】

C C D ラインセンサ6はフォトダイオードアレイからなるラインセンサ61と；ラインセンサ61の各フォトダイオードの光電変換機能で得られた電荷を同時に転送するための第1のシフトゲート62と；第1のシフトゲートを介して転送された電荷をシフトクロックC L K 1、C L K 2に応じて主走査方向にシフトし、シフトされた画像信号を提供する第1のアナログシフトレジスタ63と；第1のアナログシフトレジスタ63のシフトされた画像信号を増幅し順次外部に提供する第1の出力アンプ64と；前記第1のアナログシフトレジスタ63に転送された電荷を更に同時に転送するための第2のシフトゲート65と；第2のシフトゲートを介して転送された電荷をシフトクロックC L K 1、C L K 2に応じて主走査方向にシフトし、シフトされた画像信号を提供する第2のアナログシフトレジスタ66と；第2のアナログシフトレジスタ66のシフトされた出力信号を増幅し順次外部に提供する第2の出力アンプ67から構成される。

40

【0034】

ラインセンサ61に光エネルギー（h v）が照射され、光電変換機能により光エネルギーが電荷となりラインセンサ61に蓄えられる。このとき第1のシフトゲート62に印加される駆動信号S H 1は“L”レベルで、ゲートは上に上がった状態となっている（図4、図5BのT1の状態）。

【0035】

次に、信号S H 1が“H”となることで第1のシフトゲート62が下がり、ラインセンサ61の電荷は第1のシフトゲート62を通過し第1のアナログシフトレジスタ63に転

50

送される(図5A及び5B、T2の状態)。信号SH1を十分な時間(t1)“H”レベルとすることでラインセンサ61の電荷は全て第1のアナログシフトレジスタ63に転送される。その後、信号SH1を“L”に切り替える(T3の状態)。

【0036】

次に、信号SH2を“L”レベルから“H”レベルとすることで第2のシフトゲート65が下がり第1のアナログシフトレジスタ63に転送された電荷が第2のシフトゲート65を通過し、第2のアナログシフトレジスタ66に転送される(T4の状態)。第1のアナログシフトレジスタ63に所望の電荷が残留する時間(t2)だけ経過した後に信号SH2を“L”レベルに戻す(T5の状態)。

【0037】

以上のように第2のシフトゲート62の電荷転送時間(シフトパルス信号SH2のパルス幅)を調整することで、第1のアナログシフトレジスタ63の電荷量を容易に調整することが可能となる。尚、信号SH1、SH2はCCD制御部103により生成される。CCD制御部103により信号SH2のパルス幅が制御されることにより、光源11の光量バラツキ、ラインセンサ61(フォトダイオードアレイ)の感度バラツキが補正される。つまりCCD制御部103は、第1のアナログシフトレジスタ63上の電荷量を調整する。また、この電荷量調整は上記のように信号SH2の“H”レベル時間幅t2を変更しても、SH2のように微小パルスの数を制御しても良い。

【0038】

図6はシフトパルス信号の“H”レベル期間と残像量の関係の一例を示す。

10

【0039】

横軸はシフトゲート駆動信号の有効時間幅(上記説明では信号SH2の“H”レベル期間すなわちパルス幅)、縦軸はアナログシフトレジスタに残留する残像量(上記説明では、第1のアナログシフトレジスタ63の残留電荷量)を示す。図6からも明らかのように、シフトゲートに印加するシフトパルス信号のパルス幅を制御することにより、電荷の転送量を容易に制御できることがわかる。尚、この図において“H”レベルのシフトパルスがシフトゲートに印加される前(信号SHが“H”レベル期間:0nS)のフォトダイオード出力レベルは800mVである。

【0040】

図3に戻り、CCDラインセンサ6のタイミングについて説明する。

20

【0041】

CCDラインセンサ6の駆動信号は、ラインセンサ61の電荷を第1のアナログシフトレジスタ63に転送するために、第1のシフトゲート62に印加するシフトパルス信号SH1と;第1のアナログシフトレジスタ63の電荷を第2のアナログシフトレジスタ66に転送するために、第2のシフトゲート65に印加するシフトパルス信号SH2と、第1のアナログシフトレジスタ63または第2のアナログシフトレジスタ66に転送された電荷を順次第1の出力アンプ64または第2の出力アンプ67に転送するための転送クロックCLK1(1)及びCLK2(2)である。転送クロックCLK1(1)及びCLK2(2)は、第1のアナログシフトレジスタ63と第2のアナログシフトレジスタ66の両方に印加される。

30

【0042】

また、第1のシフトゲート62または第2のシフトゲート65を電荷が通過して第1のアナログシフトレジスタ63または第2のアナログシフトレジスタ66に電荷を転送している際に、アナログシフトレジスタが動作しているとラインセンサ61上の電荷がアナログシフトレジスタの複数の画素部分に振りまかれてしまう。従って、信号SH1またはSH2が“H”レベルの時は前記転送クロックCLK1及びCLK2は停止する必要がある。

40

【0043】

図7に他の実施形態を示す。この実施形態は、CCDラインセンサ6を用いて写真画像等の階調を有する画像の階調性を向上する階調処理回路108である。図7Aは階調処理

50

回路 108 の概略構成を示す。階調処理回路 108 はラインメモリ 81 及び画素合成回路 82 からなる。

【0044】

図 3A の第 1 の出力アンプ 64 から出力されたアナログ信号 OS1 は画像処理部 105 により、前記オフセット除去やサンプルホールド等のアナログ関連の各種処理が行われ、ADC によりデジタル信号に変換され、前記 SHD 補正により正規化され、その後、画素合成回路 82 に入力される。

【0045】

図 3A の第 2 の出力アンプ 67 から出力されたアナログ信号 OS2 も同様に、前記オフセット除去やサンプルホールド等のアナログ関連の各種処理が行われ、ADC によりデジタル信号に変換され、前記 SHD 補正により正規化され、その後、ラインメモリ 81 によって前記第 1 の出力アンプ 64 から出力される画像信号系 OS1 の流れに対し 1 ライン遅延される。

【0046】

図 7B のように、画素合成回路 82 は入力画像信号を画素毎に加算する。この図において、例えば “(N - 1) · 1” は (N - 1) 番目ラインの第 1 画素である。ラインメモリ 81 から出力される画像信号は上記の通り 1 ライン遅延されている。画素合成回路 82 は第 1 の出力アンプ 64 の N ライン目の画像信号と、ラインメモリ 81 から出力される N - 1 ライン目の画像信号を加算する。以上の処理により、容易に読み取り方向 (副走査方向) の画素を加算平均した画像信号を生成することができる。即ち、階調のある写真画像等の画像の階調性を向上できる。

【0047】

図 7C は読み取った画像信号を第 2 のシフトゲート 65 の駆動信号 SH2 のパルス幅制御により、80% の電荷を第 1 のアナログシフトレジスタ 63 へ、20% の電荷を第 2 のアナログシフトレジスタ 66 へ転送した場合を示す。

【0048】

従来の CCD ラインセンサで読み取った場合の N ライン目 3 画素目の画像信号を “60H”、N + 1 ライン目 3 画素目の画像信号を “C0H” とする。本発明を用いると N + 1 ライン目 3 画素目の画像信号は “ADH” ( $60H \times 20\% + C0H \times 80\% = ADH$ ) となり、容易に画素の平均化処理が行える。

【0049】

上記の説明では N ライン目と N + 1 ライン目の割合を 20 : 80 としたが、第 2 のシフトゲート 65 に印加する信号 SH2 の “H” レベルを制御することで容易に上記の割合を変更することができる。

【0050】

次に、図 8 を用いて別の実施形態を説明する。

【0051】

本実施形態は、光源 11 の発光色を切り替えることで、モノクロ用の CCD ラインセンサ 6 を用いてカラー原稿を読み取る光源切り替え型カラー画像入力装置である。

【0052】

画像入力装置の概要は図 1 に示した通りで、異なる点は光源 11 が RED の分光特性を有する光源 11R と、GREEN の分光特性を有する光源 11G と、BLUE の分光特性を有する光源 11B の 3 つの光源で構成している点である。

【0053】

図 8A に概略構成図、図 8B にタイミング説明図を示す。

【0054】

CCD ラインセンサ 6A はフォトダイオードアレイからなるラインセンサ 6A1 と；第 1 のアナログシフトレジスタ 6A3 と；ラインセンサ 6A1 の光電変換機能で得られた電荷を、第 1 のアナログシフトレジスタ 6A3 に転送するためのゲートの役割をする第 1 のシフトゲート 6A2 と；第 1 のアナログシフトレジスタ 6A3 の電荷を順次增幅して外部

10

20

30

40

50

に出力するための第1の出力アンプ6A4と；第2のアナログシフトレジスタ6A6と；第1のアナログシフトレジスタ6A3に転送された電荷を更に第2のアナログシフトレジスタ6A6に転送するための第2のシフトゲート6A5と；第2のアナログシフトレジスタ6A6の電荷を順次増幅して外部に出力するための第2の出力アンプ6A7と；第3のアナログシフトレジスタ6A6と；第2のアナログシフトレジスタ6A6に転送された電荷を更に第3のアナログシフトレジスタ6A9に転送するための第3のシフトゲート6A8と；第3のアナログシフトレジスタ6A9の電荷を順次増幅して外部に出力するための第3の出力アンプ6A10とから構成される。

【0055】

図9A及び9Bは本実施形態の内部動作説明図である。

10

【0056】

ラインセンサ6A1（フォトダイオード）に光エネルギー（hν）が照射され、光電変換機能により光エネルギーが電荷となりラインセンサ6A1に蓄えられる。このとき第1のシフトゲート6A2に印加される駆動信号SH1Aは“L”レベルで、ゲートは上に上がった状態となっている（図9BのT11の状態）。

【0057】

次に、信号SH1Aが“H”となることで第1のシフトゲート6A2が下がり、ラインセンサ6A1の電荷は第1のシフトゲート6A2を通過し第1のアナログシフトレジスタ6A3に転送される（図9A及び9BのT12の状態）。信号SH1を十分な時間（t1）“H”レベルとすることでラインセンサ6A1の電荷は全て第1のアナログシフトレジスタ6A3に転送される。その後、信号SH1Aを“L”に切り替える（T13の状態）。

20

【0058】

次に、信号SH2Aを“L”レベルから“H”レベルとすることで第2のシフトゲート6A5が下がり、第1のアナログシフトレジスタ6A3に転送された電荷が第2のシフトゲート6A5を通過し、第2のアナログシフトレジスタ6A6に転送される（T14の状態）。第1のアナログシフトレジスタ6A3の電荷が全て第2のアナログシフトレジスタ6A6に転送される時間（t2）だけ経過した後に信号SH2Aを“L”レベルに戻す（T15の状態）。

【0059】

30

次に、信号SH3Aを“L”レベルから“H”レベルとすることで第3のシフトゲート6A8が下がり、第2のアナログシフトレジスタ6A6に転送された電荷が第3のシフトゲート6A8を通過し第3のアナログシフトレジスタ6A9に転送される（T16の状態）。第2のアナログシフトレジスタ6A6の電荷が全て第3のアナログシフトレジスタ6A9に転送される時間（t3）だけ経過した後に信号SH3Aを“L”レベルに戻す（T17の状態）。

【0060】

本発明の構成を用いたCCDラインセンサ6Aを光源切り替え型カラー画像入力装置に適応した場合の光源11（光源11R, 11G, 11B）の切り替えタイミングを図8Bに示す。光源11R、11G、11BのON/OFF制御は光源制御部106が行い、信号SH1A, SH2A, SH3AはCCD制御部103が生成する。

40

【0061】

光源11Bを図のタイミングで点灯し、第1のシフトゲート6A2に制御信号（シフトパルス）SH1Aを印加することで、光源11Bによる画像信号（B）が第1のアナログシフトレジスタ6A3（R）に転送される。上記制御信号SH1Aをt21で“H”レベルとし、“H”レベルの期間中に光源11Bを消灯し、光源11Gを点灯する。続いて、第2のシフトゲート6A5に制御信号SH2Aを印加することで、第1のアナログシフトレジスタ6A3（R）に転送された電荷が第2のアナログシフトレジスタ6A6（G）に転送される。続いて、第3のシフトゲート6A8に制御信号SH3Aを印加することで、第2のアナログシフトレジスタ6A6（G）に転送された電荷が第3のアナログシフトレ

50

ジスタ 6 A 9 ( B ) に転送される。この制御によって、光源 1 1 B で読み取った画像信号 ( B ) は、全て第 3 のアナログシフトレジスタ 6 A 9 ( B ) に転送される。

【 0 0 6 2 】

次に、第 1 のシフトゲート 6 A 2 に制御信号 S H 1 A を時刻  $t_{22}$  から印加することで、光源 1 1 G による画像信号 ( G ) が第 1 のアナログシフトレジスタ 6 A 3 ( R ) に転送される。上記制御信号 S H 1 A が “ H ” レベルの期間に光源 1 1 G を消灯し、光源 1 1 R を点灯する。続いて、第 2 のシフトゲート 6 A 5 に制御信号 S H 2 A の “ H ” レベルを印加することで、第 1 のアナログシフトレジスタ 6 A 3 ( R ) に転送された電荷が、全て第 2 のアナログシフトレジスタ 6 A 6 ( G ) に転送される。この制御によって、光源 1 1 G により読み取った画像信号 ( G ) は第 2 のアナログシフトレジスタ 6 A 6 ( G ) に全て転送される。

【 0 0 6 3 】

次に、第 1 のシフトゲート 6 A 2 に制御信号 S H 1 A の “ H ” レベルを時刻  $t_{23}$  から印加することで、光源 1 1 R による画像信号 ( R ) が第 1 のアナログシフトレジスタ 6 A 3 ( R ) に転送される。上記制御信号 S H 1 A が “ H ” レベルの期間に光源 1 1 G を消灯し、光源 1 1 B を点灯する。

【 0 0 6 4 】

以上が 1 サイクルの動作で、この動作により、第 1 のアナログシフトレジスタ 6 A 3 には R E D 画像信号、第 2 のアナログシフトレジスタ 6 A 6 には G R E E N 画像信号、第 3 のアナログシフトレジスタ 6 A 9 には B L U E の画像信号が転送される。この 1 サイクルは例えれば 1 m S 程度で、この間に原稿の 1 ライン分のカラー情報がサンプルされる。

【 0 0 6 5 】

各アナログシフトレジスタに転送された電荷は、転送クロック C L K 1 A , C L K 2 A により順次出力アンプ 6 A 4 , 6 A 7 , 6 A 1 0 から C C D ラインセンサ 6 A の画像処理部 1 0 5 に出力される。

【 0 0 6 6 】

上記説明では光源 1 1 を光源 1 1 B 、光源 1 1 G 、光源 1 1 R の順番に点灯 / 消灯制御を行ったが、順番を変更しても問題ないが、その際は出力アンプから出力される信号の色情報が変わる。

【 0 0 6 7 】

図 8 B のタイミングで転送クロック C L K 1 A , C L K 2 A を印加した場合は、図のように各色の画像情報は時間軸がずれて出力される。しかし、図 10 に示すように、1 サイクルの動作のうち、制御信号 S H 1 A の 3 つ目の印加後のみに転送クロック C L K 1 A , C L K 1 B を入力することで、各色の画像情報は同時に出力することができる。

【 0 0 6 8 】

次に本発明の他の実施形態を説明する。本実施形態は C C D ラインセンサ 6 A をモノクロ読み取り動作に適用した例である。 C C D ラインセンサ 6 A の構成は図 8 A と同一であるので図示を省略する。

【 0 0 6 9 】

本実施形態において、 C C D 制御部 1 0 3 は図 11 に示すように、上記制御信号 S H 1 A のみを C C D ラインセンサ 6 A に供給し、制御信号 S H 2 A , S H 3 A は “ L ” レベルに固定される。従って、第 1 のアナログシフトレジスタ 6 A 3 の後段の第 1 の出力アンプ 6 A 4 からの出力信号のみが画像処理部 1 0 5 に出力される。

【 0 0 7 0 】

この場合、光源 1 1 R または光源 1 1 G または光源 1 1 B のみを点灯した読み取りでは、読み取り原稿はモノクロまたは単色原稿となる。白と黒画像で構成したモノクロ原稿の読み取りに関しては問題は生じない。

【 0 0 7 1 】

光源 1 1 R 、光源 1 1 G 、光源 1 1 B の全てを同時に点灯することで、上記原稿を構成する色によって読みにくいという問題は無くなり、かつ C C D ラインセンサ 6 A に入射す

10

20

30

40

50

る光量が増加するため読み取り速度の向上を図ることも可能である。

【0072】

図12に3ラインCCDセンサに本発明を適用した実施形態の構成例を示す。図12は図3Aに対して次の点が異なる。即ち、R.G.B.用ラインセンサを設けてそれぞれのラインセンサに対して、第1及び第2のシフトゲートと出力段アンプと第1及び第2のアナログシフトレジスタを設けている。

【0073】

3ラインCCDセンサ6Bは、各ラインセンサの受光面にR、G、Bの色フィルタが配置されている。

【0074】

ラインセンサの出力電圧は、光源の分光分布特性とラインセンサの分光感度特性の積となる。従って、光源と該光源の特性に適したラインセンサを選別することによって、基準となる原稿、例えば、図1に示した白基準板19を読み取った際の各色のラインセンサの出力電圧を一致させることは可能である。例えば、光源のR、G、B各蛍光剤の量を調節することにより、R、G、B用のラインセンサの出力電圧を一致させることができるのである。しかし、前記従来技術にも記載したが、CCDラインセンサの分光感度特性や光源の分光分布特性、また、光源の光量は一般に各デバイスについてバラツキを有している。従って、光源と該光源の特性に最適なCCDラインセンサを選別するのは容易ではない。

【0075】

本実施形態において、CCD制御部103はRED用の第2のアナログシフトレジスタRへの電荷転送信号(シフトパルス)SHRと、GREEN用の第2のアナログシフトレジスタGへの電荷転送信号SHGと、BLUE用の第2アナログシフトレジスタBへの電荷転送信号SHBのパルス幅が、各ラインセンサの感度に応じて変更される。これにより、RED用の第1のアナログシフトレジスタRとGREEN用の第1のアナログシフトレジスタGとBLUE用の第1のアナログシフトレジスタB上の電荷量が調整される。従って、RED出力(OSR)とGREEN出力(OSG)とBLUE出力(OSB)の信号振幅を容易に合わせさせることができる。

【0076】

図12では、ラインセンサをRED、GREEN、BLUEの順番に配置したが、必ずしも上記順番である必要は無い。

【0077】

図13は4ラインCCDセンサに本発明を適用した実施形態の構成図を示す。図13の4ラインCCDセンサ6Cは、図12の3ラインCCDセンサ6Bに対してBLACK用ラインセンサBLACKと、該BLACK用ラインセンサに関する第1及び第2のシフトゲートKと出力段アンプKと第1及び第2のアナログシフトレジスタKを設けた例である。

【0078】

前述したように、光源とCCDラインセンサを合わせ込みことによって、基準となる原稿、例えば、図1に示した白基準板19を読み取った際のCCDラインセンサの各色の出力電圧を一致させることは可能である。しかし、各デバイスはバラツキを有しているので、光源と該光源の特性に最適なCCDラインセンサを選別するのは容易ではない。

【0079】

本実施形態においても、CPU制御部103はRED用の第2のアナログシフトレジスタRへの電荷転送信号SHRと、GREEN用の第2のアナログシフトレジスタGへの電荷転送信号SHGと、BLUE用の第2アナログシフトレジスタBへの電荷転送信号SHBのパルス幅を各ラインセンサの感度に応じて変更する。

【0080】

上記ラインセンサは受光面に色フィルタが配置されるが、4ラインCCDセンサ6CのラインセンサBLACKの受光面は、上記色フィルタではなく無色透明の保護プレートが配置される。従って、ラインセンサBLACKの感度は他のCCDラインセンサに比べ大

10

20

30

40

50

きい。4ラインCCDセンサでは、各ラインCCDセンサの受光面サイズが同一の場合、BLACK出力(OSK)が他の信号よりも振幅が大きくなる傾向がある。

【0081】

従って本実施形態では、CCD制御部103はBLACK用の第2のシフトゲートKの制御信号のパルス幅を他の制御信号より短く設定する。このようにして、BLACKの出力信号OSKの振幅を、容易に他の出力信号OSR, OSG, OSBの振幅と同一にすることができる。尚、図13では、ラインセンサをRED, GREEN, BLUE, BLACKの順番に配置したが、必ずしも上記順番である必要は無い。

【0082】

以上、本発明を一次元CCDセンサに応用した例を説明したが、本発明の主旨は二次元CCDセンサにも適用できることは明らかである。

【0083】

また、以上の説明はこの発明の実施の形態であって、この発明の装置及び方法を限定するものではない。更に、各実施形態における構成要素、機能、特徴あるいは方法ステップを適宜組み合わせて構成される装置又は方法も本発明に含まれるものである。

【図面の簡単な説明】

【0084】

【図1】本発明が適用される画像入力装置の概略構成図。

【図2】図1の画像入力装置の制御系の構成を示すブロック図。

【図3A】本発明の1実施形態に係るCCDラインセンサ6の概略構成図。

20

【図3B】図3Aに記載したCCDラインセンサ6の動作タイミング図。

【図4】図3Aに記載したCCDラインセンサ6の内部構造を示す図。

【図5A】図4に記載したCCDラインセンサ6の内部動作を示す図

【図5B】図4に記載したCCDラインセンサ6の動作タイミング図。

【図6】本発明の原理に係るシフトゲートパルス期間と電荷転送量の関係の一例を示す図

。

【図7A】CCDラインセンサ6を用いた信号処理回路の概略構成図。

【図7B】CCDラインセンサ6を用いた信号処理回路の信号タイミング図。

【図7C】CCDラインセンサ6を用いた信号処理回路にて処理される画像例を示す図。

【図8A】本発明の他の実施形態に係るCCDラインセンサ6Aの概略構成図。

30

【図8B】本発明の他の実施形態に係るCCDラインセンサ6Aの動作タイミング図。

【図9A】図8Aに示したのCCDラインセンサ6Aの内部動作を説明するための図。

【図9B】図8Aに示したのCCDラインセンサ6Aの動作タイミング図。

【図10】CCDラインセンサ6Aの他の動作タイミング図。

【図11】CCDラインセンサ6Aの他の動作タイミング図。

【図12】本発明を3ラインCCDセンサに適用した実施形態の概略構成図。

【図13】本発明を4ラインCCDセンサに適用した実施形態の概略構成図。

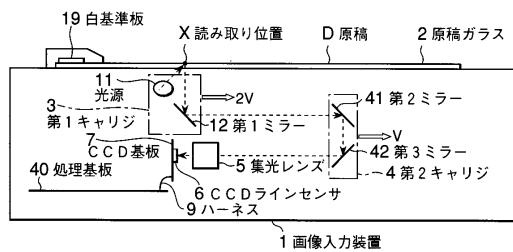
【符号の説明】

【0085】

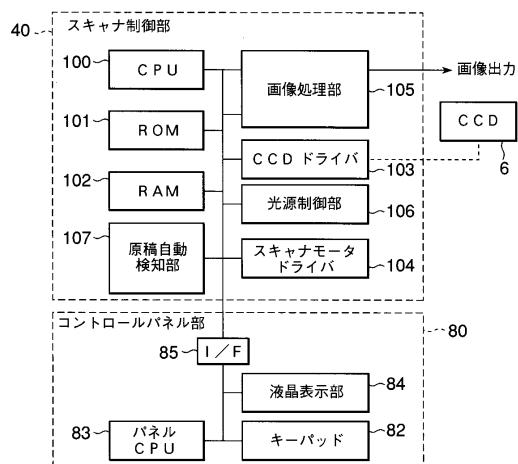
2...原稿ガラス、3...第1キャリッジ、4...第2キャリッジ、5...集光レンズ、6...CCDラインセンサ、7...CCD基板、9...ハーネス、11...光源、12...第1ミラー-19...白基準板、40...処理基板、41...第2ミラー、42...第3ミラー。

40

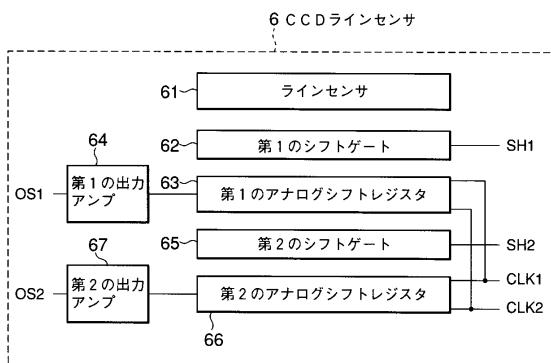
【図1】



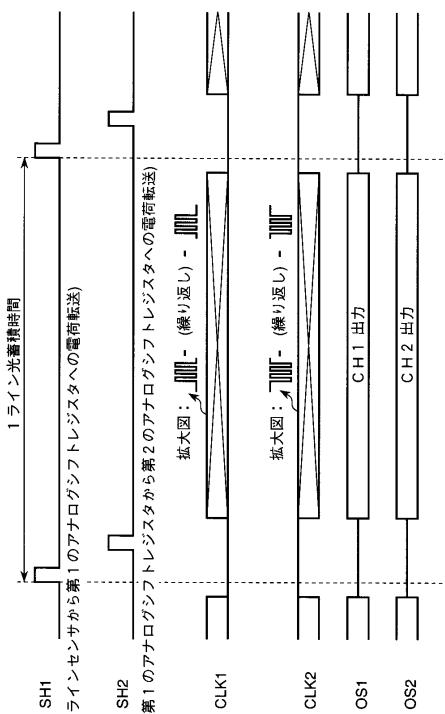
【図2】



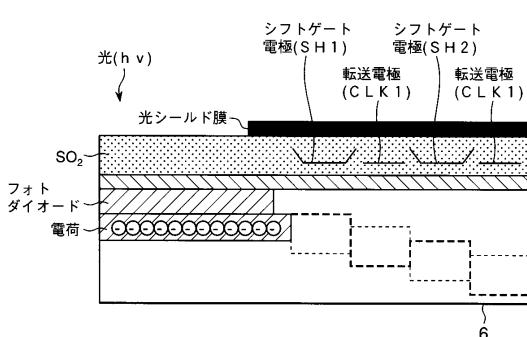
【図3 A】



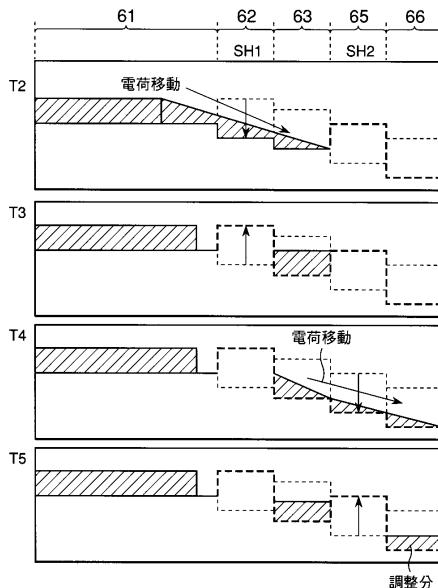
【図3 B】



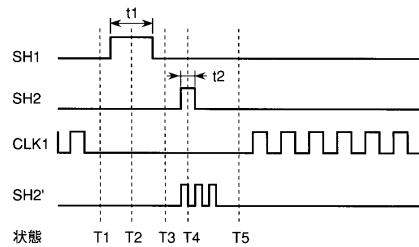
【図4】



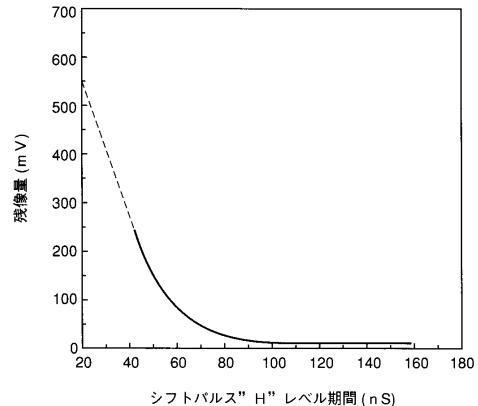
【図 5 A】



【図 5 B】



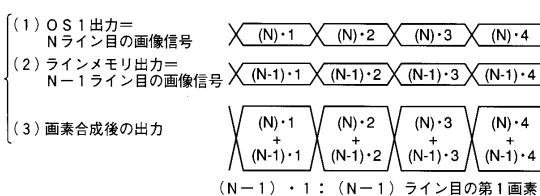
【図 6】



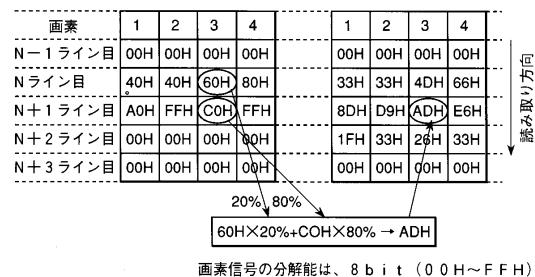
【図 7 A】



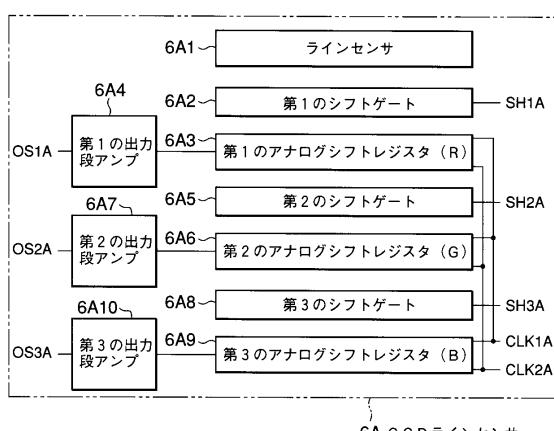
【図 7 B】



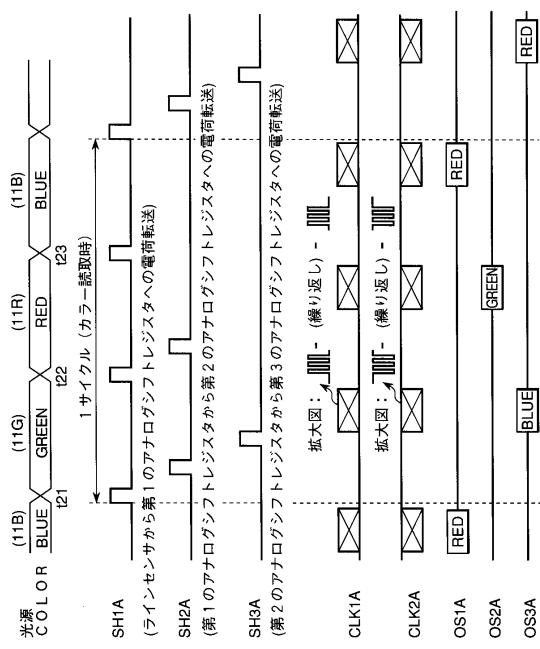
【図 7 C】



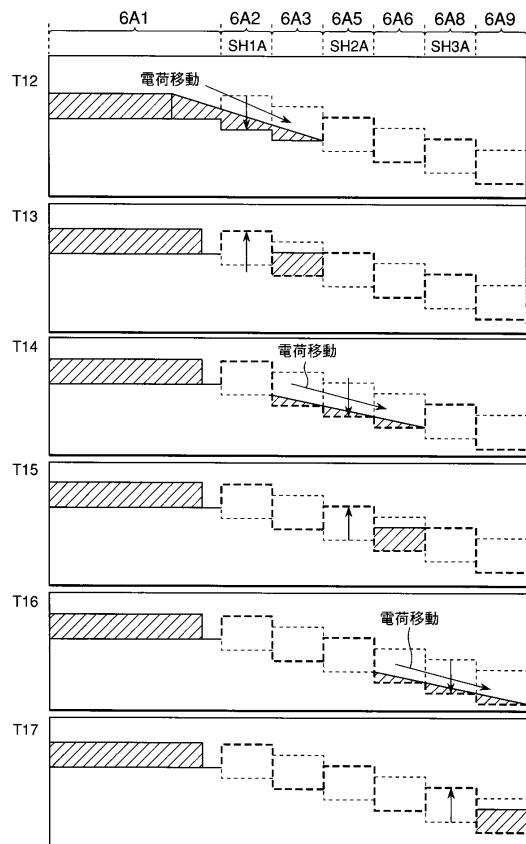
【図 8 A】



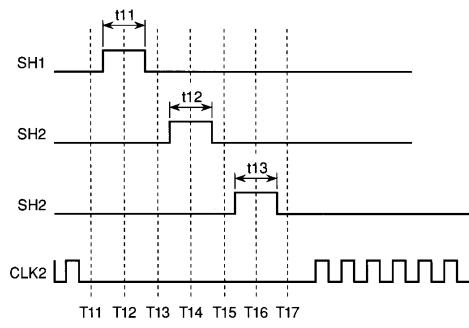
【図 8 B】



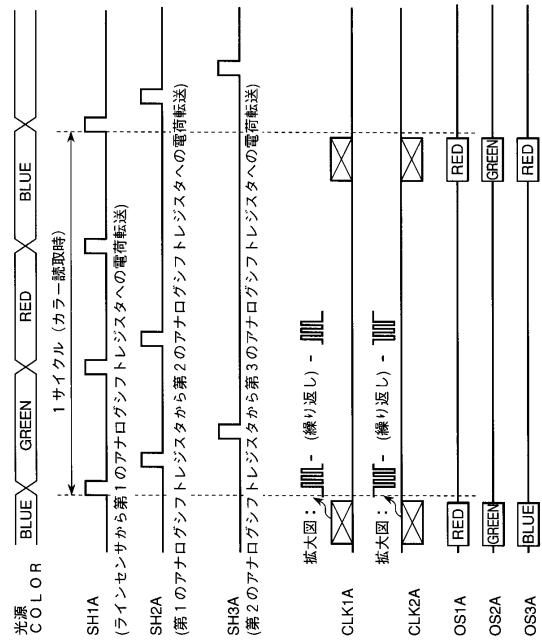
【図 9 A】



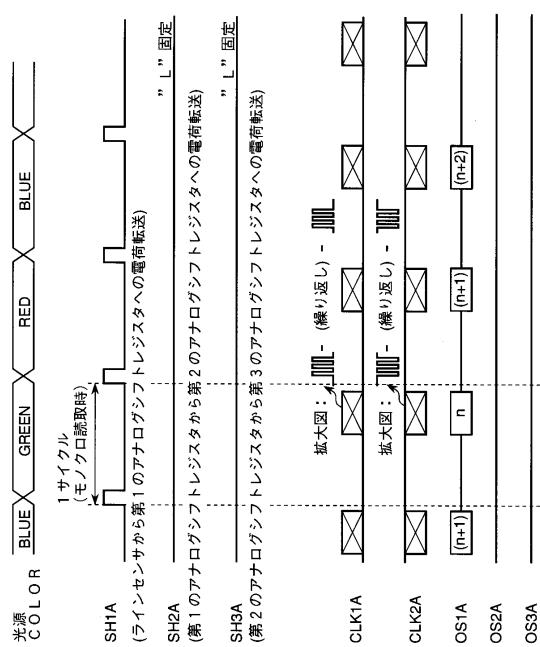
【図 9 B】



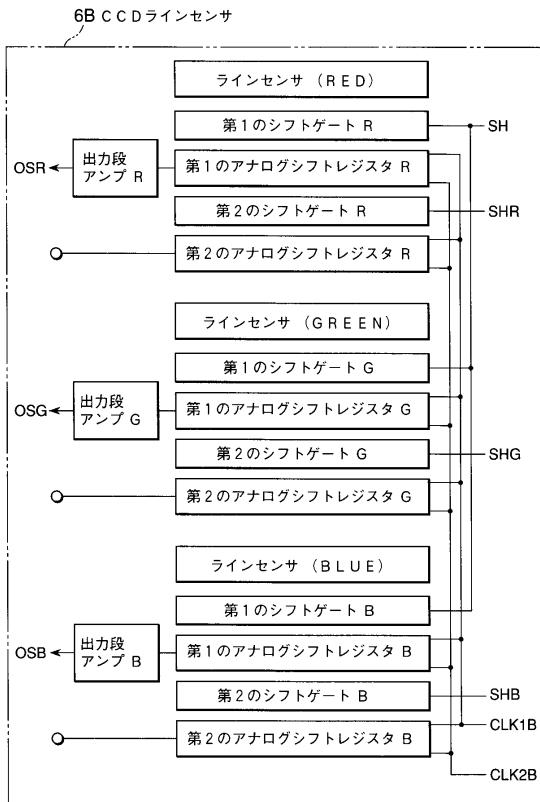
【図 10】



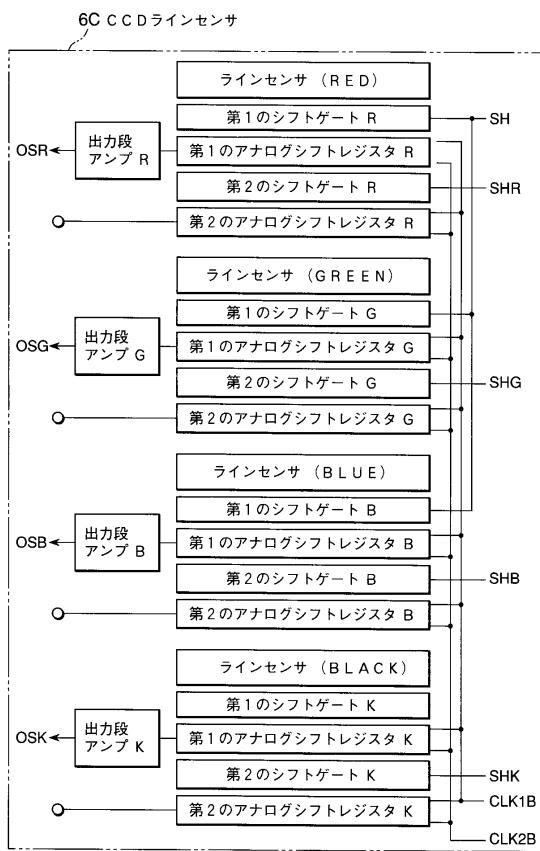
【図11】



【図12】



【図13】



---

フロントページの続き

(74)代理人 100084618  
弁理士 村松 貞男  
(74)代理人 100092196  
弁理士 橋本 良郎  
(72)発明者 榊原 淳  
静岡県三島市南町 6 番 7 8 号 東芝テック画像情報システム株式会社内  
(72)発明者 谷本 弘二  
静岡県三島市南町 6 番 7 8 号 東芝テック株式会社三島事業所内  
  
審査官 堀井 啓明

(56)参考文献 特開平 02 - 196464 (JP, A)  
特開平 07 - 143287 (JP, A)  
特開平 03 - 297288 (JP, A)  
特開平 11 - 027476 (JP, A)  
特開 2000 - 022895 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 1/024 - 1/036  
H04N 1/04 - 1/207