



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월09일
(11) 등록번호 10-1348090
(24) 등록일자 2013년12월30일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2012-0114906

(22) 출원일자 2012년10월16일

심사청구일자 2012년10월16일

(56) 선행기술조사문헌

KR100871281 B1*

KR101061053 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145 (안암동5가) 고려대학교 산학협력단

(72) 발명자

조진한

서울특별시 서초구 잠원로 37-48 (잠원동, 신반포아파트) 206동 1004호

(74) 대리인

특허법인충현

전체 청구항 수 : 총 13 항

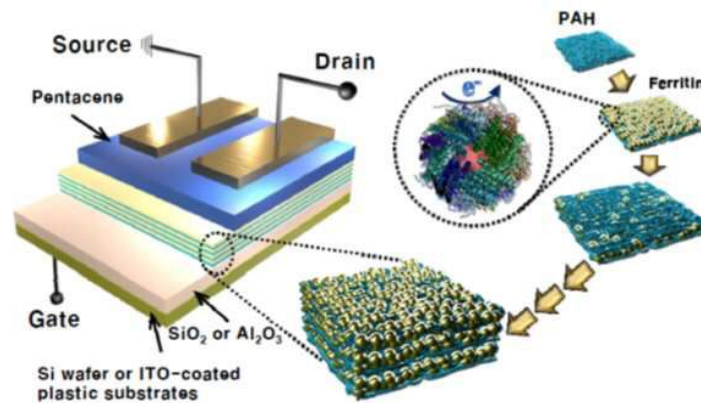
심사관 : 박성호

(54) 발명의 명칭 단백질 레이어를 포함하는 전계효과 트랜지스터 메모리 장치 및 그의 제조방법

(57) 요약

본 발명은 전계효과 트랜지스터 메모리 장치에 관한 것으로서, 게이트 층; 접착층; 메모리 층; 반도체 층; 소스 전극; 및 드레인 전극;을 포함하고, 상기 메모리 층은 페리틴; 또는 Fe를 포함하는 카탈라아제;를 포함하며, 상기 접착층 및 메모리 층은 1 내지 50회 교대로 증착된 것을 특징으로 하고, 본 발명에 따르면 그 용량이 매우 크면서도, 데이터 신뢰성이 뛰어나고, 응답시간이 빠르며 장기적인 데이터 저장에도 안정성이 있는 전계효과 트랜지스터 메모리 장치를 이용할 수 있으며, 그 공정은 간단하여 비용 절감이 가능할 뿐만 아니라, 플렉서블 기판에 적용되어 플렉서블 전계효과 메모리 장치로까지 응용될 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

게이트 층; 접착층; 메모리 층; 반도체 층; 소스 전극; 및 드레인 전극;을 포함하고,
상기 메모리 층은 페리틴; 또는 Fe를 포함하는 카탈라아제;를 포함하며,
상기 접착층 및 메모리 층은 1 내지 50회 교대로 적층되고,
상기 게이트 층은 SiO₂ 박막 또는 Al₂O₃ 박막인 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,
상기 게이트 층은 실리콘 웨이퍼 또는 ITO(indium-tin oxide) 코팅된 폴리(에틸렌 나프탈레이트) 기판 상에 증착된 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치.

청구항 4

제1항에 있어서,
상기 접착층은 양전하성의 폴리머 또는 덴드리머를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치.

청구항 5

제4항에 있어서,
상기 양전하성의 폴리머 또는 덴드리머는,
폴리(알릴아민 하이드로클로라이드), 폴리(에틸 이민), 폴리(디알릴디메틸암모늄클로라이드) 또는 이들의 혼합물인 것을 특징으로 하는 트랜지스터 메모리 장치.

청구항 6

제1항에 있어서,
상기 반도체 층은 펜타신(pentacene)을 포함하는 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치.

청구항 7

i) 게이트 층을 제조하는 단계;
ii) 접착층용 용액에 담지한 뒤 세척하여 접착층을 적층하는 단계;
iii) 메모리 층용 용액에 담지한 뒤 세척하여 메모리 층을 적층하는 단계;
iv) 반도체 층을 증착하는 단계; 및
v) 소스 전극 및 드레인 전극을 장치하는 단계
를 포함하고,
상기 iv)단계를 시행하기 전에, 상기 ii)단계 내지 iii)단계를 1 내지 49 회 추가 시행하는 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법.

청구항 8

삭제

청구항 9

제7항에 있어서,

상기 i)단계는, 실리콘 웨이퍼 상에 SiO_2 박막을 증착하는 단계를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법.

청구항 10

제7항에 있어서,

상기 i)단계는,

ITO(indium-tin oxide)-코팅된 폴리(에틸렌 나프탈레이트) 기판 상에, Al_2O_3 박막을 증착하는 단계를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법.

청구항 11

제7항에 있어서,

상기 접착층용 용액은 양전하성의 폴리머 또는 덴드리머의 용액인 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법.

청구항 12

제11항에 있어서,

상기 양전하성의 폴리머 또는 덴드리머의 용액은,

폴리(알릴아민 하이드로클로라이드), 폴리(에틸 이민), 폴리(디알릴디메틸암모늄클로라이드) 또는 이들의 혼합물의 용액인 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법.

청구항 13

제7항에 있어서,

상기 메모리 층용 용액은 페리틴 용액; 또는 Fe를 포함하는 카탈라아제의 용액;인 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법.

청구항 14

제7항에 있어서,

상기 iv)단계는,

유기분자 빔 증착 방식(organic molecular beam deposition, OMBD)에 의해 펜타신 박막을 증착하는 단계를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법.

청구항 15

제7항에 있어서,

상기 v)단계는,

새도우 마스크(shadow masking)를 포함하는 금의 증발(evaporation)법으로, 드레인 또는 소스 전극을 장치하는 단계를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법.

명세서

기술분야

본 발명은 단백질 레이어를 포함하는 전계효과 트랜지스터 메모리 장치 및 그의 제조방법에 관한 것으로, 더욱

[0001]

상세하게는 수직적인 적층으로써 저장 용량의 용이한 확장이 가능하고, 데이터 신뢰성이 뛰어나며, 빠른 응답시간 및 장기적인 데이터 안정 특성을 나타내는, 단백질 레이어를 포함하는 전계효과 트랜지스터 메모리 장치 및 그의 제조방법에 관한 것이다.

배경 기술

[0002] 유기 비휘발성 메모리 장치는(organic non-volatile memory device, ONVM)는 플렉서블하고 인쇄 가능하도록 구현될 수 있으며, 일회용 장치에도 용이한 적용이 가능하다는 점에서 최근 크게 각광받고 있다. 그러나 전술된 특징에도 불구하고, 현존하는 기술로서는 고성능 전자 장치에 대한 수요를 만족시키지 못하고 있으며, 많은 시도들이 이러한 유기 비휘발성 메모리 장치의 성능적 개선을 위해 이루어져 왔다. 이러한 시도들로서 이단자 유기 쌍안정 장치(two-terminal organic bistable device), 이단자 유-무기 쌍안정 장치(two-terminal organic-inorganic bistable device) 또는 유기 전계효과 트랜지스터(organic field-effect transistor, OFET) 메모리 장치 등의 기술이 개시된 바 있다(S. Moller, C. Perlov, W. Jackson, C. Taussig, S. R. Forrest, *Nature*, **2003**, *426*, 166., J. Ouyang, C.-W. Chu, C. R. Szmanda, L. Ma, Y. Yang, *Nat. Mater.* 2004, **3**, 918., R. Schroeder, L. A. Majewski, M. Grell, *Adv. Mater.* **2004**, *16*, 633., R. C. G. Naber, C. Tanase, P. W. M. Blom, G. H. Gelinck, A. W. Marsman, F. J. Touwslager, S. Setayesh, D. M. De Leeuw, *Nat. Mater.* **2005**, *4*, 243., H. E. Katz, X. M. Hong, A. Dodabalapur, R. Sarpeshkar, *J. Appl. Phys.* **2002**, *91*, 1572-1576., S. K. Hwang, I. Bae, R. H. Kim, C. Park, *Adv. Mater.* Doi:10.1002/adma.201201831., M. Burkhardt, A. Jedaa, M. Novak, A. Ebel, K. Voitchovsky, F. Stellacci, A. Hirsch, M. Halik, *Adv. Mater.* **2010**, *22*, 2525-2528.).

[0003] 이러한 ONVM 장치의 관련기술들 중에서도 OFET 메모리 장치는, 비파괴적 리드-아웃(read-out) 특성, 저전력 소모 특성, 직접통합순환 구조의 안정성으로 인해 더욱 주목받고 있다. OFET 메모리 장치는 그 작동 기작으로서 강유전체 저장 방식, 분자 게이트 저장 방식, 폴리머 일렉트릭 게이트 저장 방식, 또는 나노유동 게이트 저장 방식 등으로 분류되고, 각 기작에 대한 연구 또한 활발하게 이루어지고 있으나, 현존하는 기술들은 아직까지도 만족스러운 만큼의 메모리 밀도와 용량, 데이터 신뢰성 및 장기적인 데이터 안정성을 제공하지 못하고 있다.

[0004] 이러한 OFET 메모리 밀도와 용량, 데이터 안정성에 관련한 특성을 개선하는 데에 있어서, 데이터를 저장하는 메모리 소자에 대한 개선은 필요불가결하다. 종래기술은, 대부분의 경우 금속 나노입자(이하, NP) 또는 블록공중합체 마이셀(block copolymer micelle, BCM)에 함입된 금속 NP를 독립된 메모리 소자로서 이용해 왔다. 이러한 경우, 유전체(dielectric) 각각의 결함으로 인한 저장전하의 상실을 경감시킬 수 있고, 좋은 전자 트래핑(trapping) 용량을 제공할 뿐만 아니라, 용이하게 제조될 수 있다는 장점이 있다. 그러나 이 같은 방식을 포괄하는 종래기술들은 단일층으로 형성된 메모리 소자 박막을 활용하는 기술로서, 메모리의 용량을 확충시키는 데에는 근본적인 한계가 존재하였다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명이 해결하고자 하는 첫 번째 과제는 메모리의 용량이 크면서도, 데이터 신뢰성이 뛰어나고, 응답시간이 빠르며 장기적인 데이터 저장에도 안정성을 나타내는, 전계효과 트랜지스터 메모리 장치를 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 두 번째 과제는 간단한 적층으로써 제조될 수 있어 비용의 절감과 공정의 개선이 가능하고, 플렉서블 기관으로의 적용이 가능한, 전계효과 트랜지스터 메모리 장치의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명은 상기 첫 번째 과제를 달성하기 위하여,

[0008] 게이트 층; 접착층; 메모리 층; 반도체 층; 소스 전극; 및 드레인 전극;을 포함하고,

[0009] 상기 메모리 층은 페리틴; 또는 Fe를 포함하는 카탈라아제;를 포함하며,

[0010] 상기 접착층 및 메모리 층은 1 내지 50회 교대로 증착된 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치를 제공한다.

- [0011] 본 발명의 일 실시예에 따르면,
- [0012] 상기 게이트 층은 SiO_2 박막 또는 Al_2O_3 박막일 수 있다.
- [0013] 본 발명의 다른 실시예에 따르면,
- [0014] 상기 게이트 층은 실리콘 웨이퍼 또는 ITO(indium-tin oxide) 코팅된 폴리(에틸렌 나프탈레이트) 기판 상에 증착될 수 있다.
- [0015] 본 발명의 또 다른 실시예에 따르면,
- [0016] 상기 접착층은 양전하성의 폴리머 또는 덴드리머를 포함할 수 있다.
- [0017] 본 발명의 또 다른 실시예에 따르면,
- [0018] 상기 양전하성의 폴리머 또는 덴드리머는,
- [0019] 폴리(알릴아민 하이드로클로라이드), 폴리(에틸 이민), 폴리(디알릴디메틸암모늄클로라이드) 또는 이들의 혼합물일 수 있다.
- [0020] 본 발명의 또 다른 실시예에 따르면,
- [0021] 상기 반도체 층은 펜타신(pentacene)을 포함할 수 있다.
- [0022] 본 발명은 상기 두 번째 과제를 달성하기 위하여,
- [0023] i) 게이트 층을 제조하는 단계;
- [0024] ii) 접착층용 용액에 담지한 뒤 세척하여 접착층을 증착하는 단계;
- [0025] iii) 메모리 층용 용액에 담지한 뒤 세척하여 메모리 층을 증착하는 단계;
- [0026] iv) 반도체 층을 증착하는 단계; 및
- [0027] v) 소스 전극 및 드레인 전극을 장치하는 단계;
- [0028] 를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 메모리 장치의 제조방법을 제공한다..
- [0029] 본 발명의 일 실시예에 따르면,
- [0030] 상기 iv)단계를 시행하기 전에, 상기 ii)단계 내지 iii)단계를 1 내지 49 회 추가 시행할 수 있다.
- [0031] 본 발명의 다른 실시예에 따르면,
- [0032] 상기 i)단계는, 실리콘 웨이퍼 상에 SiO_2 박막을 증착하는 단계를 포함할 수 있다.
- [0033] 본 발명의 또 다른 실시예에 따르면,
- [0034] 상기 i)단계는,
- [0035] ITO(indium-tin oxide)-코팅된 폴리(에틸렌 나프탈레이트) 기판 상에, Al_2O_3 박막을 증착하는 단계를 포함할 수 있다.
- [0036] 본 발명의 또 다른 실시예에 따르면,
- [0037] 상기 접착층용 용액은 양전하성의 폴리머 또는 덴드리머의 용액일 수 있다.
- [0038] 본 발명의 또 다른 실시예에 따르면,
- [0039] 상기 양전하성의 폴리머 또는 덴드리머의 용액은,
- [0040] 폴리(알릴아민 하이드로클로라이드), 폴리(에틸 이민), 폴리(디알릴디메틸암모늄클로라이드) 또는 이들의 혼합물의 용액일 수 있다.
- [0041] 본 발명의 또 다른 실시예에 따르면,
- [0042] 상기 메모리 층용 용액은 페리틴 용액; 또는 Fe를 포함하는 카탈라아제의 용액;일 수 있다.

- [0043] 본 발명의 또 다른 실시예에 따르면,
- [0044] 상기 iv)단계는,
- [0045] 유기분자 빔 증착 방식(organic molecular beam deposition, OMBD)에 의해 펜타신 박막을 증착하는 단계를 포함할 수 있다.
- [0046] 본 발명의 또 다른 실시예에 따르면,
- [0047] 상기 v)단계는,
- [0048] 섀도우 마스크(shadow masking)를 포함하는 금의 증발(evaporation)법으로, 드레인 또는 소스 전극을 장치하는 단계를 포함할 수 있다.

발명의 효과

- [0049] 전술한 바와 같이, 본 발명에 따르면 그 용량이 매우 크면서도, 데이터 신뢰성이 뛰어나고, 응답시간이 빠르며 장기적인 데이터 저장에도 안정성이 있는 전계효과 트랜지스터 메모리 장치를 이용할 수 있으며, 그 공정은 간단하여 비용 절감이 가능할 뿐만 아니라, 플렉서블 기판에 적용되어 플렉서블 전계효과 메모리 장치로까지 응용될 수 있다.

도면의 간단한 설명

- [0050] 도 1은 본 발명의 바람직한 일 실시예의 구조 및 제조방법의 개념도이다.
- 도 2는 본 발명의 바람직한 일 실시예의, 박막 증착에 따른 QCM 증가그래프, SEM(scanning electron microscope)을 통해 관찰/측정된 박막 두께 그래프, 및 박막 표면의 TEM(transmission electron microscope) 이미지이다.
- 도 3은 본 발명의 바람직한 일 실시예 및 비교예의, 전하 트래핑-릴리징 데이터를 측정하여 도시한 그래프이다.
- 도 4는 본 발명의 바람직한 일 실시예의, 다양한 전압 인가 상황에서의 메모리 특성 데이터를 측정하여 도시한 그래프이다.
- 도 5는 플렉서블하게 구현된 본 발명의 바람직한 일 실시예의, 물성 테스트 결과를 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0051] 이하, 본 발명을 상세하게 설명한다.
- [0052] 본 발명은 단백질 나노입자(이하, NP) 멀티레이어를 포함하는 전계효과 트랜지스터(field-effect transistor, FET) 메모리 장치 기술을 개시한다. 도 1에는 본 발명의 바람직한 일 실시예의 개념도가 도시되어 있다. 본 발명에 따른 전계효과 트랜지스터 메모리 장치는,
- [0053] 게이트 층; 접착층; 메모리 층; 반도체 층; 소스 전극; 및 드레인 전극;을 포함한다.
- [0054] 상기 접착층 및 메모리 층은 1 내지 50회 교대로 증착된 것으로서, 이들의 증착도가 증가할수록 본 발명에 따른 메모리 장치의 저장용량이 커지는 효과가 있으나, 50 이상으로 형성될 경우에 그 효과는 크지 않다.
- [0055] 상기 게이트 층으로서는 FET 메모리 장치에 통상적으로 사용되는 정공 발생용 반도체 박막이 제한없이 선택되어 포함될 수 있으나, 바람직하게는 N형의 반도체 기판, 더욱 바람직하게는 N형의 SiO₂ 박막, 또는 Al₂O₃ 박막이 선택되어 포함될 수 있다. 또한, 상기 기판들은 추가적인 절연층을 포함하거나 포함하지 않을 수도 있고, Si 웨이퍼 또는 ITO(indium-tin oxide) 코팅된 폴리(에틸렌 나프탈레이트) 기판 상에 증착되어 유연함을 비롯한 다양한 물성을 갖는 형태로 제조될 수도 있다.
- [0056] 상기 메모리 층은 메모리 소자(전하 저장 게이트 유전체)로서 페리틴; 또는 Fe를 포함하는 카탈라아제;를 포함하는데, 게이트 층의 전기장으로써 유발된 정공의 이동 및 신호를, 전하 저장 게이트 유전체의 화학적 또는 전기적인 변화(전하 트래핑-릴리징, charge trapping-releasing)로써 저장하는 역할을 한다. 상기 메모리 층은 적층될수록 데이터 저장 용량이 커지는 효과가 있으나, 50 회 이상의 반복으로서는 괄목할만한 추가 효과를 거두기 어렵다. 음전하성의 메모리 소자를 포함하는 메모리 층의 용이한 적층을 위해, 상기 접착층은 바람직하게는 양전하성 폴리머 또는 덴드리머, 더욱 바람직하게는 폴리(알릴아민 하이드로클로라이드)(poly(allylamine

hydrochloride), 이하 PAH), 폴리(에틸 이민)(poly(ethyl imine)), 폴리(디알릴디메틸암모늄클로라이드)(poly(diallyldimethylammoniumchloride)) 또는 이들의 혼합물을 포함할 수 있다. 이후 서술될 제조방법에서, 상기 접착층은 메모리 층과 교대로 적층되어 기판 또는 박막 상에 상기 메모리 층을 용이하게 증착 및 고정시키는 역할을 하며, 정공, 전자 및 전기장의 흐름을 방해하지 않는다. 따라서, 본 발명에 따른 전계효과 트랜지스터 메모리 장치는 수직적인 메모리 층의 증착에 따른 현저한 메모리 용량의 증가를 구현할 수 있다.

[0057] 상기 반도체 층은, 상기 메모리 층으로부터 이동된 정공이 용이하게 전달될 수 있는 것이면 제한없이 선택되어 포함될 수 있으나, 용이한 제조와 성능상의 우위를 확보하기 위해서 바람직하게는 펜타신이 선택되어 포함될 수 있다. 더불어 본 발명은 상기 소스 및 드레인 전극의 범위를 제한하지 않으며, 통상적인 전극 장치, 특히 FET 장치에 사용되는 전극들이 자유로이 선택되어 이용될 수 있고 그 예로서 금 전극을 들 수 있다.

[0058] 본 발명에 따른 전계효과 트랜지스터 메모리 장치는 다음과 같은 작동기작을 갖는다:

[0059] 저장(programming): 양으로 편이된 게이트 전압의 인가 및 전기장의 발생(게이트 층) → 전하 저장 게이트 유전체의 전자 트래핑(메모리 층) 및 정공의 반도체 층으로의 이동

[0060] 삭제(erasing): 음으로 편이된 게이트 전압의 인가 및 전기장의 발생(게이트 층) → 전하 저장 게이트 유전체의 전자 릴리징(메모리 층) 및 정공의 복귀

[0061] 특히, 본 발명에 따른 전계효과 트랜지스터 메모리 장치의 경우 상기 메모리 층은, Fe^{III}/Fe^{II} 산화환원 쌍을 포함하는 카탈레이즈; 또는 페리틴;을 전하 저장 게이트 유전체로서 포함한다. 상기 서술된 작동기작은 상기 산화환원 쌍의 전기적인 작용을 포함하며, 이러한 단백질을 전하 저장 게이트 유전체로 활용하는 경우 응답시간의 향상, 용이한 적층으로 인한 데이터 용량의 확충, 신뢰성 있는 데이터 보존성 등의 효과를 기대할 수 있다.

[0062] 본 발명에 따른 전계효과 트랜지스터 메모리 장치의 제조방법은 하기의 단계를 포함한다.

[0063] i) 게이트 층을 제조하는 단계;

[0064] ii) 접착층용 용액에 담지한 뒤 세척하여 접착층을 증착하는 단계;

[0065] iii) 메모리 층용 용액에 담지한 뒤 세척하여 메모리 층을 증착하는 단계;

[0066] iv) 반도체 층을 증착하는 단계; 및

[0067] v) 소스 전극 및 드레인 전극을 장치하는 단계.

[0068] 전술한 바와 같이 본 발명에 따른 전계효과 트랜지스터 메모리 장치의 접착층 및 메모리 층은 1 내지 50 회 교대로 중첩될 수 있는데, 2 이상의 중첩도를 목적하는 경우에는 상기 제조방법 중, 상기 iv) 단계를 시행하기 전에, 상기 ii) 단계 내지 iii) 단계를 1 내지 49 회 추가 시행한다.

[0069] 상기 i) 단계는 게이트 층을 제조하는 단계로서, 전술한 특성을 갖는 게이트 층을 제조하기 위한 공정이라면 당 업계에 통상적인 방법으로 제한없이 시행될 수 있다. 표면에 N형의 SiO_2 반도체 박막이 도포된 실리콘 웨이퍼를 피라니아 용액으로 세척하는 단계, 또는 ITO-코팅된 폴리(에틸렌 나프탈레이트) 기판 상에 플라즈마 원자 레이더 증착(plasma enhanced atomic-layer deposition, PEALD) 방법을 통해 Al_2O_3 박막을 증착하는 단계는 이러한 상기 i) 단계의 구체적인 실시예이다.

[0070] 상기 ii) 단계는 접착층을 증착하는 단계로서, 통상적인 정전식 LbL(Layer-by-Layer) 조립 공정에 의해 실시될 수 있다. 즉, 게이트 층 또는 박막이 증착된 게이트 층을, 접착층용 용액에 일정 시간 담지한 뒤 꺼내어 이를 세척하는 공정을 포함할 수 있다. 상기 iii) 단계 역시 마찬가지로, 게이트 층 또는 박막이 증착된 게이트 층을 메모리 층용 용액에 일정 시간 담지한 뒤 꺼내어 이를 세척함으로써 실시될 수 있다. 아울러 상기 "정전식 LbL 조립 공정"이라 함은, 레이어-바이-레이어 코팅 공정으로서, 상기 접착층 및 메모리 층 물질의 전하가 서로 다르고, 이들이 교차적으로 증착됨으로써 접착층 및 메모리 층 사이에 전기적 인력이 작용함을 의미한다. 좀 더 구체적으로, 접착층용 용액은 바람직하게는 양전하성의 덴드리머 또는 폴리머 용액, 더욱 바람직하게는 폴리(알릴아민 하이드로클로라이드), 폴리(에틸 이민), 폴리(디알릴디메틸암모늄클로라이드) 또는 이들의 혼합물 용액일 수 있고, 메모리 층용 용액은 음전하성의, Fe를 포함하는 카탈라아제의 용액; 또는 페리틴 용액;일 수 있으며, 이들은 서로 교차적으로 증착됨으로써 강한 전기적인 인력을 형성할 수 있다. 또한 전술한 바와 같이, 상기 ii) 단계 및 iii) 단계를 복수 회 반복하여 원하는 만큼의 메모리 층 중첩도를 형성할 수도 있다.

[0071] 상기 iv) 단계는 반도체 층을 증착하는 단계로서, 전술한 바와 같이 메모리 소자 층으로부터 이동된 정공이 용이

하게 전달될 수 있는 특성을 갖는 반도체의 박막을 제조하는 공정이라면 당업계에 통상적인 방법으로 제한없이 시행될 수 있고, 그 예로서는 유기분자 빔 증착 방식(organic molecular beam deposition, OMBD)에 의한 펜타신 박막의 증착을 들 수 있다.

[0072] 상기 v)단계는 소스 전극 및 드레인 전극을 장치하는 단계로서 FET 분야에서 사용되는 전극 및 그의 장치방법이 제한없이 선택되어 이루어질 수 있다. 예를 들어, 상기 iv)단계를 거친 박막 표면 양쪽 말단에, 금으로 이루어진 소스 전극 및 드레인 전극을 장치할 수 있는데, 이러한 공정은 새도우 마스크(shadow masking)를 포함하는 금의 증발(evaporation)법으로 이루어질 수 있다.

[0073] 이하, 도면, 바람직한 실시예, 시험예 및 비교시험예를 들어 본 발명을 더욱 상세하게 설명한다. 그러나 이들은 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이들에 의하여 제한되지 않는다는 것은 당업계의 통상적인 지식을 가진 자에게 자명할 것이다.

[0074] ※ 전류-전압 특성은 실온 및 대기조건, 그리고 차광환경에서 Keithley 4200 Semiconductor Parameter Analyzer를 통하여 조사되었다.

[0075] 실시예 1: 전계효과 트랜지스터 메모리 장치의 제조

[0076] 200 nm 두께의 Si 웨이퍼 상에 N-타입의 SiO₂ 박막이 증착된 기판을 게이트 층으로 사용하였다. 상기 게이트 층 기판을 피라니아 용액으로 100 °C의 환경에서 30분간 세척한 뒤, 증류수로 추가 세척하였다. 상기 기판을 양전하성의 PAH 용액(1 mg · mL⁻¹)에 10분간 담지한 뒤, 1 분간의 증류수 세척을 두 번 실시하였다. 이후 질소 기체를 송풍하여 이를 말렸다. 이를 음전하성의 페리틴 용액(1 mg · mL⁻¹)에 10분간 담지한 뒤, 1 분간의 증류수 세척을 두 번 실시하였다. 이후 질소 기체를 송풍하여 이를 말렸다. 이러한 PAH 및 페리틴의 증착 공정은 pH 9 환경에서 실시되었고, 반복되어 1, 5, 10, 20, 30 및 40의 중첩도를 갖는 (PAH/페리틴 NP) 바이레이어를 포함하는 박막이 각각 제조되었으며, 이후 이들은 진공 환경에서 건조되었다.

[0077] 상기 제조된 박막 상에, 0.2 Å/sec의 유기분자 빔 증착 방식(organic molecular beam deposition, OMBD)에 의해서 50 nm 두께의 펜타신 필름이 추가로 증착되었다.

[0078] 이후, 상기 펜타신 필름 상에 새도우 마스크 및 금 증발법으로 소스/드레인 전극을 장치하였다. 상기 전극들은 모두 길이는 100 μm, 너비는 800 μm로 제조되었다.

[0079] 실시예 2: 플렉서블 전계효과 메모리 장치의 제조

[0080] 게이트 층으로서, ITO-코팅된 폴리(에틸렌 나프탈레이트) 상에, 플라즈마 원자 레이어 증착(plasma-enhanced atomic-layer deposition, PEALD)법으로 증착된 50 nm 두께의 Al₂O₃ 박막을 사용하였다. 상기 공정을 위해서 트리메틸알루미늄(Trimethylaluminum, TMA)과 산소가 Al과 O 원자의 전구체로 사용되었으며, 상기 공정은 100 °C, Ar 가스 분위기, 무선 주파수 전력 100 W 하에서 이루어졌다. 이후의 공정은 상기 실시예 1과 동일하게 이루어졌다(도 5A).

[0081] 시험예: QCM(quartz crystal microgravimetry) 측정

[0082] QCM 장치(QCM200, SRS)가 상기 실시예들의, 박막 증착에 따른 질량 증가를 측정하기 위해 사용되었다. 질량은 QCM 장치로부터의 주파수 데이터와 Sauerbrey 방정식에 의해 계산될 수 있다. 그러나 이는 점탄성 물질, 두껍거나 솔리드-리퀴드 인터페이스의 물 분자를 포함하는 하이드로겔 레이어에 적용하는데 어려움이 있고, 따라서 본 발명 실시예의 QCM 측정은 질소분위기 하에서의 충분한 건조 이후에 이루어졌다. 크리스털 표면에 흡착된 본 발명의 PAH와 페리틴 레이어는 단단한(rigid) 성질의 것으로 간주되었으며, 고르게 분산되었고, Sauerbrey 방정식을 만족하는 충분히 얇은 필름인 것으로 간주되었다.

$$\Delta F(\text{Hz}) = -\frac{2F_0^2}{A\sqrt{\rho_q\mu_q}} \cdot \Delta m$$

[0083]

[0084] 상기 F_0 (~ 5 MHz)는 크리스털의 근본적인 공명 주파수이고, A 는 전극의 영역이며, ρ_q ($\sim 2.65 \text{ g} \cdot \text{cm}^{-2}$)와 μ_q ($\sim 2.95 \times 10^{11} \text{ g} \cdot \text{cm}^{-2} \cdot \text{s}^{-2}$)는 각각 수정의 전단 탄성률과 밀도이다. 따라서 상기 방정식은 하기와 같이 간단화된다:

$$\Delta F(\text{Hz}) = -56.6 \times \Delta m_A$$

[0086] Δm_A 는 $\mu\text{g} \cdot \text{cm}^{-2}$ 단위로 표기되는 수정 크리스털 유닛 당 질량 변화율이다. 따라서, PAH와 페리틴의 흡착된 질량은 ΔF , 즉 QCM 주파수 변화로 계산해낼 수 있다.

[0087] 도 2의 A에는 이러한 분석의 결과가 도시되어 있다. 도시된 바와 같이, PAH와 페리틴 NP의 교차적인 증착은 $-\Delta F$ 가 각각 22 ± 3 ($\Delta m = 392 \text{ ng} \cdot \text{cm}^{-2}$) 및 $61 \pm 3 \text{ Hz}$ ($\Delta m = 1085 \text{ ng} \cdot \text{cm}^{-2}$)로 각각 나타난다는 점에서 증명된다. 상기 PAH/페리틴 멀티레이어 박막의 두께는 1차 곡선의 양상을 나타내며 점진 증가된다(도 2B, $58 \text{ nm} = 10$ 회 증착, $331 \text{ nm} = 40$ 회 증착).

[0088] 시험예 및 비교시험예: 메모리 소자 층의 전하 트래핑 안정성 조사

[0089] 페리틴은 인산 페리하이드레이트 코어를 포함하는데, 그에 포함된 $\text{Fe}^{\text{III}}/\text{Fe}^{\text{II}}$ 쌍의 가역적인 전하 트래핑/릴리즈 작용으로 인해서, 페리틴은 전기화학적인 산화환원 활성을 나타낸다. 이러한 활성은 아포페리틴(Fe를 포함하지 않는 비교예) NP 레이어에 비해 5 내지 15배 강력하다. 또한 건조된 페리틴 NP가 박막을 형성하고 전극 사이에 끼인 형상(예를 들어 콘텐서 타입)으로 제조될 경우, 페리틴 NP 박막은 외부 전압 인가에 따라 쌍안정(bistable)의 성질을 나타낼 수도 있다.

[0090] 본 발명자는, 본 발명에 따른 장치가 실시되었을 경우 낮은 메모리 윈도우(10 V 이하)를 나타냄에도, 이러한 결과가 종래에 OFET 메모리 장치의 전하 트래핑 게이트 유전체로 사용되던, 친수성 또는 소수성의 다양한 폴리머로 인해 전하 트래핑 작용이 나타났기 때문이었을 가능성을 배제할 수 없었다. 이를 검증하기 위해, 본 발명자는 페리틴을 포함하는 멀티레이어의 전하 트랩 깊이와 안정성을 조사하였다. 이러한 조사는 게이트 유전체의 안정적인 트래핑 상태에 강하게 의존하는 트랜지스터 메모리로서의 성능(특히 메모리 윈도우 및 메모리 안정성)을 검증하는데 있어서 매우 중요하다.

[0091] 켈빈 포스 현미경(Kelvin force microscopy, KFM)이 이러한 전하 트래핑과 릴리즈 상태를 이미징하고 관찰하는데 사용되었다. PAH와 페리틴이 교대로 각각 5회씩 증착된 멀티레이어(이하, (PAH/ferritin NP)₅), 페리틴 대신 아포페리틴이 사용된 멀티레이어(이하, (PAH/apoferritin NP)₅)를 그 대상으로 하였다.

[0092] 공기에 노출된 페리틴 또는 페리틴 대신 아포페리틴이 사용된 NP 멀티레이어가 스캔되었고, Pt로 코팅된 KFM 팁으로부터의 표면 포텐셜 변화로 인하여 각각의 페리틴 또는 아포페리틴 NP에 저장된 전하가 관찰되었다.

[0093] 먼저, $8 \times 8 \text{ mm}^2$ 크기의 (PAH/ferritin NP)₅ 필름의 전하 트랩이 $+10 \text{ V}$ 의 게이트 전압 인가로 스캔되었다. 다음으로, $2 \times 2 \text{ mm}^2$ 크기의 멀티레이어 필름의 전하 트랩이 $+10 \text{ V}$ 의 인가로 스캔되었다. 다음으로, $5 \times 5 \text{ mm}^2$ 크기의 멀티레이어 필름의 전하 트랩이 -10 V 의 인가로 스캔되었다. 도 3A에 도시된 바, 노란색의 영역은 페리틴 NP 멀티레이어의 전하 트랩 상태를, 검은색의 영역은 전하 릴리즈 상태를 나타낸다. (PAH/apoferritin NP)₅에 대해서도 같은 방식의 측정이 수행되었다.

[0094] (PAH/ferritin NP)₅의 경우, 전하의 트랩-릴리즈 상태의 포텐셜 차이는 약 207 mV 인 것으로 측정되었다. 반면, (PAH/apoferritin NP)₅의 트랩-릴리즈 포텐셜 차이는 약 113 mV 에 불과하였으며, 이러한 포텐셜 차이는 시간에 따른 함수로서 전하 트랩 손실률(%)로 계산되었다.

[0095] 이에 따르면, (PAH/apoferritin NP)₅의 전하 저장 상태는 시간의 흐름에 따라 더욱 빠르게 손실된다(도 3B). 이

러한 결과는 인산 페리하이드레이트 코어를 가진 페리틴 NP가 층을 이루면, 아포페리틴 NP에 비해 더욱 깊고 안정한 전하 트래핑 상태를 보존할 수 있음을 시사한다.

[0096] 이러한 페리틴 NP 멀티레이어가, 본 발명의 실시예와 같이 SiO₂와 펜타신/소스-드레인 전극 사이에 장치되면 공기 중의 노출로 인한 박막의 오염(예를 들어 물 또는 기타 이중 박막의 형성)을 방지할 수 있을 뿐만 아니라, 전하 트랩의 안정성 역시 획기적으로 증진시킬 수 있다. 이러한 전하의 트랩/릴리즈 상태는 순수한 PAH 레이어에서는 관찰되지 않았다.

[0097] 시험예 및 비교시험예: 전류-전압 측정을 통한 메모리 성능의 조사

[0098] 상기 전하 트래핑 안정성 조사에 사용된 방법은, 페리틴 NP 멀티레이어를 포함하는, 본 발명의 실시예에 따른 장치의 메모리 성능 검증에 있어서도 용이하게 사용될 수 있다. 상기 관찰된 출력 및 전송 특징은 본 발명의 실시예에 따른 페리틴 NP 멀티레이어 기반의 FET 메모리가 통상적인 P-채널 OFET로서 작동함을 시사하며, SiO₂ 박막과 펜타신 레이어 사이에 삽입된 얇은 (PAH/ferritin NP) 멀티레이어가 FET 메모리 장치로서의 성능을 방해하지는 않는다는 것을 알 수 있었다(도 4A).

[0099] 도 4A에 도시된 바와 같이, 본 발명에 따른 (PAH/ferritin NP)가 10 회 증첩(이하, (PAH/ferritin NP)₁₀)된 FET 메모리 장치는, $0.013 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 의 포화 전계 효과 이동도를 나타냈으며, 역치 전압(threshold voltage, V_{th})은 5.56 V, ON/OFF 유동 비율 (I_{ON}/I_{OFF})은 4×10^4 에 이르러 바이레이어가 없는 경우와 유사한 결과를 나타냈다.

[0100] 흥미롭게도, 도 4A에 도시된 바와 같이 적절한 게이트 전압(V_G)을 비교적 짧은 시간인 1 초 동안 인가하였을 경우에는 역치 전압의 유의할만한 변화가 관찰되었는데, 이는 상기의 장치가 게이트 전압(gate voltage, V_G)이 +100 V로 프로그래밍 되었을 경우, 페리틴으로부터 펜타신 레이어로 이동한 정공 캐리어가 유전체 유기 인터페이스에 축적되어, 높은 전도도와 더불어 V_{th} 의 양전이를 결과하였기 때문인 것으로 판단된다.

[0101] 페리틴의 산화환원 활성화에 있어서, 이러한 정공 캐리어는 처음에는 산화된 형태(예를 들어, Fe^{III})로 인산 페리하이드레이트 코어로부터 펜타신 레이어로 배출된다. 정공 캐리어 이동으로부터의 효과를 제거하기 위해 음으로 편이된 게이트 전압을 인가할 수 있다. 이 때 페리틴 내부에 트랩된 정공 전하는 내부 전기장을 형성하고, 이로써 외부에 인가된 전기장을 부분적으로 상쇄하며, 낮은 전도성과 V_{th} 의 음전이를 결과한다. 이러한 경우, 펜타신으로부터 페리틴 NP로 삽입된 정공 캐리어는 환원된 형태의 인산 페리하이드레이트 코어(예를 들어 Fe^{II})를 생성한다. 각 단계에서, 트랩 전하의 수는 $\Delta n = C_i \cdot \Delta V_{th}/e$ 방정식으로 계산될 수 있다. C_i 와 e 는 각각 게이트 유전체의 비용량($16.2 \text{ nF} \cdot \text{cm}^{-2}$)과 기본 전하량이다. 그러므로, (PAH/ferritin NP)₁₀를 포함하는 메모리 장치의 전체적인 트랩된 전하의 수는 약 $2.5 \times 10^{12} \cdot \text{cm}^{-2}$ 로 계산되며, 이런 이유로 각각의 페리틴 NP당 1 내지 2개의 전하 캐리어가 트랩됨을 산출해낼 수 있다.

[0102] 더불어, 전기적 쌍안정성 특성이 1 초 간격으로 전압을 반복적으로 인가($\pm 100 \text{ V}$)함으로써 프로그램/삭제를 반복하여 측정되었다. 전기적 쌍안정성 특성은, (PAH/ferritin NP)_{n=2~40}가 게이트 유전체로 사용된 모든 메모리 장치에서 관찰되었다. 비록 역치 전압의 전이 및 메모리 윈도우(프로그램/삭제 전압에 따른 역치 전압의 차이로 측정됨)가 인가 전압이 향상됨에 따라서 극적으로 향상되더라도, DV_{th} 는 $V_G = \pm 100 \text{ V}$ 이상인 것으로 고정되어 크게 변화하지 않는 것으로 관찰되었다.

[0103] 흥미롭게도, 메모리 소자 층의 증첩도가 10까지 증가할 때까지는 DV_{th} 도 증가하는 것으로 관찰되었지만, 그 이상의 증첩도 증가는 오히려 DV_{th} 의 감소를 결과하였다(도 4B). 이로써, 최초의 DV_{th} 증가는 주로 LbL 공정에 따라 기관에 흡착되는 페리틴 분자의 표면적 확장(전하 트랩 부위)에 기인하나, 이러한 트랩 밀도가 포화되면, 추가적인 증착 및 두께의 증가는 오히려 용량의 감소를 초래함을 유추할 수 있다. 또한 메모리 윈도우는 트랩된 전하들의 환원에 따라 감소하였다. 반면, 장치의 프로그램/삭제(이하 P/E) 드레인 유전율은 증첩도의 증가에 따

라 비례하여 8.3×10^1 에서 1.0×10^4 까지 증가하였다. 이는 두꺼운 유전체가 더 낮은 OFF 전류 레벨을 결과했기 때문인 것으로 판단된다(도 4B).

[0104] 또한 장치의 P/E 전환 속도가 조사되었고, 그 결과가 도 4C에 도시되어 있다. 1 에서 10^{-6} 초까지의 점진적인 폭이 설정된 ± 100 V의 프로그래밍/삭제 전압 펄스가 게이트 전극으로 인가되었다. 40의 중첩도로 형성된 박막의 경우, 상대적으로 높은 P/E 전류 비율(1.0×10^4)을 나타내었고, $V_{th, PROGRAM}$ 과 $V_{th, ERASE}$ 는 각각 1 초 환경에서 ± 0.61 V 및 ± 21.6 V로 나타났다.

[0105] 비록 P/E 작동 스위칭 속도가 감소될수록 V_{th} 전이가 점진적으로 감소하였지만, 10 μ s 이상의 펄스에 있어서는 타당한 V_{th} 전이가 얻어졌다.

[0106] 페리틴 게이트 유전체를 사용하는 장치의 추가적인 안정성 조사를 위해서, 트랩 전하 유지 시간 측정과 사이클링 테스트가 시행되었다. 공기 중에서 10^4 초의 시간 동안, 1 초 스위칭 스피드 및 300회의 반복적인 사이클링 테스트에 있어서도 P/E 상태는 계속적으로 안정적인 양상을 보였다(도 4D 및 4E).

[0107] 또한 상기 게이트 유전체로서 페리틴 대신 카탈라아제를 사용하는 경우(예를 들어 heme Fe^{III}/Fe^{II} 산화환원쌍을 포함하는 카탈라아제가 적용된 (PAH/효소)_n 멀티레이어)에도 유사한 결과를 도출할 수 있었다. 이러한 결과는, 다양한 바이오 재질-기반의 산화환원 쌍이 트랜지스터 메모리 장치의 전하 트래핑 소재로서 사용될 수 있음을 시사한다.

[0108] 시험예: 실시예 2의 전기적 특성 및 물성 측정

[0109] 본 발명은 100 $^{\circ}$ C라는 낮은 온도에서도 제조될 수 있고, 다양한 기판 상에서 구현될 수도 있다. 그러므로 본 발명은 실시예 2와 같이, 플라스틱 기판 기반의 플렉서블 FET 메모리로서 효과적으로 구현될 수 있다.

[0110] 도 5A에는 실시예 2의 사진이 도시되어 있다. 상기 장치에 있어서, Al_2O_3 과 (PAH/ferritin)₁₀ 멀티레이어의 정전 용량은 90.4 nF/cm^2 로 제조되었다. 해당 실시예의 경우 프로그래밍 및 삭제에 있어서 100 V에 이르는 높은 V_G 가 요구되었는데, 이는 도 5B에 도시된 바와 같이 high-k Al_2O_3 게이트 유전체 레이어를 사용하면 급격하게 감소되는 양상을 보였다.

[0111] ± 20 V의 P/E 게이트 전압을 1 초 동안 각각 인가한 뒤, 10 V 미만의 낮은 게이트 전압을 제거함으로써 본 발명에 따른 장치의 전기적인 쌍안정성을 관찰할 수 있었다. 이는 Al_2O_3 물질의 높은 정전용량으로부터 쌍안정성이 직접적으로 도출됨을 의미한다.

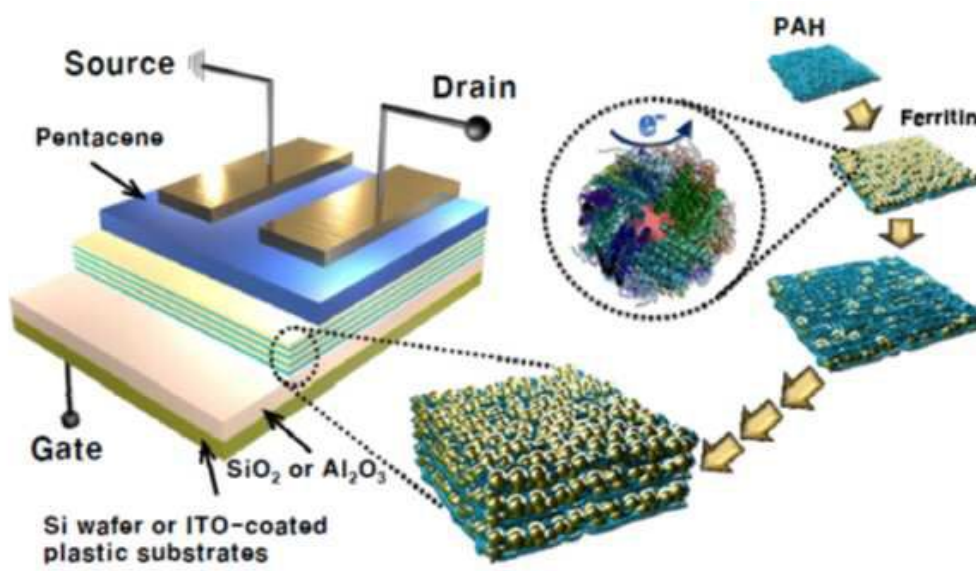
[0112] 이러한 경우, DV_{th} 와 P/E 전류비가 각각 7.14 V와 1.3×10^2 인 것으로 측정되었다. 메모리 윈도우는 7.14 V로서 상기 서술된 실시예 1의 장치를 $V_G \pm 50$ V에 적용했을 경우와 비슷한 결과를 보였다.

[0113] 기계적인 유연성과 내구성은 플렉서블 메모리로서의 중요한 특징이다. 따라서, 대칭 구부림 테스트가 상기 실시예 2의 장치에 시행되었다. 도 5C는 벤딩 테스트 중의 메모리 윈도우와 P/E 비율의 변화를 보여준다. 결과적으로, 실시예 2의 장치는 훌륭한 전기적 안정성을 보여주었고, 구부림의 반경이 60 내지 7 mm로 시행되었음에도 현저한 물리적 변화가 관찰되지 않았다. 반복적인 구부림을 통한 내구성 테스트 역시 시행되었다. 도 5D에 도시된 바와 같이, DV_{th} 와 P/E는 길이 방향의, 500회의 반복적인 구부림(구부림 반경 : 8.6 mm)에도 변하지 않았다.

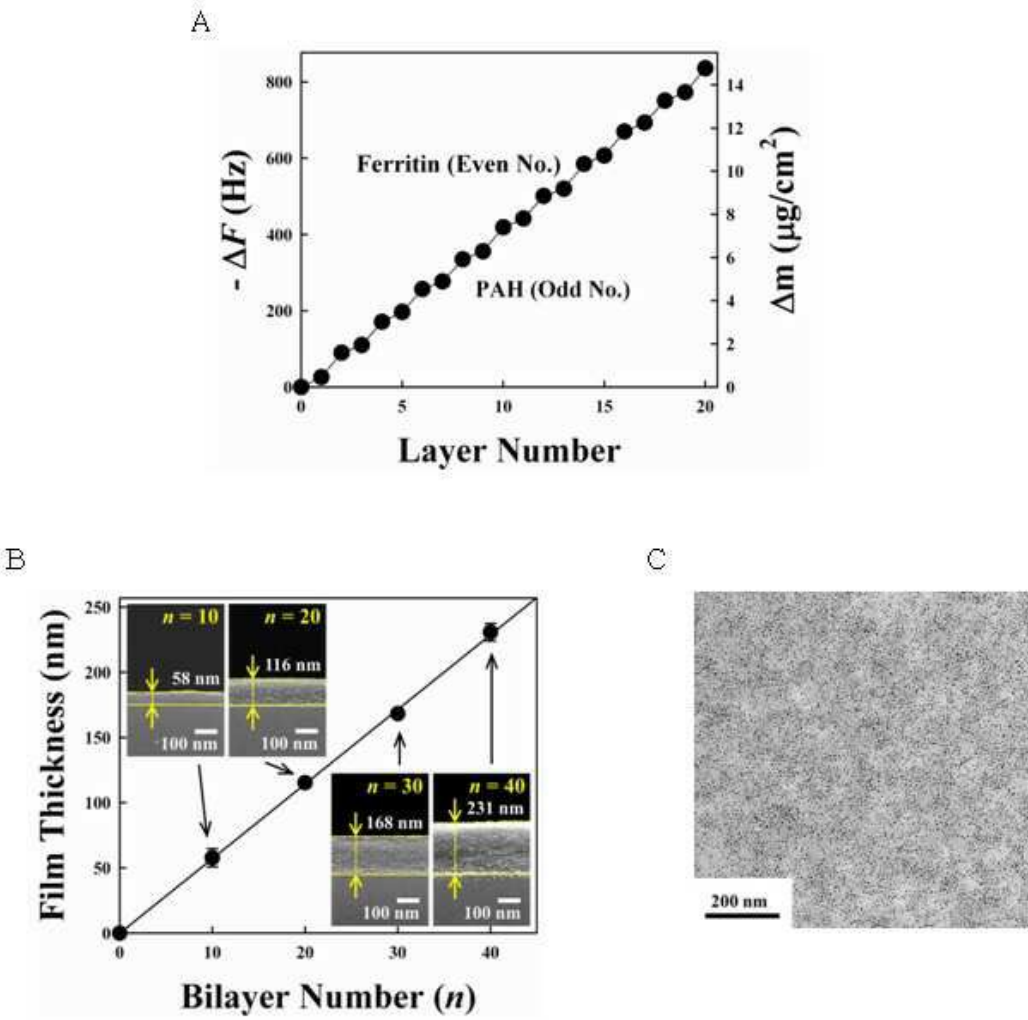
[0114] 이러한 결과는 본 발명에 따른, 단백질 레이어를 포함하는 FET 메모리 장치가, Si 기반의 장치뿐만 아니라 플렉서블 FET 장치에도 효과적으로 적용될 수 있음을 시사한다.

도면

도면1

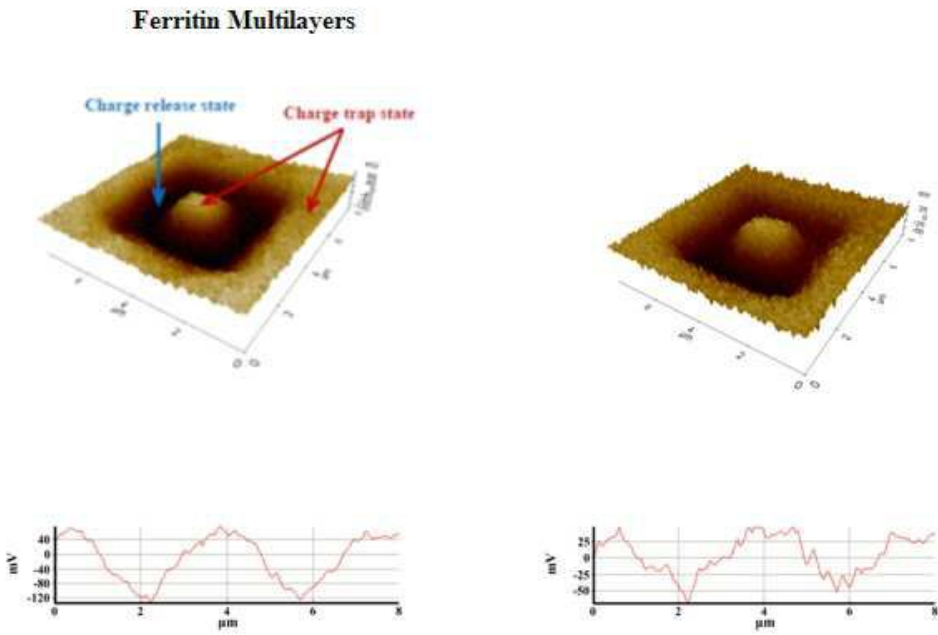


도면2

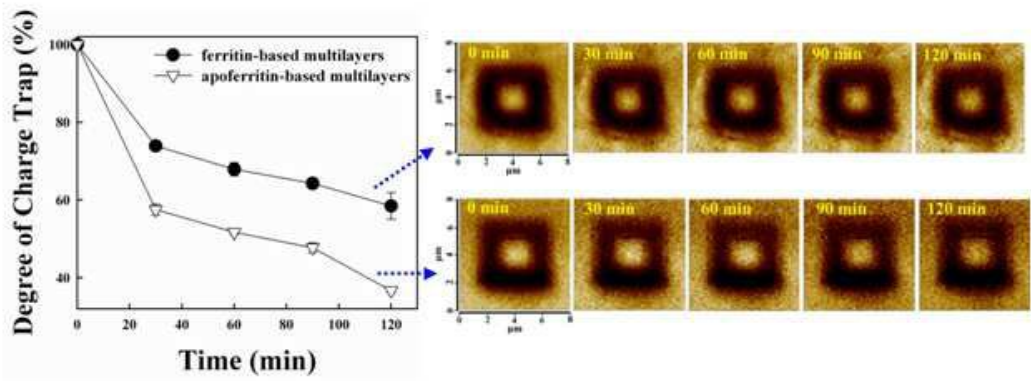


도면3

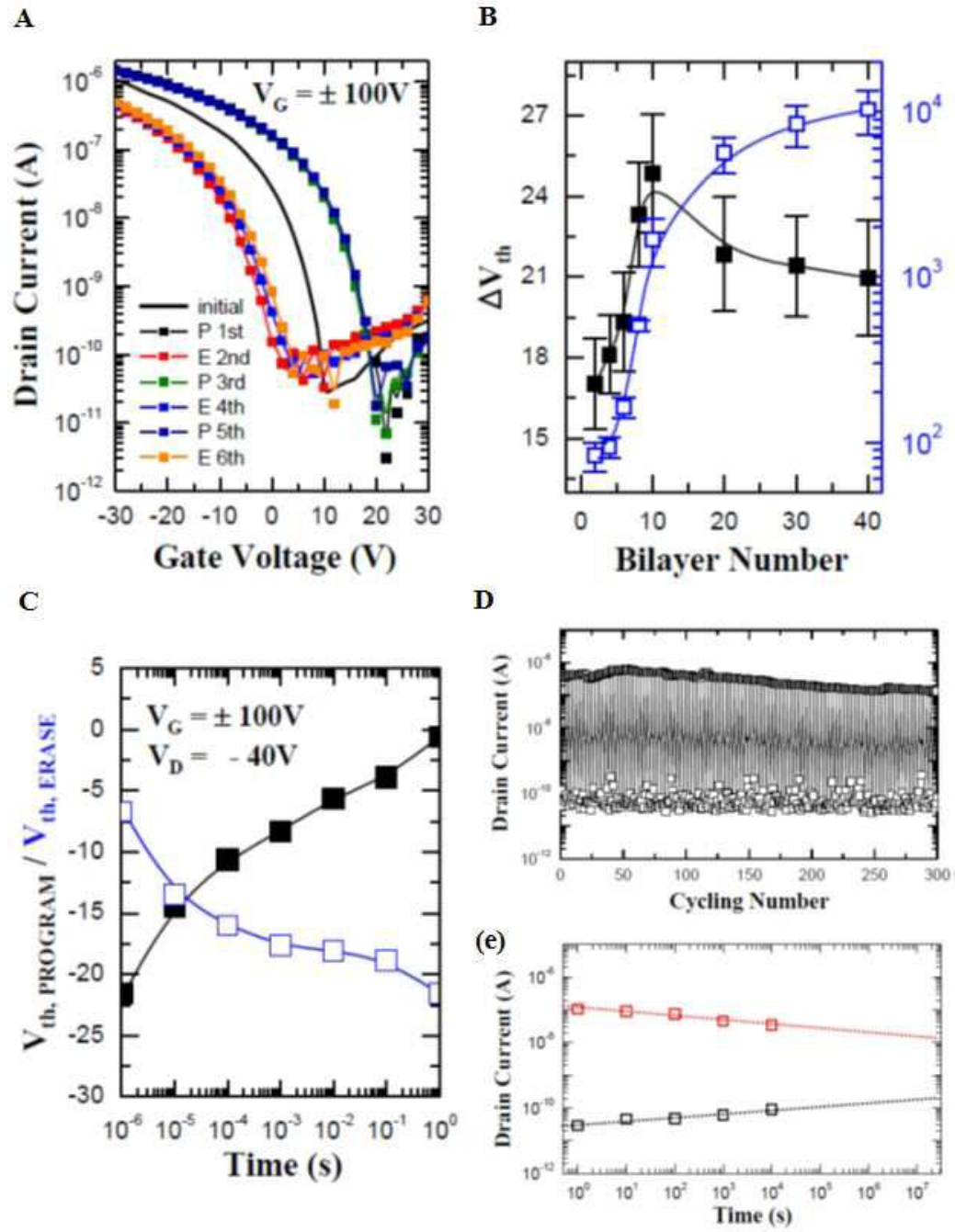
A



B

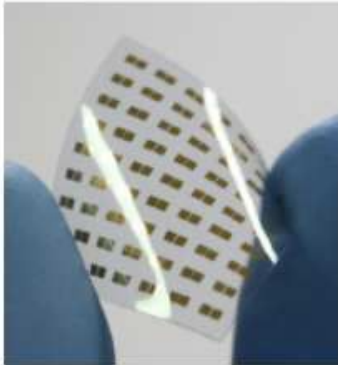


도면4

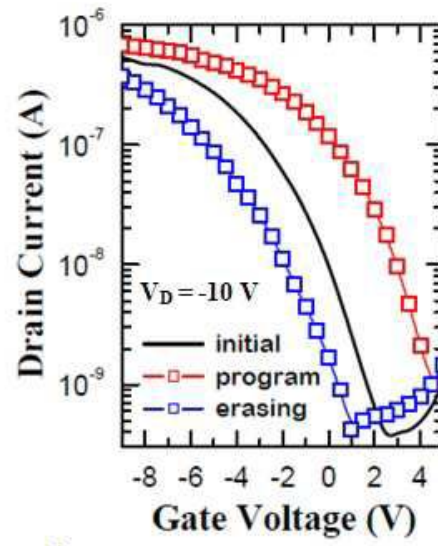


도면5

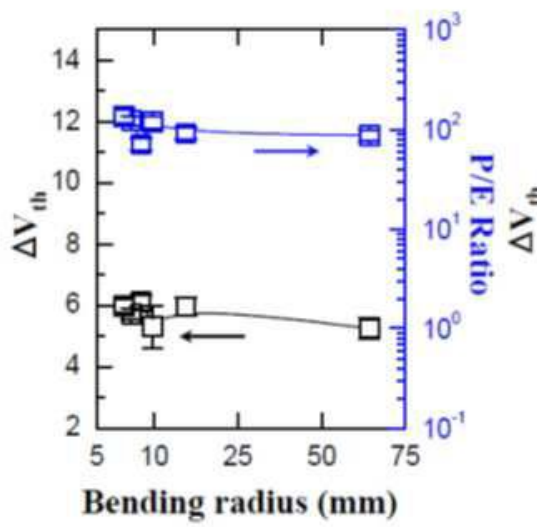
A



B



C



D

