

發明專利說明書

(101年11月15日修正替換頁)

中文說明書替換頁(101年11月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095111612

※ 申請日期：95.3.31

※IPC 分類：

G11C 16/34 (2006.01)

G11C 16/06 (2006.01)

一、發明名稱：(中文/英文)

非揮發性記憶體之複數相位編程中之資料鎖存器的使用

USE OF DATA LATCHES IN MULTI-PHASE PROGRAMMING OF
NON-VOLATILE MEMORIES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克科技公司

SANDISK TECHNOLOGIES INC.

代表人：(中文/英文)

阿薩 勒 富斯泰科

LE FUSTEC, ASA

住居所或營業所地址：(中文/英文)

美國德克薩斯州布蘭諾市北達拉斯公園路6900號雙城中心

TWO LEGACY TOWN CENTER, 6900 NORTH DALLAS PARKWAY,
PLANO, TEXAS 75024, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 李 顏
LI, YAN
2. 朗爾-艾德里安 賽內
CERNEA, RAUL-ADRIAN

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年04月01日；11/097,517

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係關於一種非揮發性記憶體裝置，其包括用於管理一非揮發性記憶體中之一複數相位編程過程的電路。該示範性實施例使用一快速通過寫入技術，其中使用一單次編程通過，但當記憶體單元藉由升高所選擇之記憶體單元的通道之電壓位準而接近其目標值時，改變該等所選擇之記憶體單元的偏壓以減緩編程。本發明之一主要態樣引入一與該讀取/寫入電路相關聯的鎖存器，該電路沿一對應位元線而可連接至每一所選擇之記憶體單元，該鎖存器用於儲存此較低位準處的驗證之結果。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (17) 圖。

(二)本代表圖之元件符號簡單說明：

231	I/O匯流排/資料I/O線/I/O線/線
422	SA匯流排/線
423	D匯流排/線
434-0, 434-1, 434-2	資料鎖存器/鎖存器
435	線
500	共同處理器
603	資料鎖存器/鎖存器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明大體係關於諸如電子可擦除可程式化唯讀記憶體(EEPROM)及快閃EEPROM之非揮發性半導體記憶體，且具體言之係關於實施快速通過寫入或其他複數相位編程技術之方法。

【先前技術】

近來，在多種行動及掌上型裝置(特別是資訊設備及消費型電子產品)中，能夠非揮發性儲存電荷之固態記憶體(特定言之，以封裝為一較小外形尺寸卡的EEPROM及快閃EEPROM之形式)已成為選擇的儲存器。與亦為固態記憶體之RAM(隨機存取記憶體)不同，快閃記憶體係非揮發性的，即使在電源斷開之後，其仍保持其所儲存之資料。儘管成本較高，但快閃記憶體正愈來愈多地在大量儲存應用中使用。諸如硬驅動機及軟性磁碟的基於旋轉磁性媒體之習知大量儲存器不適合於行動及掌上型環境。此係因為磁碟機傾向於笨重，易於產生機械故障且具有較高等待時間及較高功率要求。此等不良屬性使得基於磁碟之儲存器在大多數行動及攜帶型應用中不實用。另一方面，嵌式且以一可移式卡之形式的快閃記憶體因為其較小尺寸、低功率消耗、高速度及高可靠性特點而可理想地適用於行動及掌上型環境中。

EEPROM及電子可程式化唯讀記憶體(EPROM)係非揮發性記憶體，其可擦除並將新資料寫入或"編程"至其記憶體

單元中。其皆利用一場效電晶體結構中定位於一半導體基板中之一通道區域上的處於源極與汲極區域之間的一浮動(未連接)傳導閘極。然後在浮動閘極上提供一控制閘極。藉由浮動閘極上所保持之電荷之數量而控制電晶體的臨限電壓特徵。換言之，對於浮動閘極上之電荷之一給定位準而言，存在一對應電壓(臨限值)，在電晶體"接通"之前必須將該電壓施加至控制閘極以容許其源極與汲極區域之間的傳導。

浮動閘極可保持一定範圍之電荷，且因此可將其編程為一臨限電壓窗內之任何臨限電壓位準。臨限電壓窗之大小由裝置之最小及最大臨限位準而界定，該等最小及最大臨限位準又對應於可編程至浮動閘極上的電荷之範圍。臨限窗通常取決於記憶體裝置之特徵、操作條件及歷史。原則上，窗內之每一相異、可分解之臨限電壓位準範圍可用以表示單元的一確定之記憶體狀態。

通常藉由兩個機制中之一者而將充當一記憶體單元之電晶體編程為一"已編程"狀態。在"熱電子注入"中，一施加至汲極之高電壓使電子加速穿過基板通道區域。同時，一施加至控制閘極之高電壓經由一薄閘極介電質而將熱電子牽引至浮動閘極上。在"穿隧注入"中，相對於基板將一高電壓施加至控制閘極。以此方式，將電子自基板牽引至介入浮動閘極。

可藉由許多機制擦除記憶體裝置。對於EPROM而言，藉由用紫外輻射將電荷自浮動閘極上移除而可大量擦除記

憶體。對於EEPROM而言，藉由相對於控制閘極將一高電壓施加至基板以便誘發浮動閘極中之電子經由一薄氧化物而穿隧至基板通道區域(意即富雷-諾特海姆式穿隧)來電子可擦除一記憶體單元。通常，可逐個字組地擦除EEPROM。對於快閃EEPROM而言，可一次全部地電子擦除記憶體，或一次一或多個區塊地電子擦除記憶體，其中一區塊可由記憶體的512個字組或更多字組組成。

非揮發性記憶體單元之實例

記憶體裝置通常包含可安裝於一卡上的一或多個記憶體晶片。每一記憶體晶片包含一由諸如解碼器及擦除、寫入及讀取電路之周邊電路支持的記憶體單元陣列。更複雜之記憶體裝置亦與一執行智能及更高水平記憶操作及介面連接的控制器一起提供。現今正使用許多商業上成功的非揮發性固態記憶體裝置。此等記憶體裝置可使用不同類型之記憶體單元，每一類型具有一或多個電荷儲存元件。

圖1A-1E示意說明非揮發性記憶體單元之不同實例。

圖1A示意說明一以一具有一用於儲存電荷之浮動閘極之EEPROM單元的形式之非揮發性記憶體。一電子可擦除及可程式化唯讀記憶體(EERPROM)具有一與EPROM類似之結構，但其額外提供一旦施加適當電壓即將電荷自其浮動閘極電性載入及電性移除的機制，而無需曝露於UV輻射。美國專利第5,595,924號給出此等單元之實例及其製造方法。

圖1B示意說明一具有一選擇閘極及一控制或引導閘極的

快閃EEPROM。記憶體單元10在源極14與汲極16擴散之間具有一"分離通道"12。用串列之兩個電晶體T1及T2有效地形成一單元。T1充當一具有一浮動閘極20及一控制閘極30之記憶體電晶體。浮動閘極能夠儲存可選擇數量之電荷。可流經通道之T1部分的電流量取決於控制閘極30上之電壓及駐留於介入浮動閘極20上的電荷之數量。T2充當一具有一選擇閘極40之選擇電晶體。當藉由一選擇閘極40上之電壓接通T2時，其允許通道之T1部分中的電流通過源極與汲極之間。選擇電晶體獨立於控制閘極處之電壓而沿著源極-汲極通道提供一開關。一個優勢在於其可用以斷開由於浮動閘極上之電荷耗盡(正性)而在零控制閘極電壓下仍傳導的彼等單元。另一優勢在於其允許源極側注入編程更易實施。

分離通道記憶體單元之一個簡單實施例是如圖1B中所示之一虛線所示意指示地其中將選擇閘極及控制閘極連接至相同字線。此藉由將一電荷儲存元件(浮動閘極)定位於通道之一個部分上並將一控制閘極結構(其係一字線之部分)定位於另一通道部分上以及電荷儲存元件上而完成。此有效地形成一具有串列之兩個電晶體的單元，一個電晶體(記憶體電晶體)用一電荷儲存元件上的電荷之數量與字線上之電壓的組合控制可流經其通道之部分的電流量，且另一電晶體(選擇電晶體)僅用字線充當其閘極。美國專利第5,070,032號、第5,095,344號、第5,315,541號、第5,343,063號及第5,661,053號中給出此等單元之實例、其在

記憶系統中之使用及其製造方法。

圖1B中所示之分離通道單元之一更改進之實施例是當選擇閘極及控制閘極係獨立的且兩者之間未用虛線連接時。一個實施例使一單元陣列中之一行的控制閘極連接至一垂直於字線之控制(或引導)線。效果係當對一所選擇之單元讀取或編程時使字線不必同時執行兩個功能。彼等兩個功能係：(1)充當一選擇電晶體之一閘極，因此需要一適當電壓以接通及斷開選擇電晶體，及(2)經由一耦合於字線與電荷儲存元件之間的電場(電容性)而將電荷儲存元件之電壓驅動至一所要位準。通常難以用一單個電壓以一最佳方式執行此等兩個功能。由於獨立控制控制閘極及選擇閘極，字線僅需執行功能(1)，而新增之控制線執行功能(2)。此能力考慮到較高效能編程之設計，其中使編程電壓適合目標資料。舉例而言，美國專利第5,313,421號及第6,222,762號中描述一快閃EEPROM陣列中之獨立控制(或引導)閘極的使用。

圖1C示意說明具有雙浮動閘極及獨立選擇與控制閘極的另一快閃EEPROM。記憶體單元10除了其有效地具有串列之三個電晶體以外類似於圖1B之記憶體單元。在此類型之單元中，在其源極與汲極擴散之間的通道上包括兩個儲存元件(意即，T1-左及T1-右之儲存元件)，兩個儲存元件之間具有一選擇電晶體T2。記憶體電晶體分別具有浮動閘極20與20'及控制閘極30與30'。一選擇閘極40控制選擇電晶體T2。在任一時刻，僅存取記憶體電晶體對中之一者以便

讀取或寫入。當存取儲存單元 T1-左時，T2及 T1-右皆接通以允許通道之 T1-左之部分中的電流通過源極與汲極之間。同樣，當存取儲存單元 T1-右時，接通 T2及 T1-左。藉由使選擇閘極多晶矽之一部分接近浮動閘極並將一實質正性電壓(例如 20 V)施加至選擇閘極以使得儲存於浮動閘極內之電子可穿隧至選擇閘極多晶矽來實現擦除。

圖 1D 示意說明一組成一 NAND 單元之記憶體單元串。一 NAND 單元 50 由藉由其源極及汲極而串鏈之一系列記憶體電晶體 M1、M2、... Mn($n=4, 8, 16$ 或更高)組成。一對選擇電晶體 S1、S2 經由 NAND 單元之源極端子 54 及汲極端子 56 而控制記憶體電晶體鏈與外部之連接。在一記憶體陣列中，當源極選擇電晶體 S1 接通時，源極端子耦接至一源極線。同樣，當汲極選擇電晶體 S2 接通時，NAND 單元之汲極端子耦接至記憶體陣列之一位元線。鏈中之每一記憶體電晶體具有一電荷儲存元件以儲存一給定數量之電荷以便表示一所需記憶體狀態。每一記憶體電晶體之一控制閘極提供讀取及寫入操作上的控制。選擇電晶體 S1、S2 之每一者之一控制閘極分別經由其源極端子 54 及汲極端子 56 而提供存取 NAND 單元的控制。

當在編程期間讀取並驗證一 NAND 單元內之一定址記憶體電晶體時，向其控制閘極供應一適當電壓。同時，藉由在 NAND 單元 50 中剩餘之未定址記憶體電晶體的控制閘極上施加充足電壓而將其完全接通。以此方式，有效地建立一自個別記憶體電晶體之源極至 NAND 單元之源極端子 54

的傳導路徑，且同樣建立個別記憶體電晶體之汲極至單元之汲極端子56的傳導路徑。美國專利第5,570,315號、第5,903,495號、第6,046,935號中描述具有此等NAND單元結構之記憶體裝置。

圖1E示意說明一具有一用於儲存電荷之介電層的非揮發性記憶體。其使用一介電層，而非前文所描述之傳導浮動閘極元件。Eitan等人已在2000年11月第11期第21卷的IEEE Electron Device Letters之第543-545頁之"NR0M：A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell"中描述了利用介電儲存元件的此等記憶體裝置。一ONO介電層擴展穿過源極與汲極擴散之間的通道。將用於一個資料位元之電荷區域化於鄰近汲極的介電層中，且將用於另一資料位元之電荷區域化於鄰近源極的介電層中。舉例而言，美國專利第5,768,192號及第6,011,725號揭示一具有夾於兩個二氧化矽層之間之一收集介電質的非揮發性記憶體單元。藉由獨立地讀取介電質內之空間分離的電荷儲存區域之二進位狀態而實施複數狀態資料儲存。

記憶體陣列

一記憶體裝置通常包含一以列及行排列且可藉由字線及位元線定址之二維記憶體單元陣列。可根據一NOR類型或一NAND類型架構形成該陣列。

NOR陣列

圖2說明一NOR記憶體單元陣列之一實例。已用圖1B或圖1C中所說明之類型的單元實施了具有一NOR類型架構之

記憶體裝置。每一列記憶體單元藉由其源極及汲極而以一菊鏈方式連接。此設計有時被稱作一虛接地設計。每一記憶體單元10具有一源極14、一汲極16、一控制閘極30及一選擇閘極40。一系列中之單元將其選擇閘極連接至字線42。一行中之單元將其源極及汲極分別連接至所選擇之位元線34及36。在記憶體單元使其控制閘極及選擇閘極獨立受控的一些實施例中，一引導線36亦連接一行中的單元之控制閘極。

用記憶體單元實施許多快閃EEPROM裝置，其中，每一記憶體單元用其控制閘極與選擇閘極連接在一起而形成。在此情況下，無需引導線且一字線沿每一列簡單連接單元之所有控制閘極及選擇閘極。美國專利第5,172,338號及第5,418,752號中揭示此等設計之實例。在此等設計中，字線大體上執行兩個功能：列選擇及將控制閘極電壓供應至列中之所有單元以便讀取或編程。

NAND陣列

圖3說明一諸如圖1D中所示之記憶體單元的NAND陣列之一實例。沿著每一行NAND單元，將一位元線耦接至每一NAND單元之汲極端子56。沿著每一列NAND單元，一源極線可連接所有其源極端子54。沿一系列之NAND單元的控制閘極亦連接至一系列對應字線。可藉由用經由所連接之字線而在控制閘極上的適當電壓接通選擇電晶體對(參看圖1D)來定址一整列之NAND單元。當讀取一NAND單元之鏈內之一記憶體電晶體時，鏈中之剩餘記憶體電晶體難

以經由其相關聯之字線接通，因此流經鏈之電流大體上取決於儲存於所讀取之單元中的電荷之位準。美國專利第 5,570,315 號、第 5,774,397 號及第 6,046,935 號中發現一 NAND 架構陣列之一實例及其作為一記憶體系統之部分的操作。

區塊擦除

電荷儲存記憶體裝置之編程僅可導致將更多電荷添加至其電荷儲存元件。因此，在一編程操作之前，必須移除(或擦除)一電荷儲存元件中之現存電荷。提供擦除電路(未圖示)以擦除記憶體單元之一或多個區塊。當將一整個單元陣列或該陣列之有效單元之群一起電子擦除(意即，在一快閃中)時，一諸如 EEPROM 的非揮發性記憶體被稱作一"快閃"EEPROM。一旦擦除，然後即可對單元之群重新編程。可一起擦除的單元之群可由一或多個可定址擦除單元組成。儘管在一單個操作中可對一個以上的頁面編程或讀取，但擦除單元或區塊通常儲存一或多個頁面之資料，"頁面"係編程及讀取之單元。每一頁面通常儲存一或多個扇區之資料，扇區之大小由主機系統界定。一實例係一 512 字組之使用者資料的扇區，其遵循一用磁碟機確立之標準，加上關於使用者資料及/或儲存其之區塊的額外資訊的一些數目之字組。

讀取/寫入電路

在通常之兩個狀態 EEPROM 單元中，確立至少一個電流斷點位準以便將傳導窗分割成兩個區域。當藉由施加預定

之固定電壓讀取一單元時，藉由與斷點位準(或參考電流 I_{REF})比較而將其源極/汲極電流解析為一記憶體狀態。若所讀取之電流高於斷點位準之電流，則判定單元處於一個邏輯狀態(例如，一"0"狀態)。另一方面，若電流低於斷點位準之電流，則判定單元處於另一邏輯狀態(例如，一"1"狀態)。因此，此兩個狀態單元儲存一個位元之數位資訊。常提供一外部可編程的參考電流源作為一記憶體系統之部分以產生斷點位準電流。

隨著半導體狀態技術之進步，為了增大記憶體容量，以愈來愈高之密度製造快閃EEPROM裝置。增大儲存容量之另一方法係使每一記憶體單元儲存兩個以上之狀態。

對於一複數狀態或複數位準之EEPROM記憶體單元而言，藉由一個以上斷點將傳導窗分割成兩個以上之區域以使得每一單元能夠儲存一個以上位元之資料。因此，一給定EEPROM陣列可儲存之資訊隨著每一單元可儲存之狀態的數目而增大。在美國專利第5,172,338號中已描述了具有複數狀態或複數位準之記憶體單元的EEPROM或快閃EEPROM。

實務上，當將一參考電壓施加至控制閘極上時，通常藉由感應通過單元之源電極及汲電極的傳導電流而讀取一單元之記憶體狀態。因此，對於一單元之浮動閘極上的每一給定電荷而言，可偵測關於一固定參考控制閘極電壓之一對應傳導電流。同樣，可編程至浮動閘極上的電荷之範圍界定一對應臨限電壓窗或一對應傳導電流窗。

或者，可能為一在控制閘極處測試下的給定記憶體狀態設定臨限電壓並偵測傳導電流是否低於或高於一臨限電流，而非在一分割之電流窗中偵測傳導電流。在一個實施例中，藉由檢查傳導電流經由位元線之電容放電的速率而完成相對於一臨限電流對傳導電流的偵測。

圖4說明對於浮動閘極在任一時刻可選擇性儲存的四個不同電荷Q1-Q4而言，源極-汲極電流ID與控制閘極電壓VCG之間的關係。四個實心ID比VCG之曲線表示可在一記憶體單元之一浮動閘極上編程的四個可能之電荷位準，其分別對應四個可能之記憶體狀態。作為一實例，一單元之群體的臨限電壓窗可自0.5 V變化至3.5 V。藉由以每0.5 V為時間間隔將臨限窗分割為五個區域而可劃分出六個記憶體狀態。舉例而言，若如所示地使用一2 μ A之參考電流I_{REF}，則然後可認為用Q1編程之單元處於一記憶體狀態"1"中，因為Q1曲線與I_{REF}相交於由V_{CG}=0.5 V及V_{CG}=1.0 V所劃分出的臨限窗之區域中。同樣，Q4處於一記憶體狀態"5"中。

如可自上文之描述看出的，使一記憶體單元儲存愈多狀態，其臨限窗之分隔愈精細。此將在編程及讀取操作中要求更高精度以便能夠達成所要解析度。

美國專利第4,357,685號揭示一種對一2狀態EPROM編程之方法，其中，當將一單元編程為一給定狀態時，該單元經受連續之編程電壓脈衝，每次將增量電荷添加至浮動閘極。在脈衝之間，回讀或驗證單元以相對於斷點位準判定

其源極-汲極電流。當已驗證電流狀態達到所要狀態時，編程停止。所使用之編程脈衝串可具有漸增之週期或振幅。

先前技術之編程電路僅將編程脈衝施加至經由臨限窗自己擦除或接地狀態直至達到目標狀態的階段。實際上，為了考慮到足夠之解析度，每一經分割或劃分之區域將需要橫向之至少約五個編程階段。該效能適用於2狀態記憶體單元。然而，對於複數狀態單元而言，所要階段之數目隨著分割之數目而增大，且因此編程精度或解析度必須增大。舉例而言，一16狀態單元可需要平均至少40個編程脈衝以編程至一目標狀態。

圖5示意說明一具有一記憶體陣列100之一典型排列的記憶體裝置，讀取/寫入電路170可經由列解碼器130及行解碼器160而存取該記憶體陣列。如關於圖2及圖3所描述，經由一組所選擇之字線及位元線可定址記憶體陣列100中之一記憶體單元的一記憶體電晶體。列解碼器130選擇一或多個字線且行解碼器160選擇一或多個位元線以便將適當之電壓施加至已定址之記憶體電晶體的個別閘極。提供讀取/寫入電路170以讀取或寫入(編程)已定址之記憶體電晶體的記憶體狀態。讀取/寫入電路170包含許多讀取/寫入模組，其可經由位元線而連接至陣列中之記憶體元件。

圖6A為一個別讀取/寫入模組190的示意方塊圖。大體上，在讀取或驗證期間，一感應放大器判定流經一經由一所選擇之位元線而連接的已定址之記憶體電晶體之汲極的

電流。該電流取決於記憶體電晶體中所儲存之電荷及其控制閘極電壓。舉例而言，在一複數狀態EEPROM單元中，可將其浮動閘極充電至若干不同位準之一者。對於一4位準單元而言，其可用以儲存兩位元之資料。藉由一位準-位元轉換邏輯可將感應放大器所偵測之位準轉換為一組資料位元以儲存於一資料鎖存器中。

影響讀/寫效能及精確度之因素

為了改良讀取及編程效能，對一陣列中之多個電荷儲存元件或記憶體電晶體並行讀取或編程。因此，對記憶體元件之一邏輯"頁面"一起讀取或編程。在現存記憶體架構中，一列通常含有若干交錯頁面。將對一頁面之所有記憶體元件一起讀取或編程。行解碼器將選擇性地將每一個交錯頁面連接至一對應數目之讀取/寫入模組。舉例而言，在一個實施例中，記憶體陣列經設計以具有一532字組(512字組加上20個額外字組)之頁面大小。若每一行含有一汲極位元線且每列存在兩個交錯頁面，則總計為8512行，每一頁面與4256行相關聯。將存在可連接之4256個感應模組以對所有偶數位元線或所有奇數位元線並行讀取或寫入。以此方式，自記憶體元件之頁面讀取一並行的4256位元(意即，532字組)之資料的頁面，或將該頁面編程至記憶體元件之頁面中。可將形成讀取/寫入電路170之讀取/寫入模組排列成各種架構。

參看圖5，將讀取/寫入電路170組織成讀取/寫入堆疊180之組。每一讀取/寫入堆疊180係一讀取/寫入模組190之堆

疊。在一記憶體陣列中，藉由佔據行間距的一或兩個電晶體之大小而判定行間距。然而，如自圖6A可見，將可能用許多更多之電晶體及電路元件實施一讀取/寫入模組的電路，且因此將佔據一超過許多行之空間。為了服務所佔據之行中的一個以上行，多個模組堆疊在彼此之上。

圖6B展示習知藉由一讀取/寫入模組190之堆疊而實施的圖5之讀取/寫入堆疊。舉例而言，一讀取/寫入模組可擴展遍及十六行，然後可使用一具有八個讀取/寫入模組之一堆疊的讀取/寫入堆疊180來並行服務八個行。可經由一行解碼器將讀取/寫入堆疊耦接至組中的八個奇數(1、3、5、7、9、11、13、15)行或八個偶數(2、4、6、8、10、12、14、16)行。

如上文所提及，習知記憶體裝置藉由一次在所有偶數或所有奇數位元線上以一大規模並行方式操作而改良讀取/寫入操作。由兩個交錯頁面組成之一列的此架構將有助於緩和配合讀取/寫入電路之區塊的問題。其亦由考慮控制位元線至位元線之電容耦合而指定。使用一區塊解碼器以將讀取/寫入模組之組多路傳輸至偶數頁面或奇數頁面。以此方式，只要對一組位元線讀取或編程，即可將交錯組接地以最小化直接相鄰耦合。

然而，交錯頁面架構至少在三個方面是不利的。第一，其需要額外之多工電路。第二，其在效能上較慢。為了完成藉由一字線或在一系列中連接之記憶體單元的讀取或編程，需要兩個讀取操作或兩個編程操作。第三，其在解決

其他干擾效應中亦並非最佳的，該等其他干擾效應諸如當在不同時間對處於浮動閘極位準之兩個相鄰電荷儲存元件編程時（諸如分別在偶數頁面及奇數頁面中）其間的場耦合。

隨著記憶體電晶體之間的間距不斷靠近，相鄰場耦合之問題變得更顯著。在一記憶體電晶體中，一電荷儲存元件夾於一通道區域與一控制閘極之間。在通道區域中流動之電流係一由控制閘極以及電荷儲存元件處的場提供之合成電場的函數。隨著密度不斷增大，記憶體電晶體愈來愈近地形成在一起。然後，來自相鄰電荷元件之場成為一受影響單元之合成電場的重要起因。相鄰場取決於編程至相鄰電荷儲存元件中的電荷。此擾動場本質上係動態的，因為其隨著相鄰元件之編程狀態而變化。因此，取決於相鄰元件之變化狀態，一受影響單元可在不同時間進行不同讀取。

習知交錯頁面之架構使由相鄰浮動閘極耦接而引起之誤差加劇。因為獨立於彼此而對偶數頁面及奇數頁面編程及讀取，所以取決於同時發生於交錯頁面的，可在一組條件下對一頁面編程而在一組完全不同之條件下回讀。隨著密度之增大，讀取誤差將變得更嚴重，對於複數狀態實施例而言，需要一更精確之讀取操作及臨限窗的更粗略之分割。效能將受損且一複數狀態實施例中的潛在容量受到限制。

美國專利公開案第 US-2004-0060031-A1 號揭示一高效能

且緊密之非揮發性記憶體裝置，其具有一大區塊之讀取/寫入電路以並行地對一對應記憶體單元之區塊讀取及寫入。詳言之，記憶體裝置具有一將讀取/寫入電路之區塊中的冗餘減小至一最小值的架構。藉由將讀取/寫入模組之區塊再分配成一區塊讀取/寫入模組核心部分而達到顯著節約空間以及功率，核心部分當以一劃時多工方式與一組大體上較小之共同部分相互作用時並行操作。詳言之，藉由一共用處理器執行複數個感應放大器與資料鎖存器之間的讀取/寫入電路中之資料處理。

因此普遍需要高效能且高容量之非揮發性記憶體。詳言之，需要一種具有增強之讀取及編程效能的緊密非揮發性記憶體，其具有一改良之處理器，該處理器係緊密且有效的，又高度通用於在讀取/寫入電路中處理資料。

【發明內容】

根據本發明之一態樣，提供一種用於管理一非揮發性記憶體中之一複數相位編程過程的方法及對應電路。更具體言之，示範性實施例使用一快速通過寫入技術，其中使用一單次編程通過，但改變了所選擇之記憶體單元的偏壓以在記憶體單元接近其目標值時減緩編程。在每一編程脈衝之後，在一第一較低驗證值下驗證記憶體，然後在一第二較高位準下進行一第二驗證。第二位準用以鎖定一所選擇之單元使其不被進一步編程。第一較低驗證位準用以改變編程相位。在該示範性實施例中，藉由提高所選擇之記憶體單元之通道的電壓位準實行此。本發明之一主要態樣引

入一與讀取/寫入電路相關聯之鎖存器，該讀取/寫入電路沿一對應位元線可連接至每一所選擇之記憶體單元以便儲存此較低位準下的驗證之結果。在一N狀態記憶體中，選擇用於編程之每一記憶體單元將與其N+1個鎖存器相關聯，N個鎖存器用以記住目標資料，且第N+1個鎖存器用於管理編程相位。

該示範性實施例係一NAND類型之記憶體，具體言之，其係一全位元線架構。沿一所選擇之字線施加一上升階梯形式之編程波形。在初始編程相位中，為了便於編程，藉由將所選擇之記憶體單元的對應位元線設定為接地而將其通道設定為接地。一旦在較低驗證位準下成功驗證，該示範性實施例中之位元線電壓即經由一組位元線箝位上的位準而上升，因此允許所選擇之記憶體單元的通道上升至一較高電壓位準，藉此減緩編程。該示範性實施例利用一位元線箝位來調整位元線上的偏壓位準。與每一位元線相關聯之讀取/寫入堆疊具有一組可用以管理寫入過程之資料鎖存器，此等鎖存器中之一者用以儲存在較低位準下驗證的結果並藉此管理編程相位，足夠之鎖存器亦用以監控標準編程過程。

自下文的本發明之較佳實施例(應結合隨附圖式對其進行描述)之描述將瞭解本發明之額外特徵及優勢。

【實施方式】

圖7A示意說明一具有一組分割之讀取/寫入堆疊的緊密記憶體裝置，其中實施本發明之改良之處理器。記憶體裝

置包括一記憶體單元的二維陣列300、控制電路310及讀取/寫入電路370。字線經由一系列解碼器330定址記憶體陣列300且位元線經由一行解碼器360定址記憶體陣列300。將讀取/寫入電路370實施為一組分割之讀取/寫入堆疊400且允許並行地對記憶體單元之一區塊(亦被稱作一"頁面")讀取或編程。在一較佳實施例中，一頁面由一鄰近列的記憶體單元組成。在另一實施例中，在將一系列記憶體單元分割成多個區塊或頁面處，提供一區塊多工器350以將讀取/寫入電路370多路傳輸至個別區塊。

控制電路310與讀取/寫入電路370合作以執行記憶體陣列300上之記憶體操作。控制電路310包括一狀態機312、一晶載位址解碼器314及一功率控制模組316。狀態機312提供記憶體操作之晶片位準控制。在主機或一記憶體控制器所使用之位址至解碼器330及360所使用之硬體位址之間，晶載位址解碼器314提供一位址介面。在記憶體操作期間，功率控制模組316控制供應至字線及位元線的功率及電壓。

圖7B說明圖7A中所示之緊密記憶體裝置之一較佳排列。以一對稱方式實施各種周邊電路在陣列之對邊上對記憶體陣列300的存取，以使得每一側上之存取線及電路減少至一半。因此，將列解碼器分成列解碼器330A及330B，且將行解碼器分成行解碼器360A及360B。在將一系列記憶體單元分割成多個區塊的實施例中，將區塊多工器350分成區塊多工器350A及350B。同樣，將讀取/寫入電路

分成自陣列300之底部連接至位元線的讀取/寫入電路370A及自陣列300之頂部連接至位元線的讀取/寫入電路370B。以此方式，讀取/寫入模組之密度大體上減少了一半，且因此分割之讀取/寫入堆疊400之密度大體上減少了一半。

圖8示意說明圖7A中所示之一讀取/寫入堆疊中的基本組件之一普遍排列。根據本發明之一普遍架構，讀取/寫入堆疊400包含一用於感應 k 條位元線的感應放大器之堆疊212、一用於經由一I/O匯流排231輸入或輸出資料的I/O模組440、一用於儲存輸入或輸出資料的資料鎖存器之堆疊430、一用以在讀取/寫入堆疊400中處理及儲存資料的共同處理器500及一用於堆疊組件中之通信的堆疊匯流排421。一讀取/寫入電路370中之堆疊匯流排控制器經由線411提供控制及時序訊號以便控制讀取/寫入堆疊中的各種組件。

圖9說明圖7A及圖7B中所示之讀取/寫入電路中的一個讀取/寫入堆疊之較佳排列。每一讀取/寫入堆疊400在一群 k 條位元線上並行操作。若一頁面具有 $p=r*k$ 條位元線，則將存在 r 個讀取/寫入堆疊400-1、...、400- r 。

並行操作的分割之讀取/寫入堆疊400之整個組允許並行地對一沿一系列之 p 個單元的區塊(或頁面)讀取或編程。因此，對於整個列之單元而言，將存在 p 個讀取/寫入模組。由於每一堆疊服務 k 個記憶體單元，因此由 $r=p/k$ 給出組中的讀取/寫入堆疊之總數目。舉例而言，若 r 係組中的堆疊之數目，則然後 $p=r*k$ 。一個示範性記憶體陣列可具有

$p=512$ 個字組(512×8 個位元)， $k=8$ ，且因此 $r=512$ 。在較佳實施例中，區塊係一連串的整個列之單元。在另一實施例中，區塊係列中之單元之一子集。舉例而言，單元之子集可為整個列之一半或整個列之四分之一。單元之子集可為一連串鄰近單元，或每隔一個單元一個，或每隔預定數目之單元一個。

諸如400-1之每一讀取/寫入堆疊大體上含有一感應放大器212-1至212-k的堆疊，該堆疊並行地服務 k 個記憶體單元之一片段。美國專利公開案第2004-0109357-A1號中揭示一較佳感應放大器，該公開案之全部揭示內容以引用之方式併入本文中。

堆疊匯流排控制器410經由線411而將控制及時序訊號提供至讀取/寫入電路370。堆疊匯流排控制器本身經由線311而取決於記憶體控制器310。每一讀取/寫入堆疊400中的通信受一互連之堆疊匯流排431之影響且由堆疊匯流排控制器410控制。控制線411自堆疊匯流排控制器410將控制及時脈訊號提供至讀取/寫入堆疊400-1的組件。

在較佳排列中，將堆疊匯流排分割成一用於共同處理器500與感應放大器之堆疊212之間的通信之SA匯流排422及一用於處理器與資料鎖存器之堆疊430之間的通信之D匯流排423。

資料鎖存器之堆疊430包含資料鎖存器430-1至430-k，每一者用於與該堆疊相關聯之每一記憶體單元。I/O模組440使資料鎖存器能夠經由一I/O匯流排231與外部交換資

料。

共同處理器亦包括一輸出507，其用於輸出一諸如一誤差條件的指示記憶體操作之一狀態的狀態訊號。該狀態訊號用以驅動一n電晶體550之閘極，該電晶體以一線或組態連接至旗標匯流排509。較佳地藉由控制器310將旗標匯流排預先充電，且當讀取/寫入堆疊中的任何一者確定一狀態訊號時將下拉旗標匯流排(之電位)。

圖10說明圖9中所示的共同處理器之一改良之實施例。共同處理器500包含一用於與外部電路通信之處理器匯流排P匯流排505、一輸入邏輯510、一處理器鎖存器P鎖存器520及一輸出邏輯530。

輸入邏輯510自P匯流排接收資料，且取決於經由訊號線411而來自堆疊匯流排控制器410的控制訊號，將資料作為一處於一個邏輯狀態"1"、"0"或"Z"(浮動)中的轉換之資料而輸出至一BSI節點。然後，一設定/重設鎖存器P鎖存器520鎖存BSI，產生一對互補輸出訊號MTCH及MTCH*。

輸出邏輯530接收MTCH及MTCH*訊號，且取決於經由訊號線411而來自堆疊匯流排控制器410的控制訊號，將一處於一個邏輯狀態"1"、"0"或"Z"(浮動)中的轉換之資料輸出至P匯流排505上。

共同處理器500在任一時刻處理與一給定記憶體單元有關之資料。舉例而言，圖10說明耦接至位元線1之記憶體單元的情況。對應感應放大器212-1包含一出現感應放大器資料的節點。在較佳實施例中，節點假定為一儲存資料

之SA鎖存器214-1的形式。同樣，對應資料鎖存器之組430-1儲存與耦接至位元線1之記憶體單元相關聯的輸入或輸出資料。在較佳實施例中，資料鎖存器之組430-1包含用於儲存n位元之資料的足夠之資料鎖存器434-1、...、434-n。

當一對互補訊號SAP及SAN啟用一傳送閘501時，共同處理器500之P匯流排505經由S匯流排422而存取SA鎖存器214-1。同樣，當一對互補訊號DTP及DTN啟用一傳送閘502時，P匯流排505經由D匯流排423而存取資料鎖存器之組430-1。明確說明訊號SAP、SAN、DTP及DTN為來自堆疊匯流排控制器410之控制訊號的部分。

圖11A說明圖10中所示的共同處理器之輸入邏輯之一較佳實施例。輸入邏輯520接收P匯流排505上之資料，且取決於控制訊號而使輸出BSI保持不變或反相或浮動。輸出BSI節點大體上受一傳送閘522之輸出或一包含串列至 V_{dd} 之p電晶體524及525的上拉電路或一包含串列至地之n電晶體526及527的下拉電路之影響。上拉電路使p電晶體524及525之閘極分別由訊號PBUS及ONE控制。下拉電路使n電晶體526及527之閘極分別由訊號ONEB<1>及PBUS控制。

圖11B說明圖11A之輸入邏輯的真值表。藉由PBUS及為來自堆疊匯流排控制器410之控制訊號之部分的控制訊號ONE、ONEB<0>、ONEB<1>控制邏輯。大體上支持三種傳送模式，通過(PASSTHROUGH)、反相(INVERTED)及浮動(FLOATED)。

在BSI與輸入資料相同的通過模式之情況下，訊號ONE處於邏輯"1"，ONEB<0>處於"0"，且ONEB<1>處於"0"。此將去能上拉或下拉電路，但啟用傳送閘522以將P匯流排505上之資料傳遞至輸出523。在BSI反相於輸入資料的反相模式之情況下，訊號ONE處於"0"，ONEB<0>處於"1"，且ONEB<1>處於"1"。此將去能傳送閘522。並且，當PBUS處於"0"時，將去能下拉電路而啟用上拉電路，導致BSI處於"1"。同樣，當PBUS處於"1"時，去能上拉電路而啟用下拉電路，導致BSI處於"0"。最終，在浮動模式之情況下，可藉由使訊號ONE處於"1"、ONEB<0>處於"1"且ONEB<1>處於"0"而使輸出BSI浮動。儘管在實務上不使用浮動模式，但為完整性而將其列出。

圖12A說明圖10中所示的共同處理器之輸出邏輯之一較佳實施例。將來自輸入邏輯520的BSI節點處之訊號鎖存於處理器鎖存器P鎖存器520中。輸出邏輯530自P鎖存器520之輸出接收資料MTCH及MTCH*，且取決於控制訊號而以通過、反相或浮動模式輸出至P匯流排上。換言之，四個分枝充當P匯流排505之驅動器，主動地將其拉至一高(HIGH)、低(LOW)或浮動(FLOATED)狀態。此由四個分枝電路實現，即P匯流排505之兩個上拉電路及兩個下拉電路。一第一上拉電路包含串列至 V_{dd} 之p電晶體531及532，且其能夠當MTCH處於"0"時上拉P匯流排。一第二上拉電路包含串列至地之p電晶體533及534，且其能夠當MTCH處於"1"時上拉P匯流排。同樣，一第一下拉電路包含串列至

V_{dd} 之n電晶體535及536，且其能夠當MTCH處於"0"時下拉P匯流排。一第二下拉電路包含串列至地之n電晶體537及538，且其能夠當MTCH處於"1"時下拉P匯流排。

本發明之一個特點係用PMOS電晶體構成上拉電路，且用NMOS電晶體構成下拉電路。因為藉由NMOS之牽拉比PMOS之牽拉強得多，所以在任何競爭中，下拉將總是克服上拉。換言之，節點或匯流排可總是預設為一上拉或"1"狀態，且在必要時可總是藉由一下拉而翻轉至一"0"狀態。

圖12B說明圖12A之輸出邏輯的真值表。藉由自輸入邏輯鎖存的MTCH、MTCH*及為來自堆疊匯流排控制器410之控制訊號之部分的控制訊號PDIR、PINV、NDIR、NINV控制邏輯。支持四種操作模式，通過(PASSTHROUGH)、反相(INVERTED)、浮動(FLOATED)及預充電(PRECHARGE)。

在浮動模式中，去能所有四個分枝。此藉由使訊號PINV=1、NINV=0、PDIR=1、NDIR=0(其亦為預設值)而實現。在通過模式中，當MTCH=0時，將要求PBUS=0。此藉由僅啟用具有n電晶體535及536之下拉分枝，除了NDIR=1以外，使所有控制訊號皆處於其預設值而實現。當MTCH=1時，將要求PBUS=1。此藉由僅啟用具有p電晶體533及534之上拉分枝，除了PINV=0以外，使所有控制訊號皆處於其預設值而實現。在反相模式中，當MTCH=0時，將要求PBUS=1。此藉由僅啟用具有p電晶體531及532之上拉分枝，除了PDIR=0以外，使所有控制訊號皆處於

其預設值而實現。當 $MTCH=1$ 時，將要求 $PBUS=0$ 。此藉由僅啟用具有n電晶體537及538之下拉分枝，除了 $NINV=1$ 以外，使所有控制訊號皆處於其預設值而實現。在預充電模式中， $PDIR=0$ 及 $PINV=0$ 之控制訊號設定將在 $MTCH=1$ 時啟用具有p電晶體531及532的上拉分枝，或在 $MTCH=0$ 時啟用具有p電晶體533及534的上拉分枝。

2004年12月29日之美國專利申請案第11/026,536號中更全面地揭露共同處理器操作，該申請案全文以引用之方式併入本文中。

全位元線架構中之快速通過寫入

非揮發性記憶體之效能中之一重要態樣係編程速度。本部分討論改良複數狀態之非揮發性記憶體之編程效能的方法，且其在一具有一全位元線(ABL)架構之NAND記憶體的內容中展現。具體言之，描述用以實施快速通過寫入的圖10中所示之共同處理器之暫存器的使用。

對一記憶體編程之目標係快速而精確地寫入資料。在一二進位記憶體中，僅需要在某一臨限值準之上寫入所有已編程之狀態，而未編程之狀態處於該位準之下。在一複數狀態記憶體中，情形更複雜，因為對於中間狀態而言，必須在某一臨限值準之上寫入一位準，但不能過高，否則其分佈將衝擊下一位準使其上升。當狀態之數目增大或可用臨限窗減小，或兩者皆發生時，此問題更嚴重。

一個緊縮狀態分佈之技術係藉由多次對相同資料編程。美國專利第6,738,289號描述粗略-精細編程方法之一實

例，該專利以引用之方式併入本文中。圖13展示對應相同記憶體狀態的儲存元件之兩個分佈，其中在一第一次通過中，使用一第一、較低驗證位準VL用一編程波形PW1寫入了單元，產生分佈1301。然後，編程波形在較低值處開始直至結束以便第二次通過。在第二次通過中，一編程波形PW2使用一第二、較高驗證位準VH以將此移至分佈1303。此允許第一次通過將單元置於一粗略分佈，然後在第二次通過中將該分佈緊縮。圖14中展示編程波形之一實例。第一階梯PW1 1401使用較低驗證位準VL，而PW2使用較高驗證位準VH。如美國專利第6,738,289號所描述，第二次通過(PW2 1403)可使用一小步長，但除了不同驗證位準以外，過程係相同的。

此方法之缺點在於每一編程序列要求編程波形通過兩個全部之階梯，執行1401且開始1403直至結束。考慮到分佈易受一基於一較低驗證VL的初始編程相位之影響，但是一旦達到此初始位準仍能夠減緩過程且使用較高驗證VH改進分佈，若可能使用一單個階梯，則可更快速地執行寫入。此可經由一"快速通過寫入"而達成，"快速通過寫入"使用位元線偏壓以在編程波形之一單個階梯序列中編程。此演算法可達成一與一兩次通過寫入之效果類似的效果，且美國專利第6,643,188號中更詳細地描述此演算法，該專利全文以引用之方式併入本文中。圖15中展示編程波形QPW 1501，且在一第一相位中，除了在VL及VH位準處(詳情參看圖18)皆執行驗證，過程如兩次通過演算法之第

一相位地進行；然而，一旦在VL處發生一驗證(而非重新開始階梯波形)，階梯繼續，但當其繼續直至單元在VH處發生驗證時，位元線電壓上升以減緩過程。應注意此允許編程波形之脈衝為單調非遞減。此將參看圖16而進一步解釋。

圖16展示全位元線架構中之一NAND類型陣列及其周邊電路的一部分。此類似於許多前圖中所示之排列，但此處僅給出與本討論有關之元件，而省略其他元件以簡化討論。圖16亦明確展示獨立於讀取/寫入堆疊之其他元件的位元線箝位621。在2005年3月16日申請的命名為"Non-Volatile Memory and Method with Power-Saving Read and Program-Verify Operations"之美國專利申請案中，且特定言之，在2004年12月16日申請的第11/015,199號之美國專利申請案中進一步描述了字線箝位之細節，以上兩個申請案皆以引用之方式併入本文中。應注意儘管主要根據一使用全位元線架構之NAND類型陣列而討論本發明，但本發明並不限於此。如下文中將瞭解，本發明係關於一種快速通過寫入，或更一般化地係關於一種兩個相位編程過程及用以監控與控制此過程之資料鎖存器的使用。因此，儘管為說明之目的而基於一特定實施例來描述本發明，但可更一般化地應用之。

圖16展示三個NAND串610A-C，每一NAND串沿一對應位元線經由位元線箝位621而連接至一各自的感應放大器SA-A至SA-C 601A-C。對應上文(例如圖10)之SA鎖存器

214，每一感應放大器 SA 601具有一明確指示的資料鎖存器 DLS 603。位元線箝位 621用以控制沿對應 NAND 串之位元線的電壓位準及電流，且一陣列之部分中的不同箝位共同由電壓 V_{BLC} 控制。在每一 NAND 串 610 中，明確展示源極選擇閘極 (SGS 615) 及汲極選擇閘極 (SGD 611) 且其分別由整個列之 V_{SGD} 及 V_{SGS} 控制。將沿字線 WL 625 的單元之列 (613) 用作示範性選擇列用於下文之描述。

藉由在控制閘極與通道之間形成一電壓差以使得電荷累積於浮動閘極上而對諸如 613A 的所選擇之記憶體單元編程。沿所選擇之字線 WL 625 施加圖 15 之編程波形 QPW 1501。考慮沿 WL 625 之單元在串 A 及 B 中編程而不在串 C 中編程的情況。對於諸如列 A 中之單元 613A 及列 B 中之單元 613B 的待編程之單元而言，使通道保持低位準 (接地) 以形成所需之電位差。此藉由以下步驟而完成：藉由下拉電路將位元線 BL-A 及 BL-B 設定為接地 (對應於已編程之資料 "0")；藉由設定 $V_{BLC} = V_{SGD} = V_{dd} + V_T$ 而接通位元線箝位 621 及汲極側選擇電晶體，其中 V_T 係適當之臨限電壓；以及藉由使 V_{SGS} 變低而斷開源極側選擇閘極。此保持 NAND-A 及 NAND-B 中之通道接地，且 613A 及 613B 之閘極處的編程脈衝將電荷傳送至浮動閘極。

對於不編程或編程受抑制之單元 613C 而言，(對應於已擦除之資料或已封鎖之資料 "1")，將相同電壓施加至位元線箝位、選擇閘極及字線；然而，基於鎖存至感應放大器中之資料 "1"，將箝位 621-C 之上的位元線 BLC 設定至 V_{dd} 。

當 621-C 之閘極處於 $V_{BLC} = V_{dd} + V_T$ 時，此有效地切斷電晶體 621-C，允許 NAND-C 之通道浮動。因此，當將一編程脈衝施加至 613C 時，上拉通道且抑制通道編程。

描述至此，此程序很大程度上相同於兩次通過編程之第一次通過及一標準單次通過編程所完成的步驟。在編程脈衝之間，執行一驗證。是否對一單元編程對應於目標狀態之 VH 值。在兩次通過編程演算法中，第一次通過之驗證使用較低 VL 位準，而第二次通過之驗證使用 VH 位準。本技術與兩次通過技術不同在於，VL 及 VH 位準皆用於在脈衝之間執行驗證以及一旦一單元在此較低位準處驗證即發生之事件。在兩次通過技術中，在較低 VL 位準處之一成功驗證之後，編程波形開始直至結束，但驗證現在使用 VH 位準；此處，編程波形繼續，但改變了位元線偏壓，其上升以便減緩編程速率。(在快速通過寫入之一變化中，一旦開始第二相位，即可丟棄較低驗證，僅留下 VH 驗證。同樣，在最初幾個脈衝上，可省略 VH 驗證。然而，因為此增大了操作之複雜性且節約相對較小，所以本實施例將貫穿一給定寫入過程而包括 VL 以及 VH 驗證。)

因此，用以在編程脈衝之開始處設定位元線偏壓的程序是使用資料鎖存器中之編程驗證 VH 資料以在感應放大器鎖存器 603-i 中建立資料以便將位元線 BL-i 充電至 0 (以對所選擇之單元編程) 或 V_{dd} (以抑制未選擇之單元)，其中已將位元線箝位設定為 $V_{BLC} = V_{dd} + V_T$ 以允許位元線充電直至未選擇之位元線上的全部 V_{dd} 值。然後，藉由將位元線箝位

621-i 上之電壓 V_{BLC} 自 $V_{BLC}=V_{dd}+V_T$ (其中電晶體 621-i 完全接通) 移動至 $V_{BLC}=V_{QPW}+V_T$ (其中 V_{QPW} 小於 V_{dd}) 而升高位元線值。一旦一個單元在目標狀態之 VL 位準處驗證且然後將此結果傳送回感應放大器鎖存器 603-i，然後位元線電壓位準即升高。對於所選擇之位元線而言，此將位元線自地升高至 V_{QPW} ，減緩了編程；對於受抑制之位元線而言，其保持浮動。未選擇之單元將仍為編程受抑制的，但所選擇之 NAND 串中之通道將稍微升高，即使沿 WL 625 供應之編程電壓波形繼續階梯遞升，仍減緩編程速率。

一旦位元線電壓升高，第二相位即沿相同編程波形繼續，但脈衝間驗證使用目標狀態之較高 VH 位準。因為單元個別驗證，所以當對應鎖存器 DLS 603 翻轉且位元線升高至 V_{dd} 時，封鎖該等單元。該過程繼續直至結束寫入整個頁面。

圖 17 描述用以實施此過程的示範性全位元線架構之 430 的資料鎖存器 434-i (圖 10) 之使用。為了簡化討論，圖 17 僅再現以一示範性拓撲排列的圖 10 之所選擇之項目。此等項目包括連接資料 I/O 線 231 的資料鎖存器 DL0 434-0、藉由線 423 連接至共同處理器 500 的資料鎖存器 DL1 434-1、藉由線 435 與其他資料鎖存器共同連接的資料鎖存器 DL2 434-2 及藉由線 422 連接至共同處理器 500 之感應放大器資料鎖存器 DLS 603 (等效於圖 10 之 214)。

儘管僅將兩個資料位元編程至每一記憶體儲存元件中，但每一位元線具有三個相關聯之資料鎖存器。(在更普遍

之 n 位元的情況下，資料鎖存器之數目將為 $n+1$)。引入額外鎖存器DL2 434-2用以管理快速通過寫入演算法正執行兩個編程相位中的何者。如上文及其他併入本文中之參考所描述，使用資料鎖存器DL0 434-0及DL1 434-1以便基於"標準"驗證位準VH而將資料之兩個位元寫入至單元中：當對下部頁面編程時，僅嚴格地需要一個此等鎖存器，但是當對上部頁面編程時，一個此等鎖存器用於上部頁面之資料，且另一個用於先前已編程之下部頁面，因為上部頁面之編程取決於此排列中之下部頁面的狀態。藉由引入額外鎖存器DL2 434-2，一鎖存器可用以指示一在較低VL位準處之驗證的結果，根據該結果自快速通過寫入之第一相位(其中一所選擇之元件的通道保持為低)變化至第二相位(其中升高通道位準以減緩編程)。

在圖17中，將暫存器434-i標記為用於下部頁面之快速通過寫入，其實施類似於二進位記憶體之情況。將下部頁面之原始資料沿I/O線231載入至DL0 434-0，傳送至用於VH驗證的DL1 434-1中，且隨後傳送至將其用以判定位元線是否為編程或抑制編程的DLS 603中。鎖存器DL2 434-2用於VL封鎖。

可在具有一諸如施加至所選擇之字線WL 625的圖18中更詳細展示之波形的編程脈衝之間執行編程驗證。波形自地(1801)上升至第一、較低驗證位準VL(1803)，且然後進一步上升至較高VH(1805)。陣列上之其他電壓位準處於如併入上文中之參考中所描述的典型讀取值。根據以下步驟，

此允許連續完成兩個編程驗證：

(1) 第一驗證位準使用較低驗證位準 VL(1803)，然後將資料傳送至資料鎖存器 DL2 434-2。

(2) 當驗證波形處於 1805 時，以較高驗證位準執行第二驗證。將 VH 之結果傳送至資料鎖存器 DL1 434-1。在編程脈衝期間，位元線偏壓配置將取決於 VL 以及 VH 驗證結果。

(3) 將 VH 驗證結果傳送至 SA 資料鎖存器 DLS 603 以將位元線充電至 0 或 V_{dd} 。

(4) 將 NDL 中之 VL 驗證結果傳送至 SA 資料鎖存器 DLS 603 以將位元線自 0 充電至 V_{QPW} (若單元已驗證)，或將位元線保持於 0 (若資料係 "0")。

圖 19 之流程圖中更詳細地描述該過程。

圖 19 係基於示範性全位元線實施例之讀取/寫入堆疊的鎖存器之編程/驗證序列的流程圖。在步驟 701-703 中形成資料鎖存器之初始條件，在步驟 711-717 中設定編程偏壓條件並施加編程波形，且在步驟 721-725 中驗證相位。此處之順序係一示範性實施例的順序及只要(例如)在字線脈衝之前形成正確偏壓位準即可重新排列的許多步驟之順序。在步驟 701 中，在線 231 上將資料讀取至鎖存器 DL0 434-0 中，且隨後在步驟 702 中將其傳送至鎖存器 DL1 434-1。在步驟 703 中，將資料進一步傳送至鎖存器 DL2 434-2 中。此為寫入過程設定目標資料，其中，習知所使用的係一 "0" 值處對應編程且一 "1" 值處對應抑制編程。

藉由基於鎖存器設定正確偏壓條件而開始編程相位。在步驟711中，將位元線箝位的電壓設定為快速通過寫入之第一相位之正常編程位準 $V_{dd}+V_T$ ，且在步驟712中，將鎖存器 DL0/DL1 中所保持之值傳送至感應放大器之鎖存器 DLS 603 中，其中一 "0" 值 (編程) 將導致位元線保持於地面電位且一 "1" 值 (抑制) 將引起一位元線值為 V_{dd} 。此 (步驟713) 將位元線箝位線之電壓設定為 $V_{dd}+V_T$ ，因此沿所選擇之位元線的通道保持地面電位以便編程，且沿未選擇之位元線的通道保留為浮動以抑制編程。在步驟714中，將箝位電壓自 $V_{BLC}=V_{dd}+V_T$ 降低至 $V_{BLC}=V_{QPW}+V_T$ 。在步驟715中，將 DL2 434-2 中之值傳送至感應放大器資料鎖存器 DLS 603。在第一重複循環中，此將為 DL2 中設定之初始值。一旦在 VL 處驗證單元，然後在步驟714中設定的降低之 V_{BLC} 值即將使得正編程之單元中的位元線位準自 0 上升至 V_{QPW} ，藉此減緩編程速率且轉變至第二快速通過寫入相位。

在步驟717中，將編程脈衝 (圖 15 之 QPW 1501) 施加至所選擇之字線 WL 625，已在前述步驟中形成了其他線上之偏壓。當在將所選擇之字線升高至 VL 之前形成各種偏壓電壓時，在步驟721處開始脈衝間驗證相位。在步驟722中，字線之驗證波形上升至較低範圍 VL (圖 18 之 1803)，且若單元驗證，則感應 SA 601 中之鎖存器出錯且 DLS 603 中之值自 "0" 切換至 "1"，然後在步驟723中，共同處理器 500 將結果傳送至 DL2 434-2。然後在步驟724中將驗證位準升高至

較高範圍 VH(1805)，且若單元驗證，則設定 DLS 603，在步驟 725 中，共同處理器將結果傳送至 DL1 434-1。

在步驟 721-711 中完成了驗證相位，共同處理器 500 需要在感應放大器資料鎖存器中重新形成偏壓條件用於隨後之脈衝；當然，除非經編程之所有單元封鎖於 VH，否則另外終止編程相位。此藉由循環返回步驟 711 而完成。在步驟 712 中，傳送如 DL1 434-1 中現在之值所指示的 VH 驗證結果；若單元在 VH 處驗證，則其將為編程受抑制的，並將感應放大器位元自 "0" 改變為 "1" 以使位元線電位升高且抑制進一步編程。在步驟 715 中，將如現在由 DL2 434-2 中之值所指示的 VL 驗證結果傳送至感應放大器資料鎖存器 DLS 603；若單元在 VL 處驗證，則然後在步驟 716 中將位元線電壓升高。

適當設定了資料鎖存器，在步驟 717 處施加下一編程脈衝。然後過程如前文而繼續；或者，例如該過程可改變圖 18 中之驗證波形且一旦不再需要即消除較低驗證及步驟 722 與 723。

前文之描述係對於一上部頁面/下部頁面排列之下部頁面，其中每一記憶體單元儲存資訊之兩個位元，一個對應於上部頁面且一個對應於下部頁面。將類似於已為二進位情況及其他更高複數頁面排列之第一已編程頁面而描述的過程來進行該過程。其餘討論亦將基於每單元兩個位元之上部頁面/下部頁面實施例，因為此說明複數狀態情況而未添加更多狀態之儲存將引入的不必要之複雜性。對於使

用複數頁面格式之複數狀態記憶體而言，單元之狀態上的許多頁面之編碼係可能的，且將對示範性上部頁面/下部頁面排列討論若干此等編碼。2005年3月16日申請的命名為 "Non-Volatile Memory and Method with Power-Saving Read and Program-Verify Operations" 之美國專利申請案中討論此等不同編碼之進一步細節、可如何實施其及其相對優勢，該申請案以引用之方式併入上文中。

首先使用 "習知碼" 描述使用快速通過寫入的資料之上部頁面之編程，其中上部頁面寫入係對 B 及 C 狀態編程，其然後使用兩個編程驗證循環。在前文中所描述之下部頁面操作中對狀態 A 編程。圖 20 中展示 A、B 及 C 狀態之分佈的關係。此圖中未展示對應於資料 "11" 之未編程之 E 分佈。

圖 20 展示一第一分佈 1301 及一第二分佈 1303，其分別對應於每一狀態之較低驗證 VL (用於快速通過寫入之第一編程相位中) 及較高驗證 VH (用於第二相位中)。在該等分佈下給出編程至上部及下部頁面資料中之此等已編程狀態的 "習知" 編碼。在此編碼中，當如先前所描述地對下部頁面編程時，將在一快速通過寫入中使用位準 VAL 及 VAH 而將具有下部頁面資料 "0" 之狀態編程為 1303-A 分佈。上部頁面寫入係對 B 及 C 狀態編程。

參看圖 21 描述資料鎖存器 DL0-DL2 之使用，其類似於圖 17，但指示不同鎖存器之使用的標記相應變化。如所指示，將下部頁面資料讀取至 DL0 434-0 中，DL1 434-1 用於上部頁面封鎖資料並將接收 VH 驗證結果，且 DL2 434-2 再

次用以保持VL封鎖資料。如用下部頁面寫入，為兩個驗證位準之每一者分配一個鎖存器，DL1用於實際、較高驗證結果，且DL2用於較低驗證結果，該較低驗證結果用以影響快速通過寫入之相位轉變。

更具體言之，VL封鎖資訊將在資料鎖存器DL2 434-2中累積，其初始值再次自DL1 434-1傳入且對應於原始編程資料以指示單元是否經受上部頁面編程。在本實施例中，B及C狀態之快速通過寫入的位元線偏壓相同；在一變化中，可引入額外之鎖存器以允許B及C狀態使用不同偏壓位準。並且，VL封鎖資訊僅用於暫時儲存。在通過每一VL驗證感應之後，將用於VL之資料鎖存器DL2 434-2中的資料自"0"改變至"1"。該邏輯如此以使得在一給定編程運作期間將不允許一"1"值翻轉回"0"。

VH封鎖亦經由許多不同驗證感應而累積。位元一通過其所欲之編程狀態的驗證位準，資料鎖存器中之資料即將改變為"11"。舉例而言，若B狀態通過了驗證VBH，則然後資料鎖存器中之資料"00"將改變為"11"。若C狀態通過了驗證VCH，則然後資料鎖存器中之資料"01"將改變為"11"。該邏輯如此以使得在一給定編程運作期間將不允許一"1"值翻轉回"0"。應注意，對於上部頁面編程而言，VH封鎖可僅基於一個資料鎖存器而發生。

2004年12月14日申請之美國專利申請案第11/013,125號描述一種方法，其中藉由相同組之複數狀態記憶體元件而保持之多個頁面的編程可重疊。舉例而言，若當寫入一下

部頁面時，對應上部之資料變為可用，而非在開始對上部頁面編程之前等待下部頁面結束，則寫入操作可切換至一全編程序列，其中可將上部及下部頁面同時編程至實體頁面中。亦可將快速通過寫入技術應用於全序列操作。

圖 22 展示用於全序列寫入之資料鎖存器 DL0-DL2 的使用，且其類似於圖 17，但指示不同鎖存器之使用的標記相應變化。如所展示，DL0 434-0 用於上部頁面封鎖資料並將接收對應之 VH 驗證結果，DL1 434-1 用於下部頁面封鎖資料並將接收對應之 VH 驗證結果，且 DL2 434-2 再次用以保持 VL 封鎖資料。與初始 DL2 434-2 值對應於初始編程資料的單個頁面編程中不同，全序列轉變時之初始值將說明上部及下部頁面資料。因此，若鎖存器 DL0 及 DL1 皆為 "1"，則現在僅將 DL2 434-2 設定為 "1"，而非亦僅將適當的單個頁面原始編程資料載入 DL2 434-2 中。

在一示範性實施例中，具有快速通過寫入之全序列操作可包括以下步驟：

(1) 將第一頁面資料載入至鎖存器 DL0 434-0 中，且下部頁面可如上文所描述地開始編程。

(2) 如上文對下部頁面編程所描述，一旦已將下部頁面編程資料傳送至鎖存器 DL1 434-1，即可重設鎖存器 DL0 434-0 且其準備順序載入另一頁面，允許相同字線 WL 625 上的上部頁面在可用時傳入。

(3) 在結束載入上部資料頁面之後，將可能未進行下部頁面之編程。在此情況下，根據美國專利申請案第

11/013,125號中所描述之全序列編程，可將編程演算法轉換成同時對兩個位元編程以加速編程速度。若上部頁面資料不可用或相反未在完成頁面之寫入之前載入，則上部頁面將如上文所描述地藉由其本身而編程。

(4)在轉換形成下部頁面編程至全序列轉換之前，對於通過了編程驗證A之單元而言，可已將下部頁面原始資料封鎖至"11"。應在A位準處讀取此等資料以恢復其原始資料，因為兩個位元全序列寫入需要下部及上部頁面資料來編程。

(5)在此兩個位元全序列編程演算法中，可同時或分別執行A、B及C狀態之編程驗證。封鎖過程亦可同時封鎖兩個鎖存器。

(6)在結束編程資料A及B之後，僅C狀態保持待編程，因此過程類似於二進位寫入。可將剩餘之編程資料傳送至DL1，允許為待載入的下一資料之頁面將DL-0重設為"1"。

前文的使用快速通過寫入之上部頁面編程之討論係基於如圖20中所示的進入上部及下部頁面中之狀態E、A、B及C之習知編碼。如2005年3月16日申請的命名為"Non-Volatile Memory and Method with Power-Saving Read and Program-Verify Operations"之美國專利申請案中更多揭露的，其他編碼經常適用。圖23及圖24中展示兩個實例，第一此等實例展示"LM舊"碼且第二實例展示"LM新"碼。在兩種情況下，虛線指示一中間狀態之分佈，其係下部頁面

編程之結果，以兩種LM碼使用快速通過寫入的下部頁面寫入類似於上文所描述之下部頁面編程而完成。然後上部頁面編程將單元自中間分佈移動至一B或C分佈的最終目標狀態，且將具有"01"資料之單元自"11"狀態之E分佈編程為A分佈。以兩種LM碼使用快速通過寫入的上部頁面寫入類似於上文關於習知碼所描述之上部頁面編程而完成，其不同在於當狀態B及狀態C來自中間狀態(虛線)時，下部頁面亦將封鎖。

對於LM碼之兩種型式而言，以相同方式完成快速通過寫入，但切換狀態之驗證以使得 $B_{new}=C_{old}$ 及 $B_{old}=C_{new}$ 歸因於兩個位元至四個狀態之不同分配。如自習知編碼之變化，由共同處理器500實現此變化。經由共同處理器500之資料傳送邏輯將取決於碼且因此其將不同。

LM碼之上部頁面編程演算法亦類似於全序列快速通過寫入演算法，在於在VH驗證之後更新VH封鎖資料。對於LM舊碼而言，若下部及上部頁面係經切換之碼，則上部頁面亦與習知碼中的相同，在該情況下，LM舊碼中之上部頁面與全序列編程相同。

圖25再次展示資料鎖存器及其以一類似於圖22及上文之其他相似圖的方式而對LM碼之分配。將下部頁面資料讀取至DL0 434-0中，將基於VH之上部頁面封鎖資料保持於DL1 434-1中，且再次將用以控制快速通過寫入技術之相移的VL封鎖資料分配至DL2 434-2。

因為在C狀態之上不存在額外狀態，所以該情形類似於二進位情況，在於重要結果為充分良好地界定了C分佈與其下之分佈，但並未主要關注過度編程(至少到狀態判定之程度)。因此，較佳可對A及B狀態(但不對C狀態)使用快速通過寫入，而非僅使用此狀態之VH位準。(對於具有其他許多狀態之記憶體而言，此等註釋應用於位於最高或確切而言經最多編程的狀態。)

舉例而言，若所有三個狀態使用快速通過寫入，則編程及驗證之實施通常較簡單，對於所有三種狀態而言，其以相同方式完成；然而，因為C狀態分佈可較寬且仍具有可接受之範圍，所以對於C狀態可忽略快速通過寫入以便減少編程時間。

如所注意，對於較低狀態使用快速通過寫入(QPW)而對於C狀態不使用快速通過寫入可使編程演算法複雜化。舉例而言，在寫入過程之某一點處，一編程脈衝之後係驗證A(具有QPW)、驗證B(具有QPW)及驗證C(無QPW)，然後其後係另一編程脈衝。因為上文所描述之快速通過寫入演算法使用兩個資料傳送用於編程脈衝(一第一資料傳送至封鎖VH，且一第二資料傳送至封鎖VL)，第一資料傳送對於所有三個狀態而言將不具有問題；但在上文之排列下，第二傳送對於狀態C而言將導致一編程誤差。因為狀態C在較低位準處將不會驗證VCL，所以然後對於此位元線而言，DL2 434-2資料鎖存器未更新。若在通過C狀態之高VCH驗證位準之後需要封鎖此位元線，則VH封鎖資料鎖

存器將"1"傳送至SA資料鎖存器用於第一資料傳送之後的編程抑制。然而，因為不存在驗證結果以更新VL資料鎖存器，所以VL資料鎖存器(DL2 434-2)仍將保持資料。因此，第二資料傳送將一"0"傳送至位元線之DLS 603。此將導致預先充電之位元線放電至0，使得此位元線過度編程。

為克服此問題，當快速通過寫入不用於C狀態時，藉由用一在VCH之高位準處的C驗證更新VL資料鎖存器(DL2 434-2)而修改演算法。因此，若對於VCH處之C位準而言，單元通過驗證，則然後將VH及VL封鎖資料變化至"1"，且編程將受抑制。並且，若結束寫入A及B狀態而未結束寫入C狀態，則編程演算法可切換至不具有快速通過寫入或無QPW演算法之標準編程，因為僅留下C狀態且其將僅使用對應之VH驗證位準。在此情況下，將完成(VH位準之)僅一單個資料傳送(未使用VL位準)。

儘管已關於某些實施例描述了本發明之各種態樣，但應瞭解，本發明有權在附加之申請專利範圍的全部範疇內受到保護。

【圖式簡單說明】

圖1A-1E示意說明非揮發性記憶體單元之不同實例。

圖2說明一記憶體單元之NOR陣列的實例。

圖3說明一諸如圖1D中所示的記憶體單元之NAND陣列的實例。

圖4說明對於浮動閘極在任一時刻可儲存之四個不同電

荷 Q1-Q4 而言，源極-汲極電流與控制閘極電壓之間的關係。

圖 5 示意說明讀取/寫入電路經由列解碼器及行解碼器可存取之一記憶體陣列的典型排列。

圖 6A 係一個別讀取/寫入模組的示意方塊圖。

圖 6B 展示習知藉由一讀取/寫入模組之堆疊而實施的圖 5 之讀取/寫入堆疊。

圖 7A 示意說明一具有一組分割之讀取/寫入堆疊的緊密記憶體裝置，其中實施本發明的改良之處理器。

圖 7B 說明圖 7A 中所示之緊密記憶體裝置的較佳排列。

圖 8 示意說明圖 7A 中所示之一讀取/寫入堆疊中之基本組件的普遍排列。

圖 9 說明圖 7A 及圖 7B 中所示之讀取/寫入電路中的一個讀取/寫入堆疊之較佳排列。

圖 10 說明圖 9 中所示的共同處理器之一改良之實施例。

圖 11A 說明圖 10 中所示的共同處理器之輸入邏輯之一較佳實施例。

圖 11B 說明圖 11A 之輸入邏輯的真值表。

圖 12A 說明圖 10 中所示的共同處理器之輸出邏輯之一較佳實施例。

圖 12B 說明圖 12A 之輸出邏輯的真值表。

圖 13 展示對於一低及高驗證位準而言，對應相同記憶體狀態的儲存元件之兩個分佈。

圖 14 說明用於兩次通過寫入技術中之編程波形之一實

例。

圖 15 說明用於一快速通過寫入技術中之編程波形之一實例。

圖 16 展示全位元線架構中之一 NAND 類型陣列及其周邊電路的一部分。

圖 17 描述圖 10 之資料鎖存器的使用以實施一下部資料頁面之快速通過寫入。

圖 18 展示一示範性驗證波形以說明兩個驗證位準。

圖 19 係一快速通過寫入演算法的流程圖。

圖 20 展示一習知兩個頁面編碼的一記憶體單元之分佈。

圖 21 描述圖 10 之資料鎖存器的使用以實施一習知編碼中之上部資料頁面的快速通過寫入。

圖 22 描述圖 10 之資料鎖存器的使用以實施全序列編程之快速通過寫入。

圖 23 及圖 24 展示替代兩個頁面編碼之一記憶體單元之分佈。

圖 25 描述圖 10 之資料鎖存器的使用以實施一替代兩個頁面編碼中之一上部資料頁面的快速通過寫入。

【主要元件符號說明】

10	記憶體單元
12	分離通道
14	源極
16	汲極
20, 20'	浮動閘極

30, 30'	控制閘極
34	位元線
36	位元線/引導線
40	選擇閘極
42	字線
50	NAND單元
54	源極端子
56	汲極端子
100	記憶體陣列
130, 330, 330A, 330B	列解碼器
160, 360, 360A, 360B	行解碼器
170, 370A, 370B	讀取/寫入電路
180, 400, 400-1, 400-r	讀取/寫入堆疊
190	讀取/寫入模組
212	感應放大器之堆疊
212-1, 212-k, 601A, 601B, 601C	感應放大器
214-1	SA鎖存器
231	I/O匯流排/資料I/O線/I/O線/線
300	記憶體陣列/陣列/記憶體單元 元的二維陣列
310	控制電路/控制器
311	線
312	狀態機

314	晶載位址解碼器
316	功率控制模組
350, 350A, 350B	區塊多工器
370	讀取/寫入電路
410	堆疊匯流排控制器
411	訊號線/控制線/線
421	堆疊匯流排
422	S匯流排/線
423	D匯流排/線
430	資料鎖存器之堆疊
430-1	資料鎖存器之組/資料鎖存器
430-k	資料鎖存器
434-0, 434-1, 434-2,	資料鎖存器/鎖存器
434-n, 603, 603A,	
603B, 603C	
435	線
440	I/O模組
500	共同處理器
501, 502	傳送閘
505	P匯流排
507, 523	輸出
509	旗標匯流排
510	輸入邏輯
520	P鎖存器/輸入邏輯

522	傳送閘
524, 525, 531, 532,	p電晶體
533, 534	
526, 527, 535, 536,	n電晶體
537, 538, 550	
530	輸出邏輯
610A, 610B, 610C	NAND串
611A, 611B, 611C	汲極選擇閘極
613A, 613B, 613C	單元
615A, 615B, 615C	源極選擇閘極
621A, 621B, 621C	位元線箝位
625	字線
1301	分佈/第一分佈
1301-A, 1301-B, 1301-C	分佈
1303	分佈/第二分佈
1303-A, 1303-B, 1303-C	分佈
1401	第一階梯
1403	第二次通過
1501	編程脈衝/編程波形
1801	地
1803	較低驗證位準VL/較低範圍VL
1805	較高VH/較高範圍VH

十、申請專利範圍：

1. 一種非揮發性記憶體裝置，其包含：

一或多個記憶體單元(613A-613C)，每一者能夠儲存N位元之資料，其中N大於或等於一；及

讀取/寫入電路(400-1, 400-r)，其可連接至該等記憶體單元(613A-613C)，其包含：

編程(programming)電路，其將一單調非遞減(monotonically non-decreasing)之編程波形施加至該等記憶體單元(613A-613C)；以及

偏壓電路(601A - 601C)，其用以設定該等記憶體單元(613A - 613C)中之偏壓條件，同時將該編程波形施加至該等記憶體單元(613A - 613C)，其中在一第一編程相位期間使用一第一組的偏壓條件，且在一第二編程相位期間使用一第二組的偏壓條件；

其特徵為：

該讀取/寫入電路進一步包含：

一或多個鎖存器(latch)之組(434-0, 434-1, 434-2, 603A - 603C)，每一者與該讀取/寫入電路(400-1, 400-r)所連接至的該等記憶體單元(613A - 613C)之一對應之一個單元相關聯，其中該等鎖存器之組(434-0, 434-1, 434-2, 603A - 603C)之每一者的一第一鎖存器(603A-603C)管理該第一編程相位及該第二編程相位之何者有效(active)，以及

感應電路(601A-601C)，其在一編程操作之過程中

對該等記憶體單元(613A - 613C)之所選擇之單元的該N位元資料之一或多個執行一驗證操作，其中，對該資料之位元之至少一者的該驗證包括一在一第一位準處及一第二、更高位準處的驗證，該第一位準處之該驗證的結果儲存於該第一鎖存器(603A-603C)中用於管理該第一編程相位及該第二編程相位中之該一者。

2. 如請求項1之非揮發性記憶體裝置，進一步配置以在該第一編程相位期間將所選擇之記憶體單元(613A - 613C)的通道設定為接地，且在該第二編程相位期間允許該等所選擇之記憶體單元(613A - 613C)的該通道處於一高於該第一相位期間的電壓。
3. 如請求項1或2之非揮發性記憶體裝置，其中該等鎖存器之組(434-0, 434-1, 434-2, 603A - 603C)之每一者中的鎖存器之數目係N+1。
4. 如請求項3之非揮發性記憶體裝置，其中，該等鎖存器之組之每一者中除該第一鎖存器(603A - 603C)以外的該等N個鎖存器(434-0, 434-1, 434-2, 603A - 603C)用以保持待編程至該對應記憶體單元(613A - 613C)中之資料。
5. 如請求項4之非揮發性記憶體裝置，其中該等第一鎖存器(603A - 603C)基於待編程至該對應記憶體單元中之該資料而初始化。
6. 如請求項1或2之非揮發性記憶體裝置，其中該等鎖存器之組(434-0, 434-1, 434-2, 603A - 603C)之每一者中的鎖存器之該數目係N+1。

7. 如請求項6之非揮發性記憶體裝置，其中，該等鎖存器之組之每一者中除該第一鎖存器(603A - 603C)以外的該等N個鎖存器(434-0, 434-1, 434-2, 603A - 603C)用以保持待編程至該對應記憶體單元中之資料。
8. 如請求項7之非揮發性記憶體裝置，其配置以使用以保持待編程至該對應記憶體單元中之資料的該等鎖存器(434-0, 434-1, 434-2)之值基於該對應記憶體單元(613A - 613C)的在該第二位準處之該驗證的結果而更新。
9. 如請求項1或2之非揮發性記憶體裝置，其中N大於一，且該等資料之位元之至少一者的該驗證包括一僅在一單個位準處的驗證。
10. 如請求項1之非揮發性記憶體裝置，其中該或該等記憶體單元(613A - 613C)係一沿複數個位元線及複數個字線(625)而形成為一陣列的複數，該裝置其配置以使在一寫入操作期間，藉由施加至一所選擇之字線(625)的該波形而同時對複數個所選擇之記憶體單元(613A - 613C)編程。
11. 如請求項10之非揮發性記憶體裝置，其中，該等所選擇之記憶體單元(613A - 613C)之每一者沿該等位元線的一者可連接至該對應鎖存器之組(434-0, 434-1, 434-2, 603A - 603C)，該等鎖存器之組(434-0, 434-1, 434-2, 603A - 603C)的每一者包括一第一鎖存器(603A - 603C)管理該第一編程相位及該第二編程相位之何者有效。
12. 如請求項11之非揮發性記憶體裝置，其中該記憶體裝置藉由改變該等位元線上之偏壓位準而自該第一編程相位

改變至該第二編程相位。

13. 如請求項12之非揮發性記憶體裝置，其中，該等記憶體單元(613A - 613C)經由一對應箝位元件(621A - 621C)沿該等位元線之一者而可連接至該對應鎖存器之組(603A - 603C)，該等箝位元件(621A - 621C)係共同受到控制的，且其中該等位元線上之該偏壓自該第一編程相位至該第二編程相位的該改變係藉由控制該等箝位元件(621A - 621C)而實現。
14. 如請求項10之非揮發性記憶體裝置，其中該記憶體裝置具有一NAND類型架構。
15. 如請求項14之非揮發性記憶體裝置，其中該記憶體裝置具有一使用一全位元線排列之NAND類型架構。
16. 如請求項14之非揮發性記憶體裝置，其中N等於2，且資料根據一下部頁面/上部頁面格式而儲存。

十一、圖式：

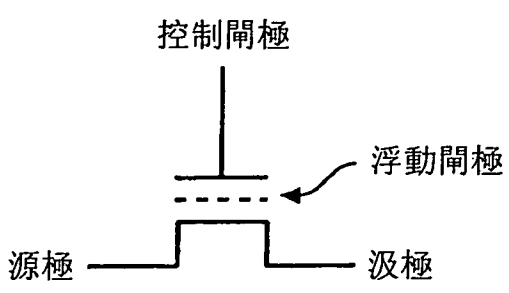


圖 1A

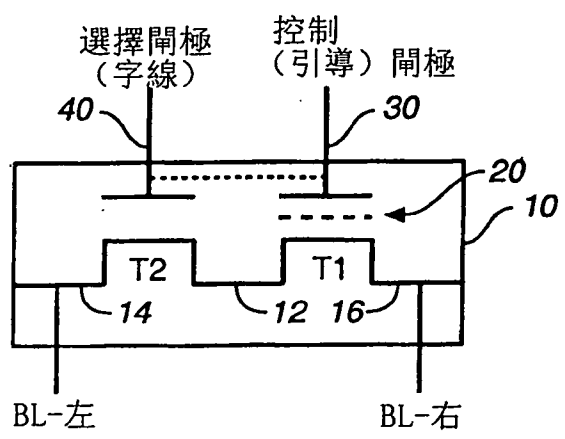


圖 1B

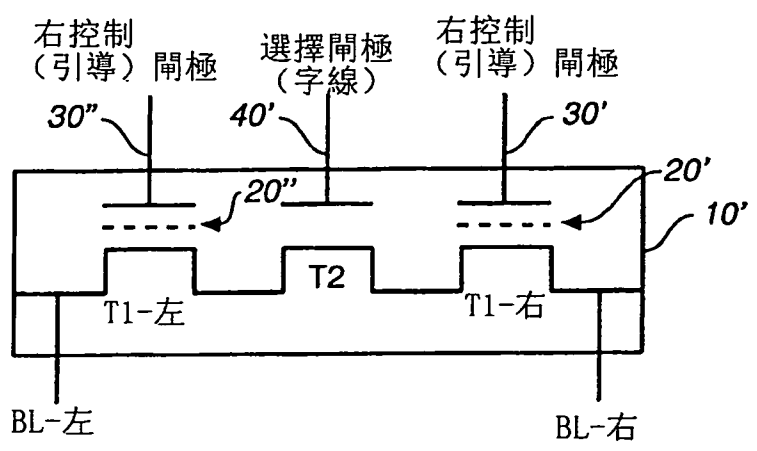


圖 1C

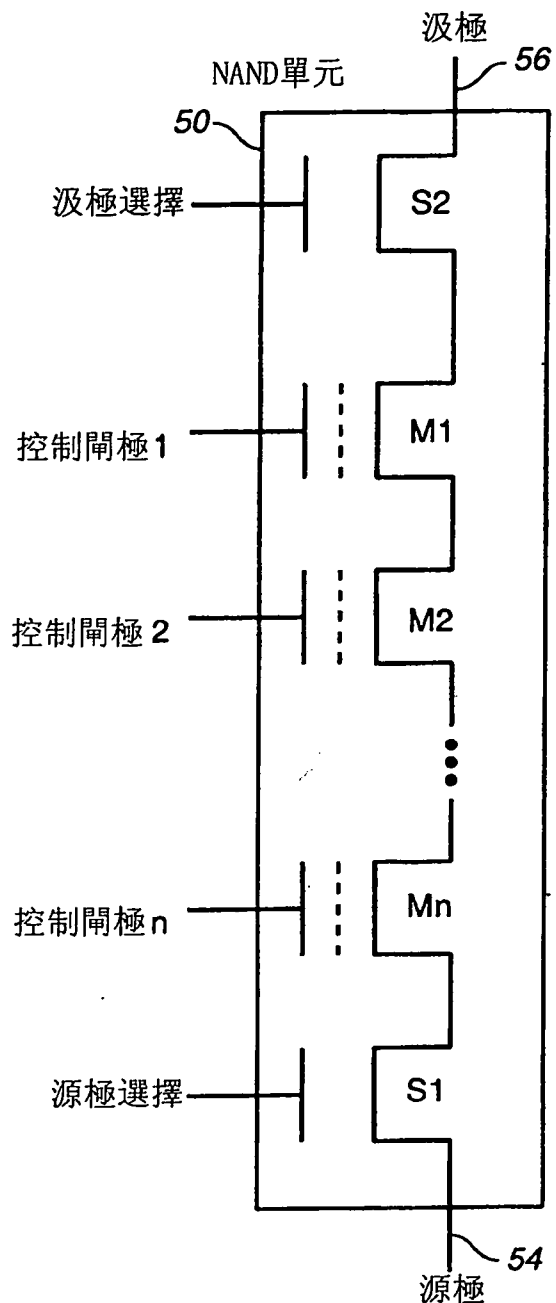


圖 1D

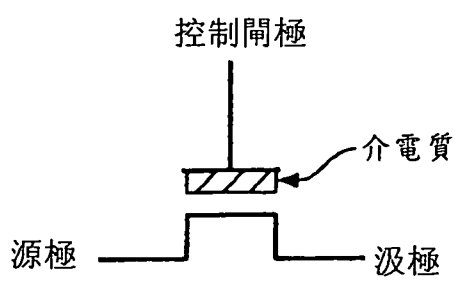


圖 1E

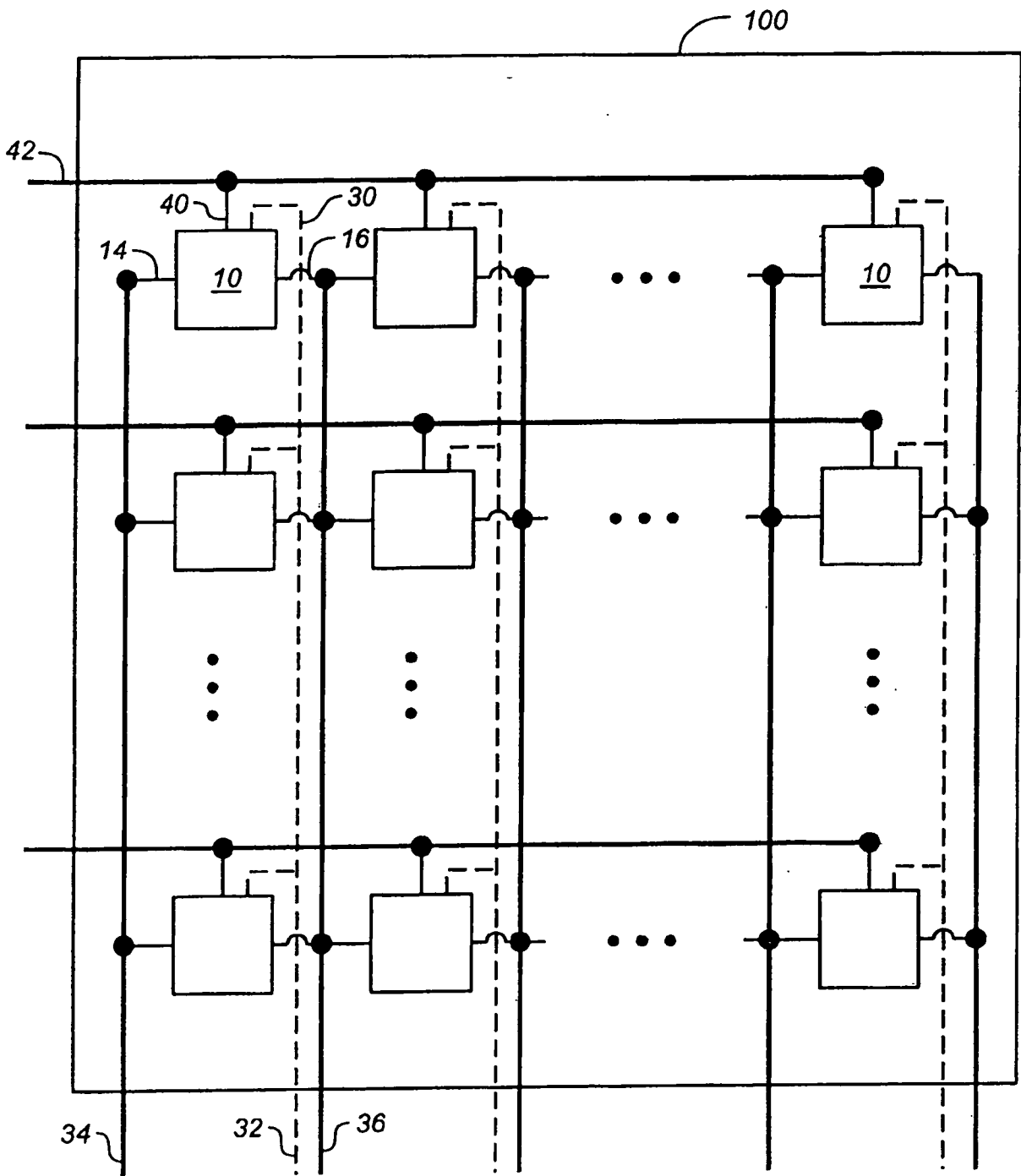


圖2

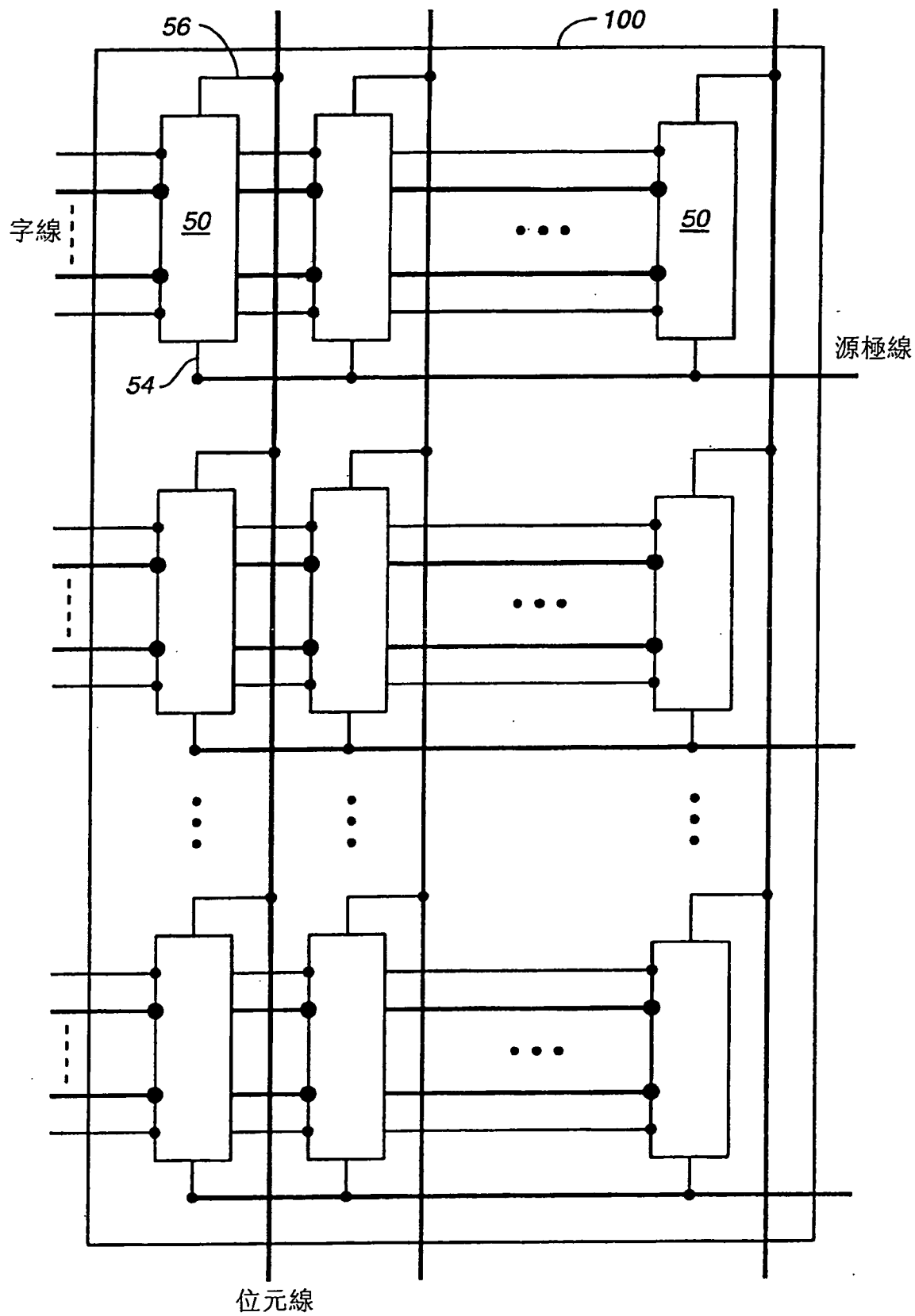


圖3

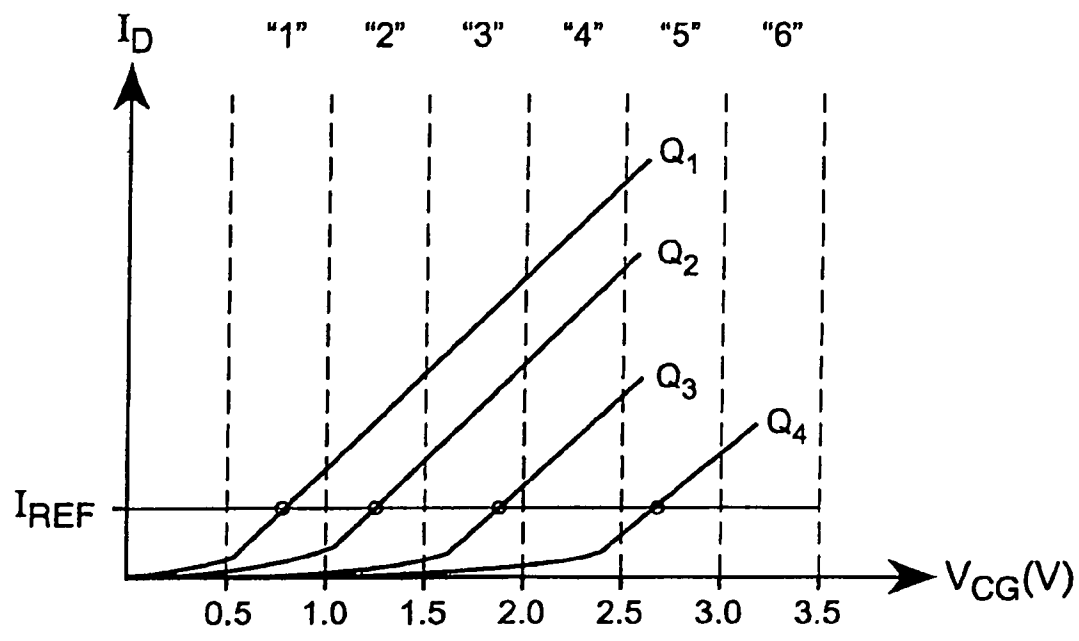


圖4

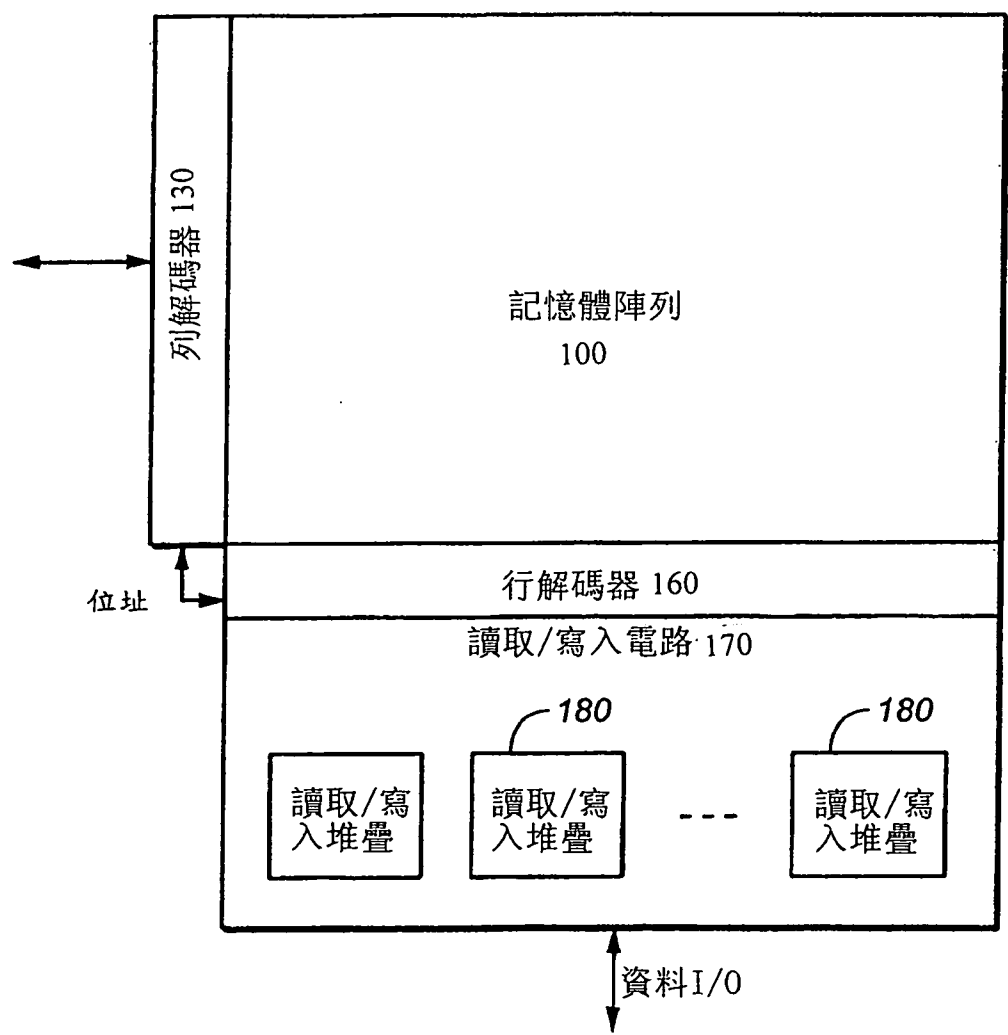
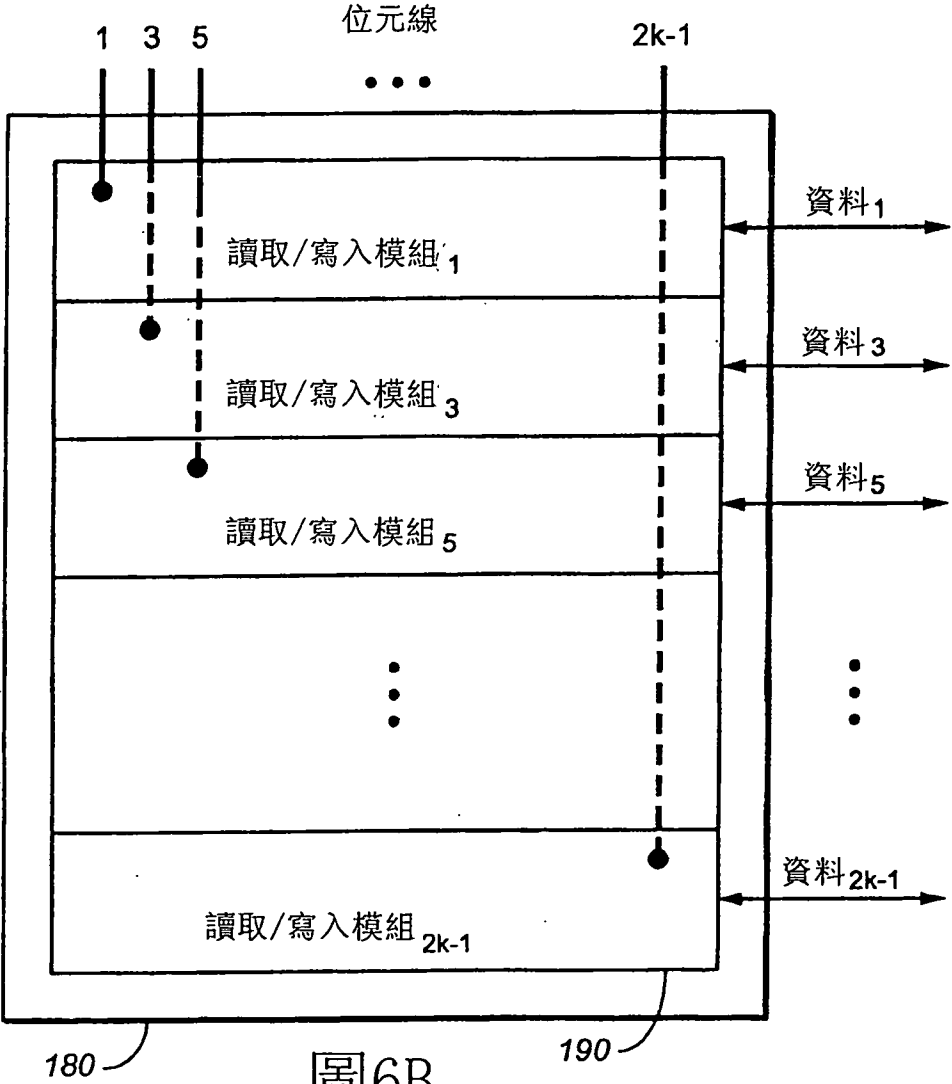
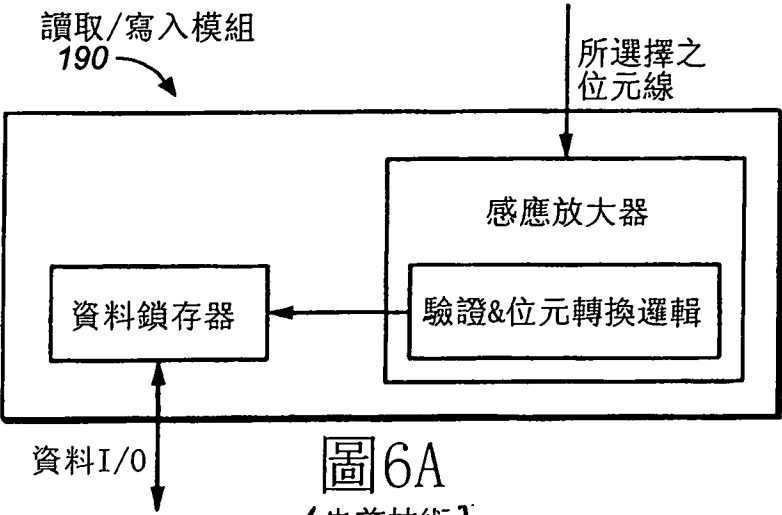


圖5



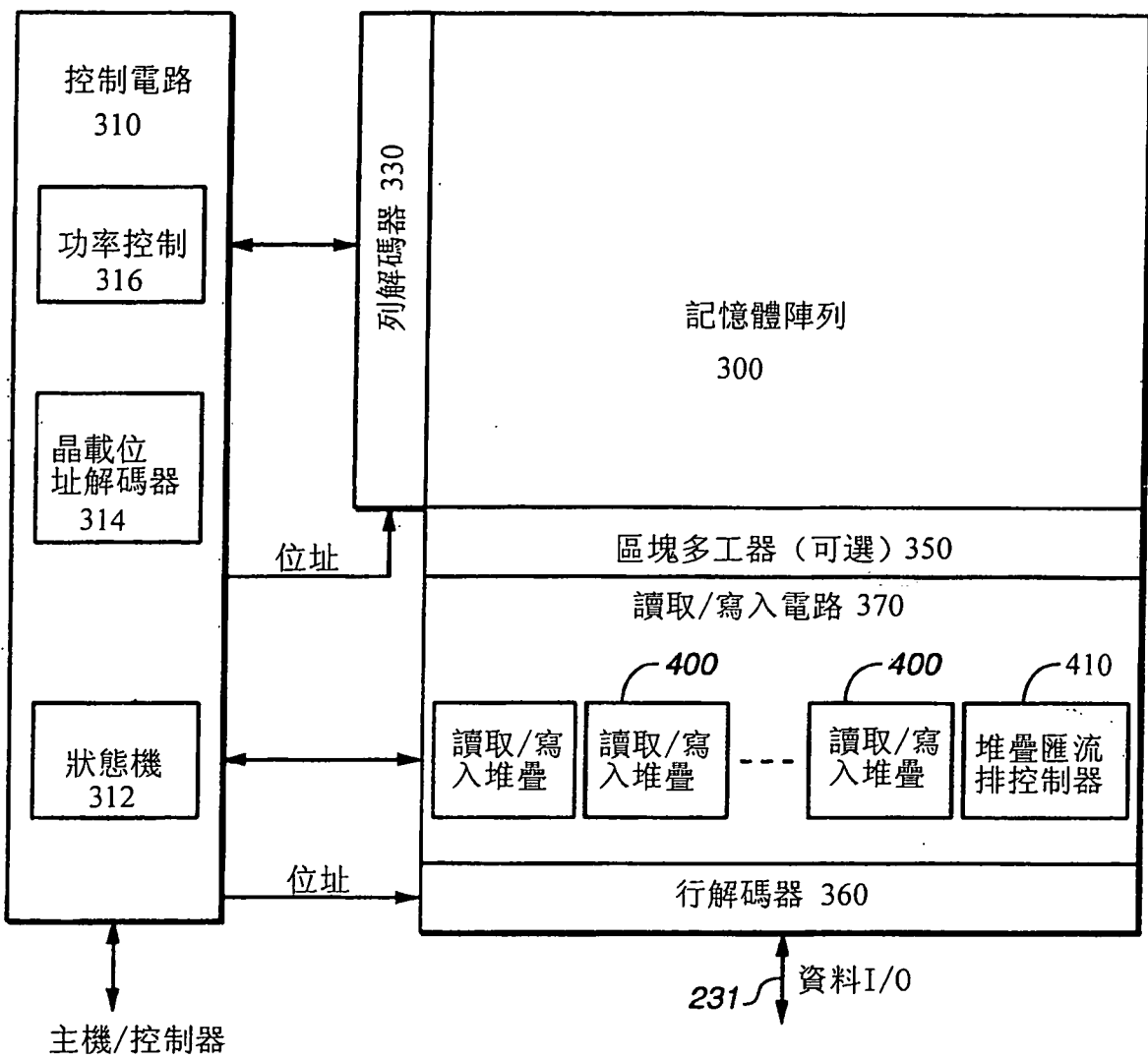


圖7A

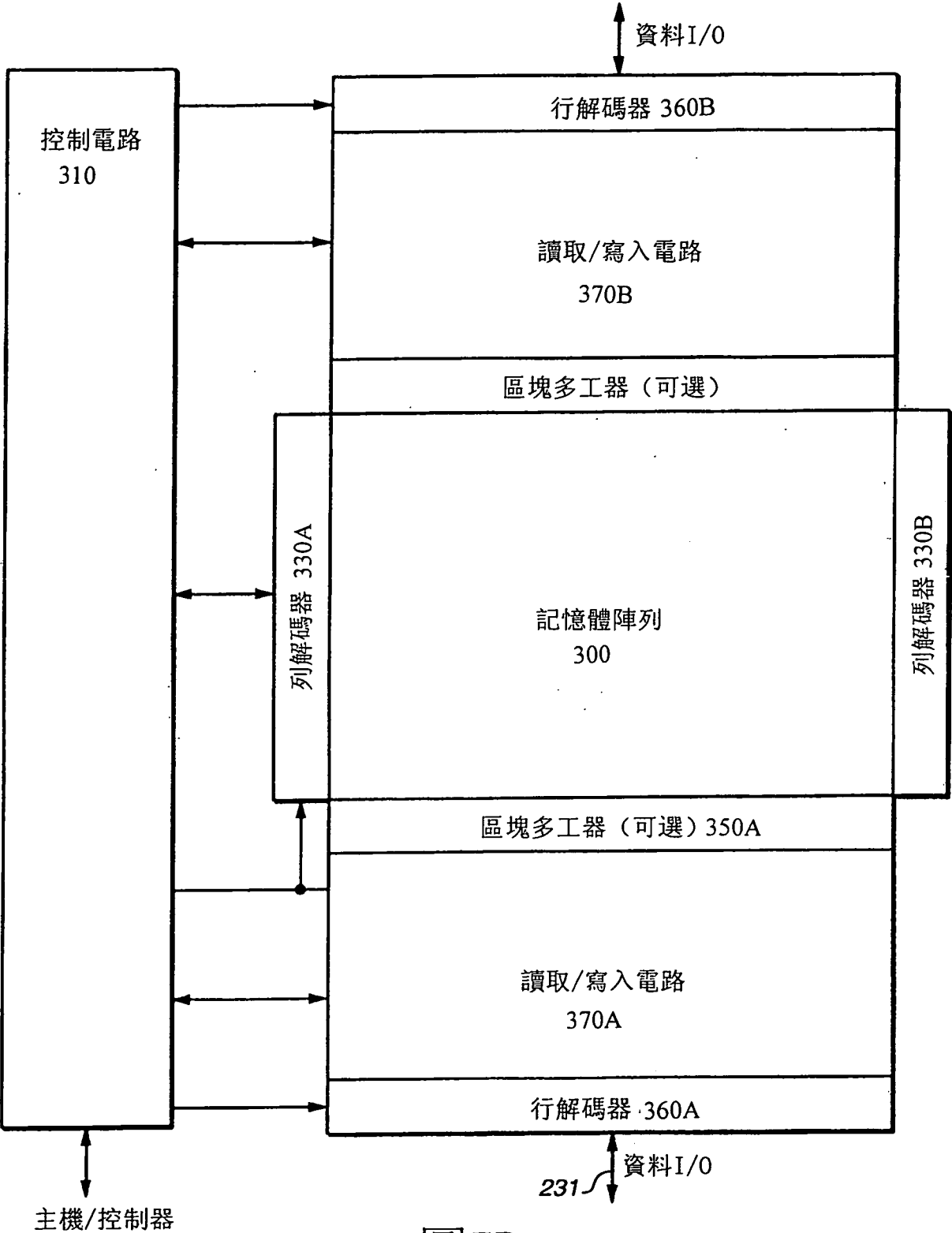


圖7B

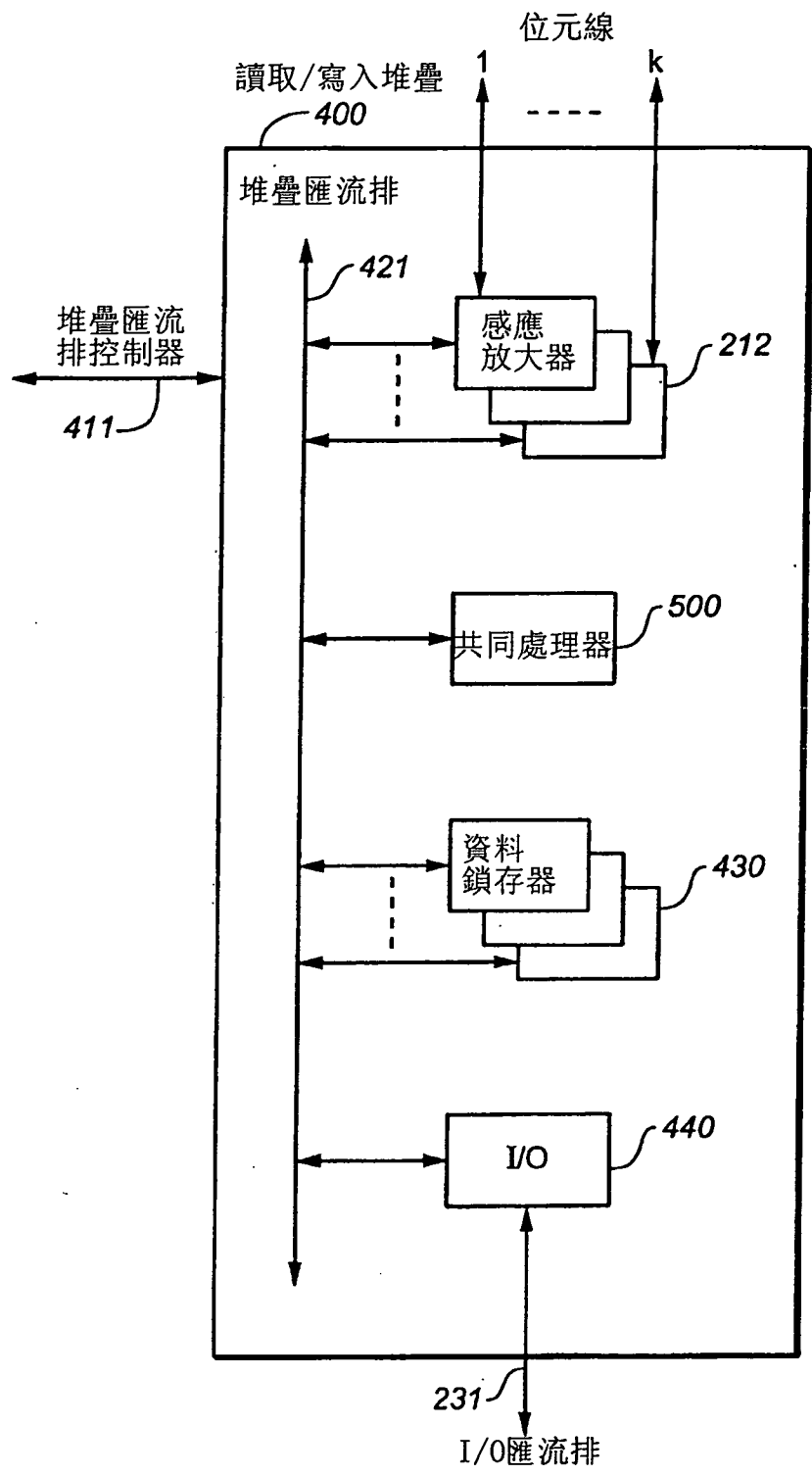


圖8

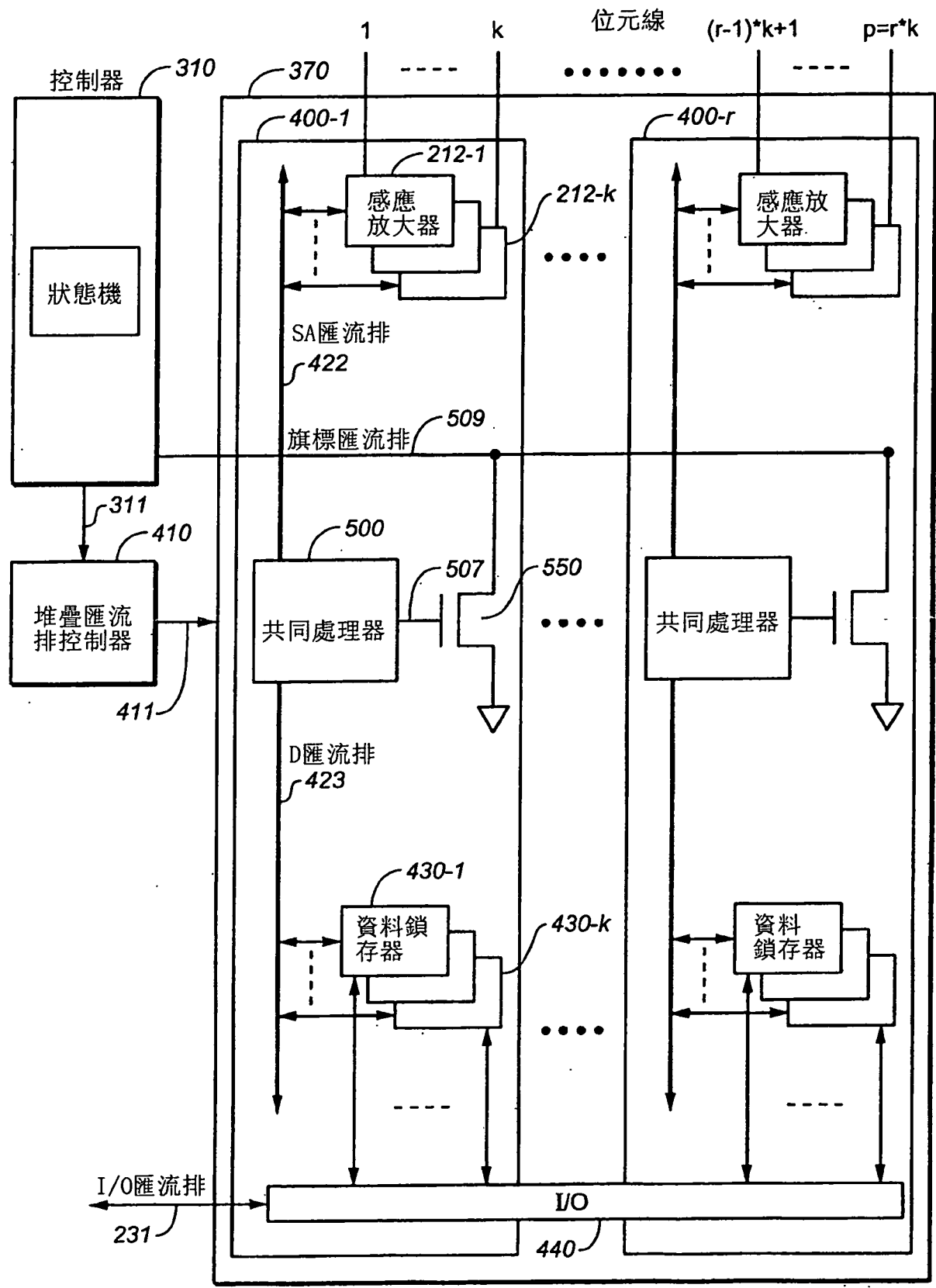


圖9

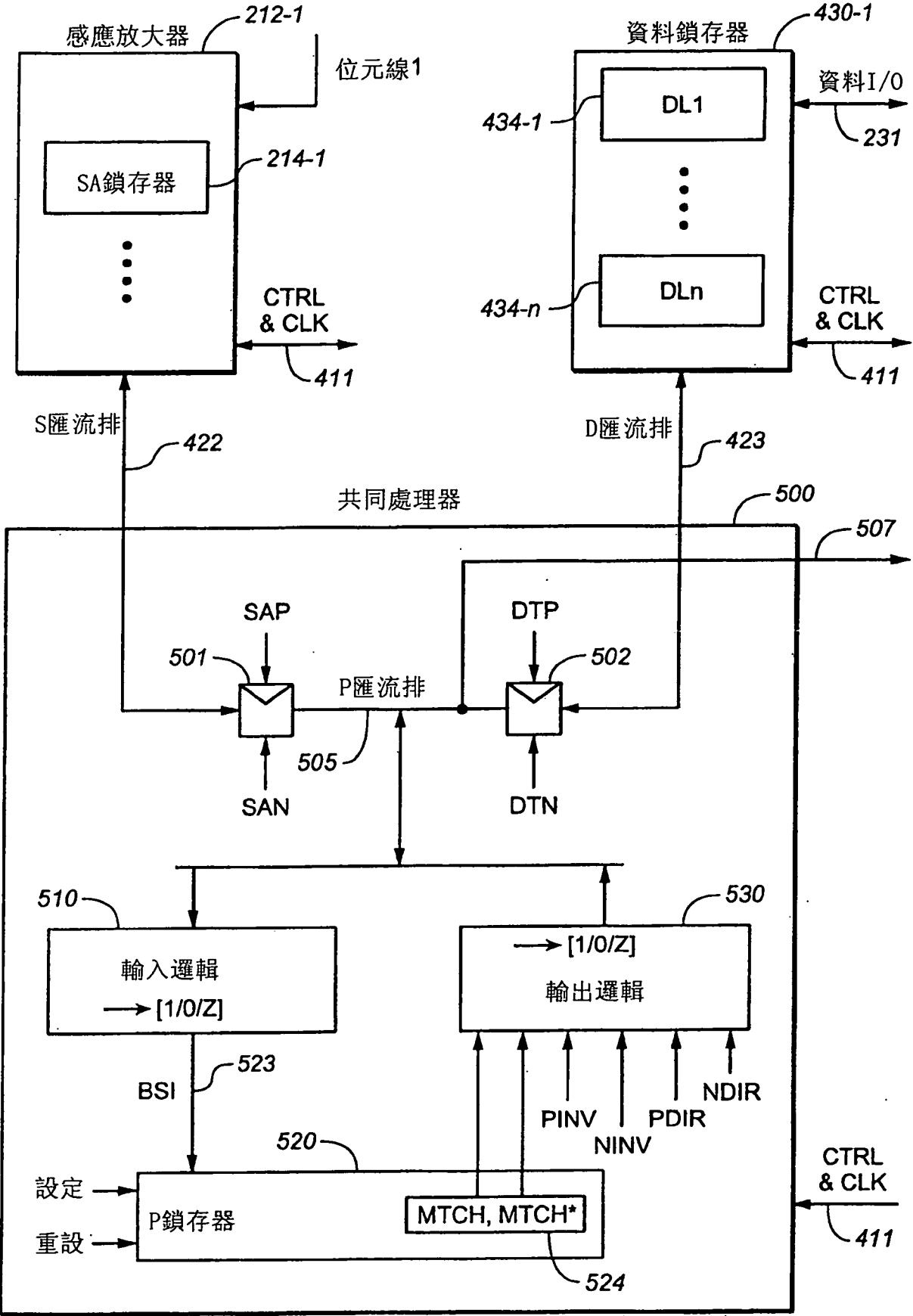


圖10

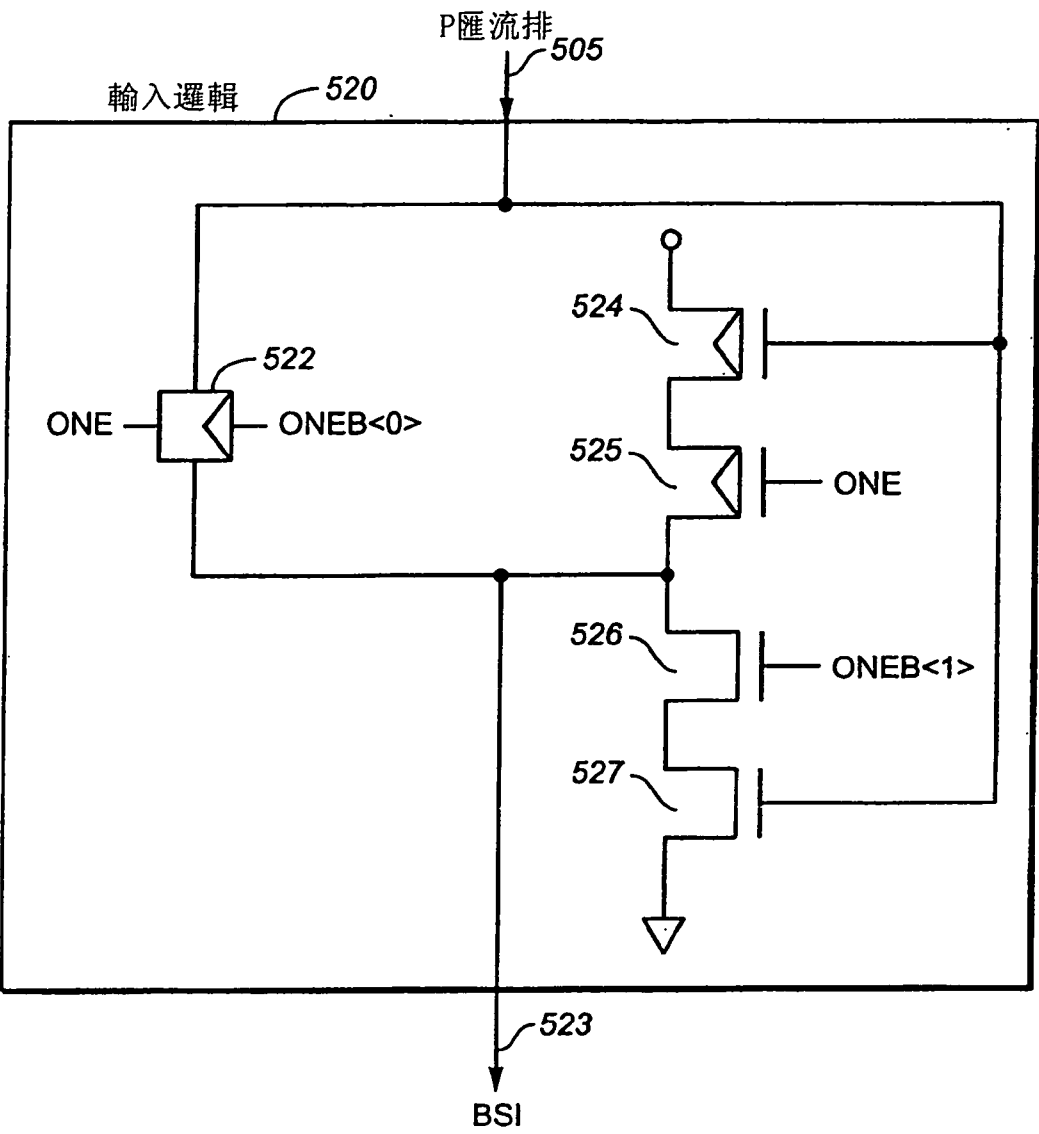


圖11A

輸入邏輯真值表

傳送模式	ONE	ONEB<0>	ONEB<1>	P匯流排 (輸入)	BSI (輸出)
通過	1	0	0	P匯流排	P匯流排
反相	0	1	1	P匯流排	P匯流排*
浮動	1	1	0	P匯流排	浮動

圖11B

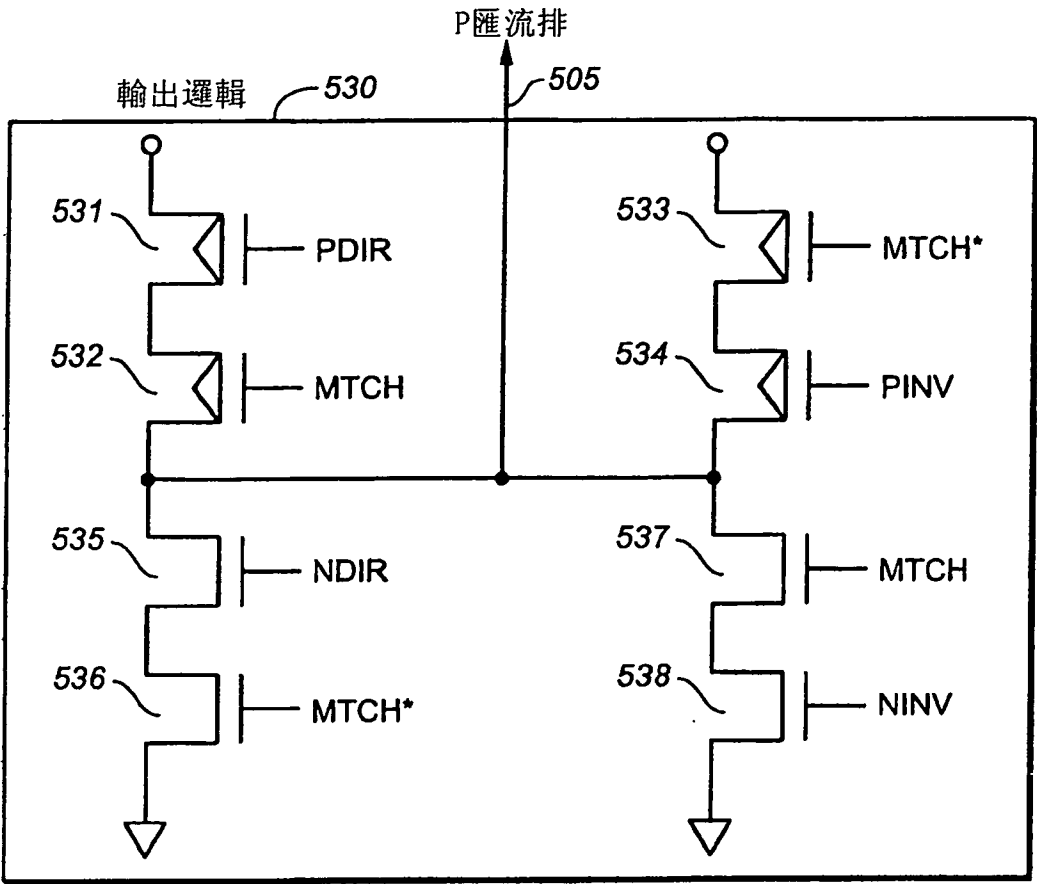


圖12A

輸出邏輯真值表

傳送模式	PINV	NINV	PDIR	NDIR	MTCH	P匯流排 (輸出)
通過	D	D	D	1	0	0
	0	D	D	D	1	1
反相	D	D	0	D	0	1
	D	1	D	D	1	0
浮動	D	D	D	D	X	Z
預充電	0	D	0	D	X	1

(預設值：PINV=1, NINV=0, PDIR=1, NDIR=0)

圖12B

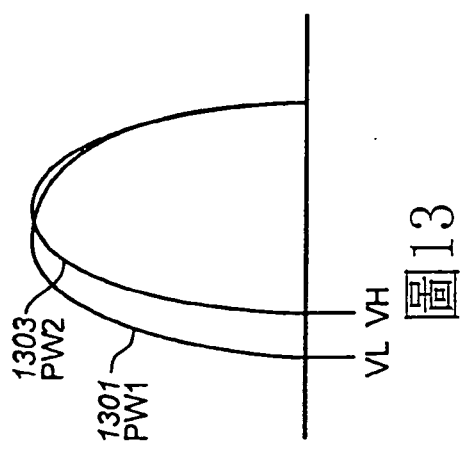


圖13

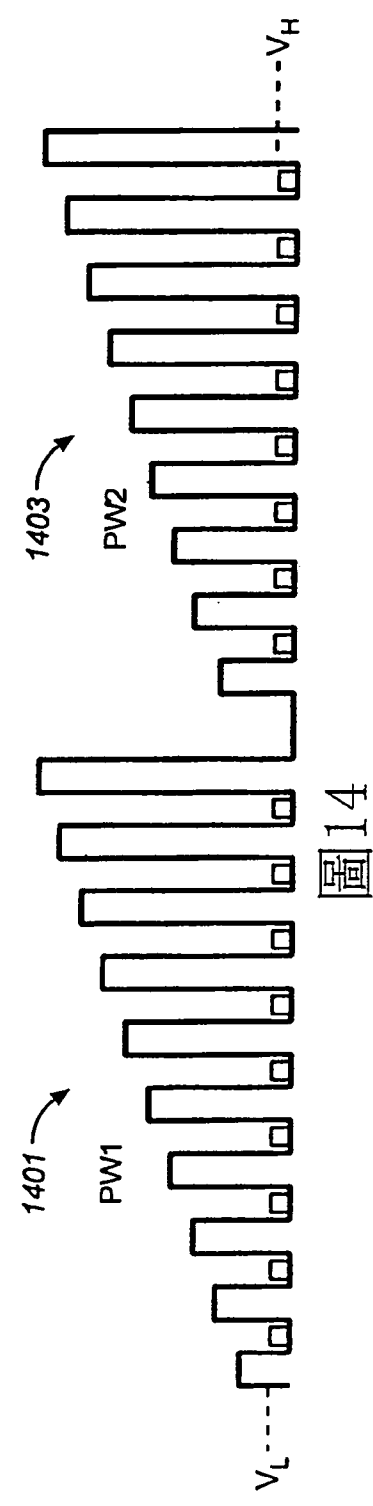


圖14

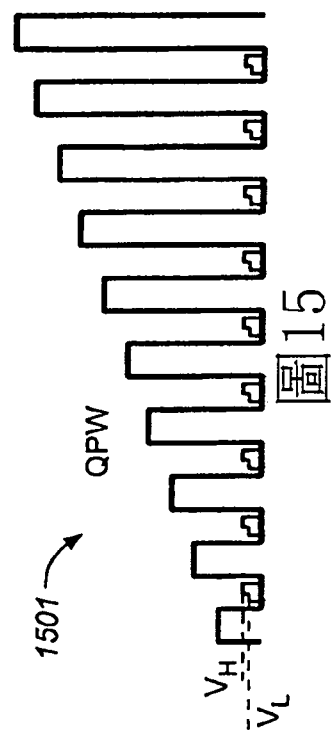


圖15



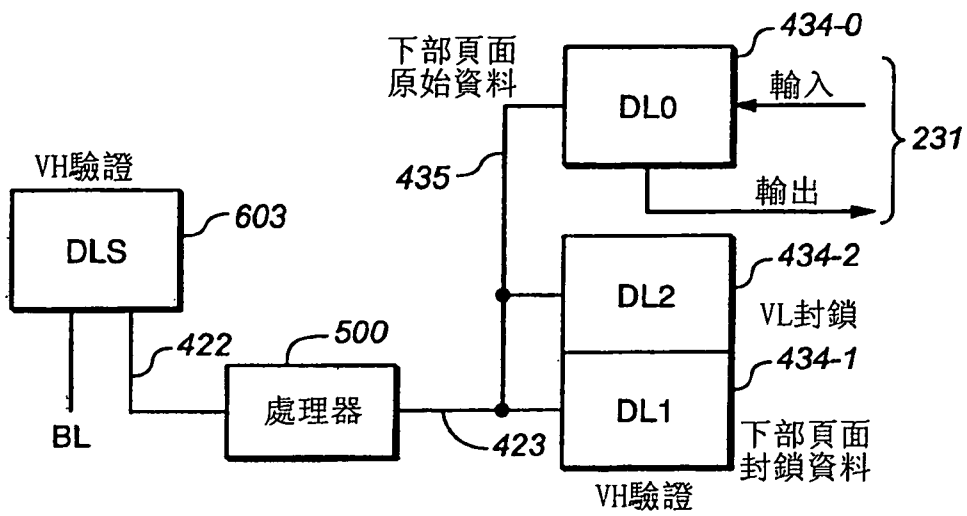


圖17

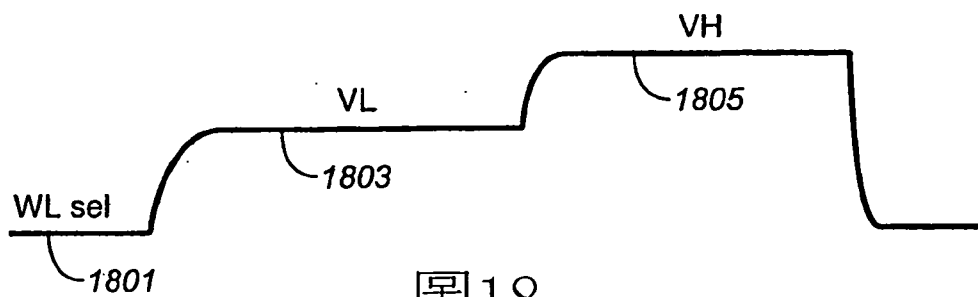


圖18

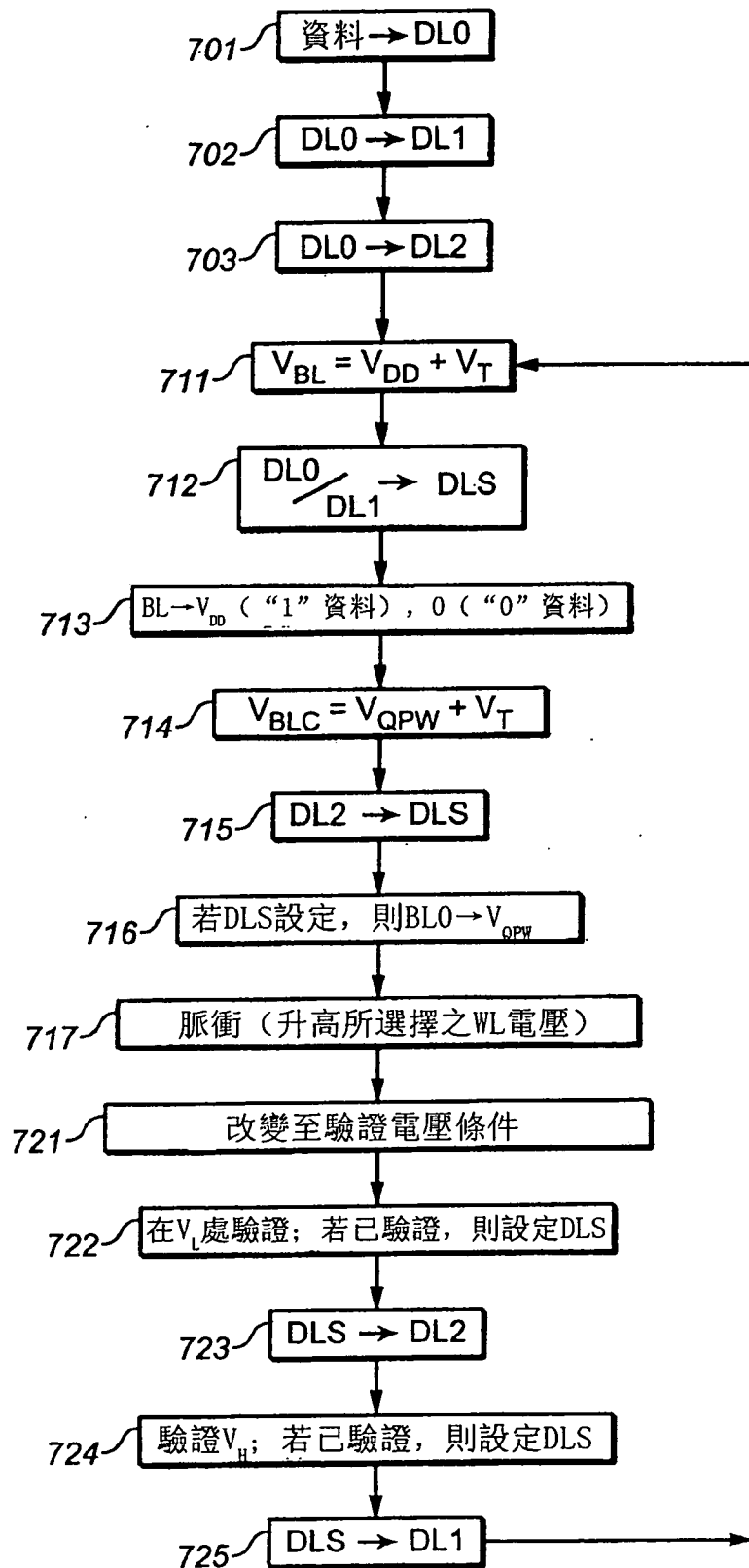


圖 19

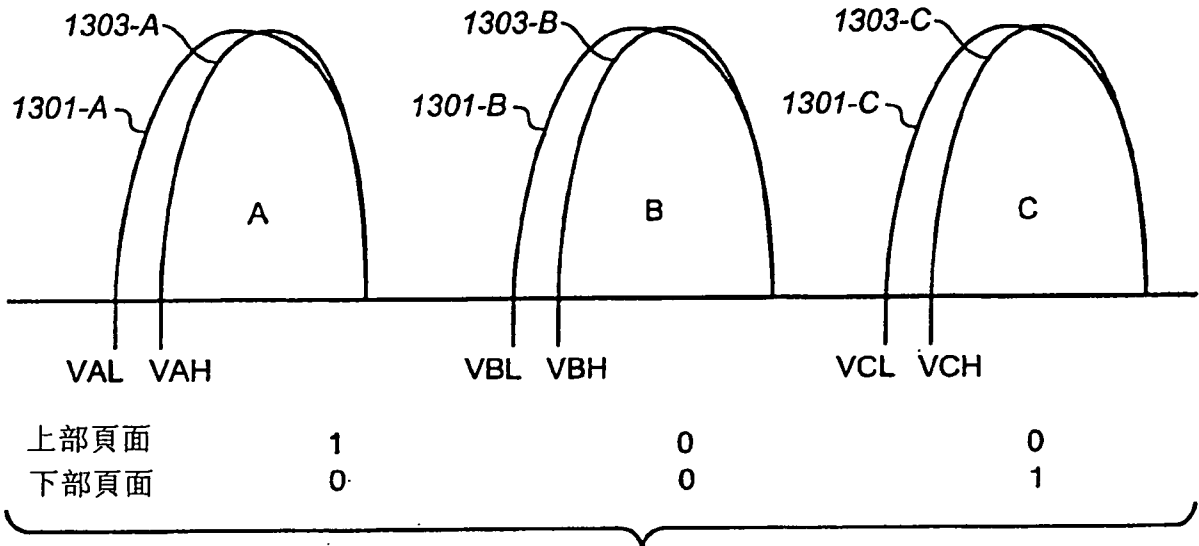


圖20

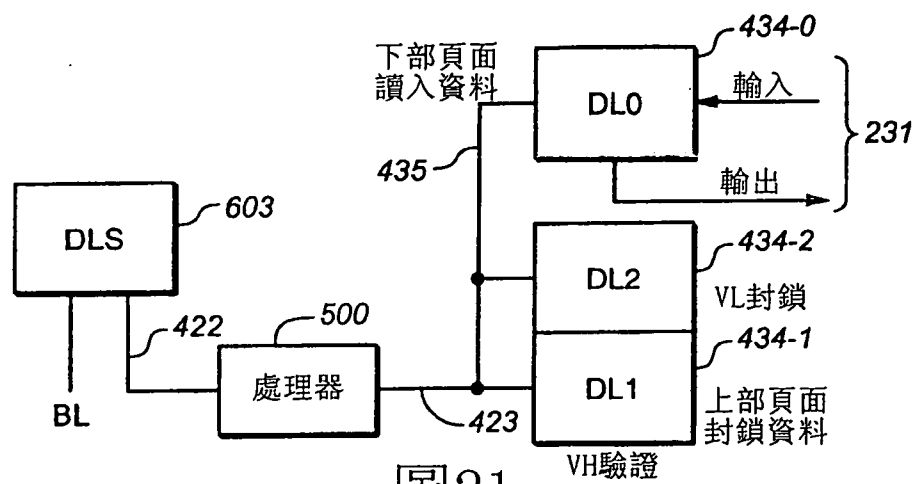


圖21

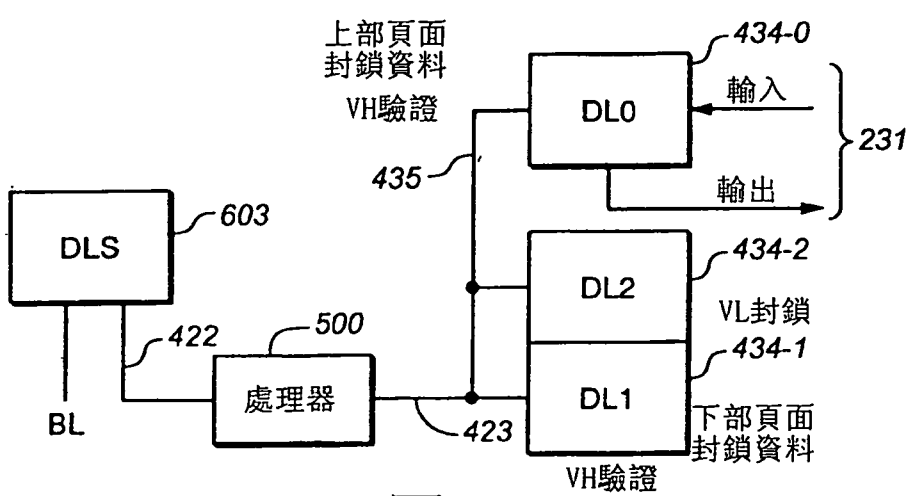


圖22

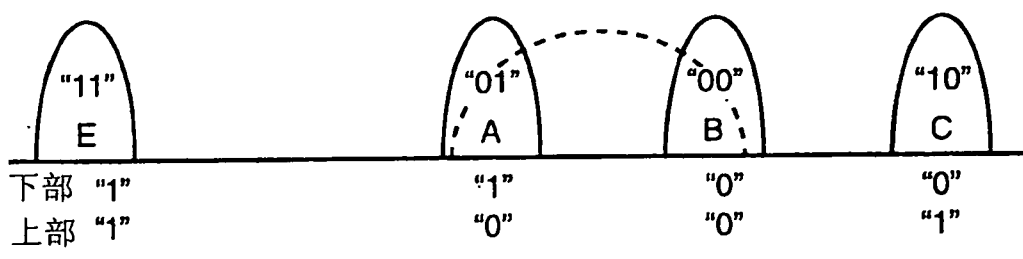


圖23

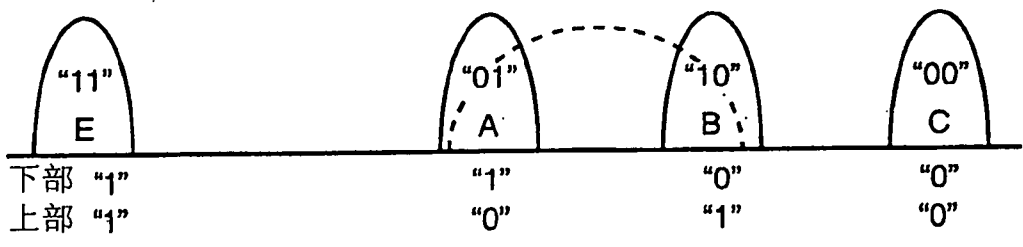


圖24

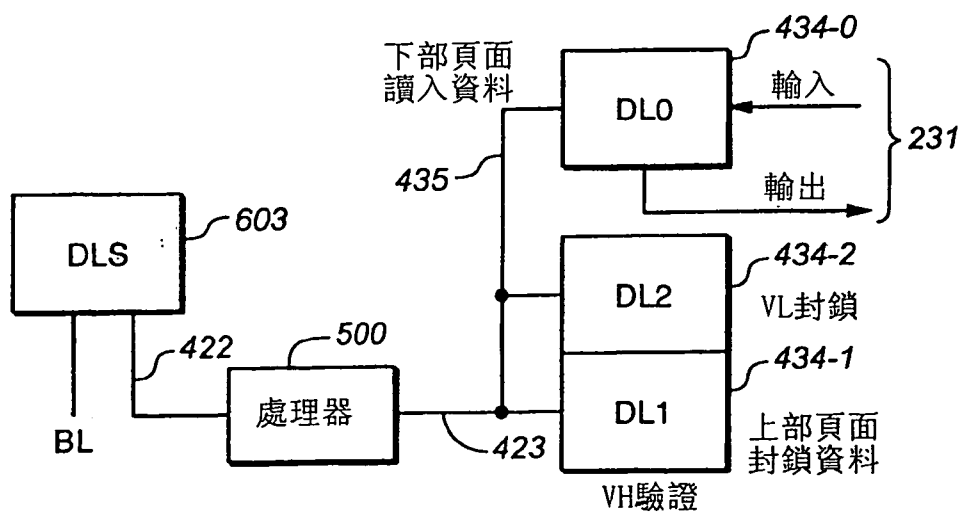


圖25