

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成16年8月12日(2004.8.12)

【公表番号】特表2000-505573(P2000-505573A)

【公表日】平成12年5月9日(2000.5.9)

【出願番号】特願平9-528476

【国際特許分類第7版】

G 0 6 F 13/18

G 0 6 T 1/60

G 0 9 G 5/00

G 0 9 G 5/39

【F I】

G 0 6 F 13/18 5 1 0 A

G 0 9 G 5/00 5 5 0 T

G 0 9 G 5/36 5 3 0 G

G 0 6 F 15/64 4 5 0 E

【手続補正書】

【提出日】平成15年6月9日(2003.6.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

## 手続補正書

平成 年 月 日  
15. 6. -9

特許庁長官殿

1. 事件の表示 平成9年特許願第528476号  
(国際出願番号) PCT/US96/11941
2. 補正をする者  
名称 インテル・コーポレーション
3. 代理人  
住所 東京都千代田区永田町2丁目4番2号  
秀和溜池ビル8階  
山川国際特許事務所内  
電話 (3580) 0961  
氏名 (6462) 弁理士 山 川 政 樹
4. 補正対象書類名 請求の範囲
5. 補正対象項目名 請求の範囲
6. 補正の内容 請求の範囲を、別紙の通り補正する。



### 請求の範囲

1. メモリ・バスの制御を有するコントローラからメモリ・バスの制御を希望するコントローラへメモリ・アレイへのアクセスを提供する、メモリ・バスの制御を移動する方法において：

制御を希望するコントローラによって生成されたアクセス要求を検出するステップと；

メモリ・バスが使用されているかどうかを検出するステップと；

メモリ・バスが使用されていない場合に、第1の期間後に、制御を希望するコントローラにメモリ・バスの制御を移動する高速バス移動シーケンスを開始するステップと；

メモリ・バスが使用されている場合に、メモリ・バスの使用が終わったときに、第1の期間よりも長く、第1の期間に含まれないプリチャージ期間を含む第2の期間後に、制御を希望するコントローラに制御を移動する低速バス移動シーケンスを開始するステップと

を含むことを特徴とする方法。

2. 共有リソースが使用しているバスへのアクセスを有している複数のコントローラの中の共有リソースへのアクセスの制御の移動を加速する方法において：

第1のバス・コントローラによるアクセス要求を検出するステップと；

バスを第2のバス・コントローラが使用しているかどうかを検出するステップと；

バスが第2のバス・コントローラによって使用されていない場合に、第1の期間後に、第1のバス・コントローラにメモリ・バスの制御を移動する高速バス移動シーケンスを開始するステップと；

第2のバス・コントローラによってバスが使用されている場合に、バスの使用が終わったときに、第1の期間よりも長く、第1の期間に含まれないプリチャージ期間を含む第2の期間後に、第1のバス・コントローラに制御を移動する低速バス移動シーケンスを開始するステップと

を含むことを特徴とする方法。

3. 共有リソースが使用しているバスへのアクセスを有している複数のコントローラの間で共有リソースへのアクセスの制御の移動を加速する装置において：

第1のバス・コントローラによるアクセス要求に応じて、バスを第2のバス・コントローラが使用しているかどうかを検出する第1の回路と；

バスを第2のバス・コントローラが使用していない場合は高速バス移動シーケンスを選択し、第2のバス・コントローラによってバスが使用されている間に、バスの使用が終了すると、低速バス移動シーケンスを選択する第2の回路とを備え、高速バス移動シーケンスは第1の期間後に第1のバス・コントローラにメモリ・バスの制御を移動し、低速バス移動シーケンスが、第1の期間よりも長く、第1の期間に含まれないプリチャージ期間を含む第2の期間後に、第1のバス・コントローラに制御を移動することを特徴とする装置。

4. コンピュータ・システムにおいて：

中央演算処理装置と；

メイン・メモリ・アレイと；

メイン・メモリ・アレイへのアクセスを行うメモリ・バスと；

メモリ・バスによってメイン・メモリ・アレイに結合されている第1のコントローラと；

メモリ・バスによってメモリ・アレイに結合されている第2のコントローラと；

第1のコントローラと第2のコントローラを接続する通知回路と；

第1と第2のコントローラの間でメモリ・アレイへのアクセスの制御の移動を加速する装置とを備えており：

上記移動を加速する装置は、

バスを第1のコントローラが使用しているかどうかを検出するために、第2のコントローラによるアクセス要求に応答する回路と；

バスが使用されていない場合には高速バス移動シーケンスを選択し、バスが使

用されている場合には、バスの使用が終わったときに低速バス移動シーケンスを選択する回路とを備え、高速バス移動シーケンスは第1の期間後に第2のコントローラにメモリ・バスの制御を移動し、低速バス移動シーケンスは、第1の期間よりも長く、第1の期間に含まれないプリチャージ期間を含む第2の期間後に、第2のバス・コントローラに制御を移動することを特徴とする装置。

5. メモリ・バスの制御を第1のコントローラから第2のコントローラに移動する方法において：

メモリ・バスの制御を要求する第2のコントローラからの要求信号を検出するステップと；

制御に対する要求に先立って、少なくとも所定期間はメモリ選択回路がプリチャージされたかどうかを判定するステップと；

メモリ選択回路が少なくとも所定期間プリチャージされなかった場合、メモリ選択回路を少なくとも所定期間だけはプリチャージすることを可能にするために、第1の期間後にメモリ・バスの制御が第2のコントローラに移動される第1の移動シーケンスを開始するステップと；

メモリ選択回路が少なくとも所定期間プリチャージされた場合、第1の期間より短い第2の期間後に、メモリ・バスの制御が第2のコントローラに移動される第2の移動シーケンスを開始するステップとを含むことを特徴とする方法。

6. メモリ・バスの制御を第1のコントローラから第2のコントローラに移動する装置において：

第2のコントローラによるメモリ・バスの制御を求める要求信号のアサーションを検出するように構成された第1の回路と；

要求信号のアサーションに先立って、少なくとも所定期間はメモリ選択回路がプリチャージされたかどうかを判定するように構成された第2の回路と；

メモリ選択回路が少なくとも所定期間プリチャージされなかった場合、メモリ選択回路を少なくとも所定期間だけはプリチャージすることを可能にするために、第1の期間後にメモリ・バスの制御が第2のコントローラに移動される第1の

移動シーケンスを開始し、メモリ選択回路が少なくとも所定期間プリチャージされた場合、第１の期間より短い第２の期間後に、メモリ・バスの制御が第２のコントローラに移動される第２の移動シーケンスを開始するように構成された第３の回路とを備えることを特徴とする装置。