



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I415192 B

(45)公告日：中華民國 102 (2013) 年 11 月 11 日

(21)申請案號：098119329

(22)申請日：中華民國 98 (2009) 年 06 月 10 日

(51)Int. Cl. : H01L21/329 (2006.01)

H01L21/316 (2006.01)

H01L21/318 (2006.01)

H01L29/861 (2006.01)

(30)優先權：2008/06/12 日本

2008-153851

(71)申請人：三洋電機股份有限公司 (日本) SANYO ELECTRIC CO., LTD. (JP)

日本

三洋半導體股份有限公司 (日本) SANYO SEMICONDUCTOR CO., LTD. (JP)

日本

三洋半導體製造股份有限公司 (日本) SANYO SEMICONDUCTOR
MANUFACTURING CO., LTD. (JP)

日本

(72)發明人：關克行 SEKI, KATSUYUKI (JP)；鈴木彰 SUZUKI, AKIRA (JP)；小田島慶汰
ODAJIMA, KEITA (JP)；岡田喜久雄 OKADA, KIKUO (JP)；龜山工次郎
KAMEYAMA, KOJIRO (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW 197824

TW 391077

JP 57-196585

US 4179794

審查人員：許志豪

申請專利範圍項數：10 項 圖式數：15 共 0 頁

(54)名稱

台型半導體裝置及其製造方法

MESA TYPE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

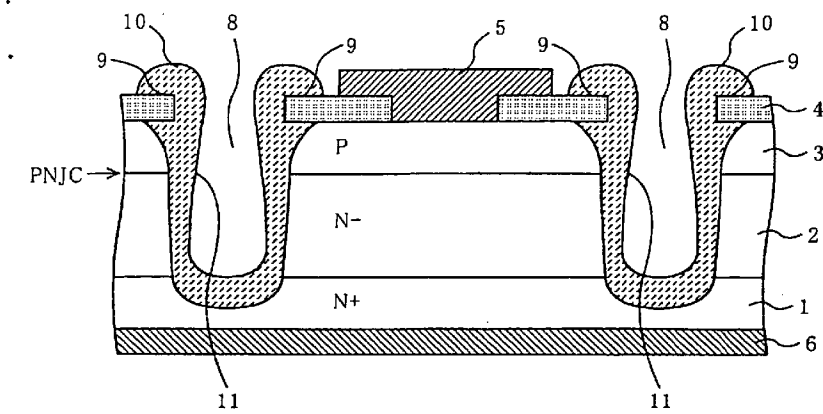
本發明的目的在於謀求高耐壓、高可靠度的台型半導體裝置及其製造方法之確立，該台型半導體裝置及其製造方法係解決因位於 PN 接合部 PNJC 處的台溝內壁 11 的第 2 絕緣膜 10 的厚度較薄而產生耐壓劣化與漏電流之問題。

本發明的台型半導體裝置及其製造方法，係對以乾蝕刻形成的台溝 8，再以氟酸、硝酸系等蝕刻劑對該台溝 8 的側壁進行濕蝕刻，藉此在台溝 8 的上部形成由突出於台溝 8 上的第 1 絕緣膜 4 所構成的簷部 9。且利用塗布法或印刷法將絕緣膜 10 形成於台溝 8 內、以及以台溝 8 為中心以形成為比簷部 9 區域還寬廣的方式將絕緣膜 10 形成於第 1 絕緣膜 4 上，而該簷部 9 係成為阻止因之後的熱處理而流動性變高的絕緣膜 10 流往台溝 8 的底部之障壁。結果，能以足夠厚度的絕緣膜 10 被覆位於 PN 接合部 PNJC 處之台溝側壁 11，而謀求所期望的耐壓之確保及漏電流之降低。

An objective of the present invention is to provide a mesa type semiconductor device with high pressure resistance and high reliability, and a method for manufacturing the same, so as to solve a problem that the

thickness of a second insulation film 10 on an inner wall 11 of a mesa trench located in a PN junction PNJC becomes thin, thereby causing deterioration of withstand pressure and leak current.

With respect to a mesa trench 8 formed by dry etching, a wet etching performed with hydrofluoric acid or nitric acidan series etchant is further applied to a side wall of the mesa trench 8, thereby forming an eave 9, which is composed of a first insulation film 4 protruding over the mesa trench 8, above the mesa trench 8. The eave 9 becomes a barrier for preventing an insulation film 10, which is formed by a dispensing method or a screen printing method inside the mesa trench 8 and on the first insulation film 4 such that it is wider than the area of the eave 9 with the mesa trench 8 as a center and the flowability of which would become high due to subsequent thermal treatments, from flowing into the bottom of the mesa trench 8. As a result, the inner wall 11 of the mesa trench located in a PN junction PNJC is covered by the insulation film 10 having a sufficient thickness, so that it is possible to assure predetermined withstand pressure and reduce leak current.



第 7 圖

- 1 . . . N+型半導體基板
- 2 . . . N-型半導體層
- 3 . . . P 型半導體層
- 4 . . . 第 1 絕緣膜
- 5 . . . 陽極電極
- 6 . . . 陰極電極
- 8 . . . 台溝
- 9 . . . 簷部
- 10 . . . 第 2 絕緣膜
- 11 . . . PNJC 部台溝側壁
- PNJC . . . PN 接合部

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：098119329

H01L 21/329 (2006.01)

※申請日：98 6 10 ※IPC 分類：

H01L 21/316 (2006.01)

H01L 21/318 (2006.01)

H01L 24/061 (2006.01)

一、發明名稱：(中文/英文)

台型半導體裝置及其製造方法

MESA TYPE SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

二、中文發明摘要：

本發明的目的在於謀求高耐壓、高可靠度的台型半導體裝置及其製造方法之確立，該台型半導體裝置及其製造方法係解決因位於PN接合部PNJC處的台溝內壁11的第2絕緣膜10的厚度較薄而產生耐壓劣化與漏電流之問題。

本發明的台型半導體裝置及其製造方法，係對以乾蝕刻形成的台溝8，再以氟酸、硝酸系等蝕刻劑對該台溝8的側壁進行濕蝕刻，藉此在台溝8的上部形成由突出於台溝8上的第1絕緣膜4所構成的簷部9。且利用塗布法或印刷法將絕緣膜10形成於台溝8內、以及以台溝8為中心以形成為比簷部9區域還寬廣的方式將絕緣膜10形成於第1絕緣膜4上，而該簷部9係成為阻止因之後的熱處理而流動性變高的絕緣膜10流往台溝8的底部之障壁。結果，能以足夠厚度的絕緣膜10被覆位於PN接合部PNJC處之台溝側壁11，而謀求所期望的耐壓之確保及漏電流之降低。

三、英文發明摘要：

An objective of the present invention is to provide a mesa type semiconductor device with high pressure resistance and high reliability, and a method for manufacturing the same, so as to solve a problem that the thickness of a second insulation film 10 on an inner wall 11 of a mesa trench located in a PN junction PNJC becomes thin, thereby causing deterioration of withstand pressure and leak current.

With respect to a mesa trench 8 formed by dry etching, a wet etching performed with hydrofluoric acid or nitric acidan series etchant is further applied to a side wall of the mesa trench 8, thereby forming an eave 9, which is composed of a first insulation film 4 protruding over the mesa trench 8, above the mesa trench 8. The eave 9 becomes a barrier for preventing an insulation film 10, which is formed by a dispensing method or a screen printing method inside the mesa trench 8 and on the first insulation film 4 such that it is wider than the area of the eave 9 with the mesa trench 8 as a center and the flowability of which would become high due to subsequent thermal treatments, from flowing into the bottom of the mesa trench 8. As a result, the inner wall 11 of the mesa trench located in a PN junction PNJC is covered by the insulation film 10 having a sufficient thickness, so that it is possible to assure predetermined withstand pressure and reduce leak current.

四、指定代表圖：

(一)本案指定代表圖為：第 (7) 圖。

(二)本代表圖之元件符號簡單說明：

1	N+型半導體基板	2	N-型半導體層
3	P 型半導體層	4	第 1 絕緣膜
5	陽極電極	6	陰極電極
8	台溝	9	簷部
10	第 2 絕緣膜	11	PNJC 部台溝側壁
PNJC	PN 接合部		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

六、發明說明：

【發明所屬之技術領域】

本發明係有關具有台溝的半導體裝置及其製造方法。在本申請案中係將具有台溝的半導體裝置表示為台型半導體裝置。

【先前技術】

習知技術中，就台型半導體裝置的一種類而言，已知有大功率用的台型二極體。茲參照第 12 圖及第 13 圖說明習知例的台型二極體。第 12 圖係顯示以矩陣狀配置複數個習知例的台型二極體之半導體晶圓的概略平面圖。第 13 圖係沿著第 12 圖之 X-X 線的剖面圖，顯示沿著切割線(scribe line)DL 進行切塊(dicing)後的狀態。

於 N+型半導體基板 101 的表面形成有 N-型半導體層 102。於 N-型半導體層 102 的表面係形成有 P 型半導體層 103，於 P 型半導體層 103 上係形成有第 1 絕緣膜 105。此外，形成有與 P 型半導體層 103 電性連接的陽極電極 106。

此外，形成有從 P 型半導體層 103 的表面到達 N+型半導體基板 101 的台溝 108。台溝 108 係形成為比 N-型半導體 102 還深，台溝 108 的底部係位於 N+型半導體基板 101 中。台溝 108 的側壁係從 P 型半導體層 103 的表面至台溝 108 的底部具有順錐形狀而呈傾斜。台型二極體係由該台溝 108 包圍而具有台型的構造。

此外，覆蓋台溝 108 的側壁而形成有由聚醯亞胺膜構成的第 2 絕緣膜 130，且於 N+型半導體基板 101 的背面形

成有陰極電極 107。

另外，關於台型的半導體裝置，記載於例如下述之專利文獻 1。

專利文獻 1：日本特開 2003-347306 號公報

【發明內容】

（發明所欲解決之課題）

雖然上述的習知例，顯示第 13 圖所示的第 2 絕緣膜 130 係以均勻的膜厚被覆著台溝 108 的內壁，但實際上係如第 15 圖所示，第 2 絕緣膜 130 係以在台溝 108 內壁的上部薄薄地形成並堆積在台溝 108 的底部之形狀來形成。此種形狀係以下述的步驟形成。亦即，如第 14 圖所示，在進行塗布(dispense)等而將第 2 絕緣膜配置於台溝 108 時，係以第 2 絕緣膜 130 填埋台溝 108 內，惟由於在之後的熱處理時係進行醯亞胺化反應等而使第 2 絕緣膜 130 的流動性變高，故全體而言第 2 絕緣膜 130 會流入台溝 108 的底部，以致如第 15 圖所示，第 2 絕緣膜 130 係在台溝 108 內壁的上部薄薄地形成。

故，在相當於電場強度最大的 PN 接合部 PNJC 之位置的台溝側壁 110 的第 2 絕緣膜 130 的膜厚變薄，而引起 PN 接合的耐壓劣化及漏電流的增大之問題，結果即存在良率降低、可靠度降低等必須解決的嚴重課題。就解決上述問題的方法而言，雖然可採取重複若干次形成第 2 絕緣膜 130 的方法，但其材料費用高，會使得半導體裝置的成本提高。

（解決課題的手段）

本發明的台型半導體裝置的製造方法係包含下列步驟：準備第 1 導電型的半導體基板，並於前述半導體基板的表面形成相較於前述半導體基板為低濃度之第 1 導電型的第 1 半導體層之步驟；於前述第 1 半導體層的表面形成第 2 導電型的第 2 半導體層之步驟；形成局部性地覆蓋前述第 2 半導體層的表面之第 1 絕緣膜之步驟；形成從未被前述第 1 絕緣膜覆蓋的前述第 2 半導體層的表面到達前述半導體基板中的台溝之第 1 蝕刻步驟；用以形成使前述第 1 絕緣膜的一部分突出於前述台溝的上部之簷部而對前述台溝所進行之第 2 蝕刻步驟；及形成從前述台溝內延伸至前述台溝外的前述第 1 絕緣膜的表面之第 2 絕緣膜之步驟。

此外，本發明的台型半導體裝置係具備：第 1 導電型的半導體基板；第 1 導電型的第 1 半導體層，接合於前述半導體基板的表面且相較於前述半導體基板為低濃度；第 2 導電型的第 2 半導體層，接合於前述第 1 半導體層的表面，與前述第 1 半導體層共同形成 PN 接合部；第 1 絕緣膜，局部性地覆蓋前述第 2 半導體層的表面；台溝，從未被前述第 1 絕緣膜覆蓋的前述第 2 半導體層的表面到達前述半導體基板中；簷部，以令前述第 1 絕緣膜的一部分突出於前述台溝的上部之方式形成；及第 2 絕緣膜，從前述台溝內延伸至前述台溝外的前述第 1 絕緣膜的表面。

（發明的效果）

依據本發明的台型半導體裝置及其製造方法，可以使 PN 接合部的耐壓提升，並且能夠謀求漏電流的降低。

【實施方式】

茲針對本發明第 1 實施形態的台型半導體裝置及其製造方法，以台型半導體裝置係台型二極體的情形為例進行說明。第 1 圖至第 7 圖係顯示本實施形態的台型二極體及其製造方法之剖面圖。其中，以下所說明的台型二極體的製造方法係針對以矩陣狀配置複數個台型二極體的晶圓狀半導體基板進行者，惟為了說明上的方便，僅圖示晶圓狀半導體基板所含有的複數個台型二極體之中的 1 個台型二極體。

如第 1 圖所示，準備擴散有高濃度的例如磷等 N 型雜質的 N+型半導體基板 1(例如，矽單晶基板)。使半導體層磊晶成長於該半導體基板 1 的表面而形成低濃度的 N 型半導體層，亦即 N-型半導體層 2。另外，上述 N+型與 N-型之雙層結構亦可為進行下述步驟而得者，亦即，在從 N-型半導體基板的兩面將作為雜質的磷等予以熱擴散而形成 N+層後，進行化學性蝕刻或機械性研磨去除該半導體基板的一面。而尤其在必須具備較厚的 N-型半導體層 2 之超高耐壓品之情形，會有以擴散法形成比以磊晶法形成來得理想之情形。

之後，在 N-型半導體層 2 的表面擴散例如硼等 P 型雜質而形成 P 型半導體層 3。藉此，於 N-型半導體層 2 與 P 型半導體層 3 之界面形成 PN 接合部 PNJC。在上述的構成中，N+型半導體基板 1、N-型半導體層 2、P 型半導體層 3 之全體厚度例如約 200 μm 左右。

接著，如第 2 圖所示，在 P 型半導體層 3 的表面藉由例如熱氧化法或 CVD 法來形成屬於矽氧化膜等的第 1 絕緣膜 4。另外，亦可使用氮化矽膜來作為前述第 1 絕緣膜 4。之後，使用遮罩(mask)，對第 1 絕緣膜 4 之一部分進行蝕刻，而於第 1 絕緣膜 4 設置使 P 型半導體層 3 的一部分露出之開口部 4A。接著，形成經由第 1 絕緣膜 4 的開口部 4A 而與 P 型半導體層 3 連接的陽極電極 5。陽極電極 5 係由鋁等導電材料所構成，係以濺鍍法或蒸鍍法生成後，經圖案化形成為預定形狀。另一方面，在 N+型半導體基板 1 的背面，與陽極電極 5 同樣地，形成以濺鍍法等生成鋁等導電材料的陰極電極 6。

接著，如第 3 圖所示，在第 1 絕緣膜 4 上形成具有開口部 7A 的光阻劑層 7，該開口部 7A 係將預定形成台溝 8 之區域予以開口。接著，以該光阻劑層 7 作為遮罩，將露出於該開口部 7A 的第 1 絕緣膜 4 予以蝕刻去除。另外，就前述蝕刻而言，在本實施形態中雖然係採用濕蝕刻法，但亦可採用乾蝕刻法。蝕刻結束後，以灰化(ashing)法或阻劑剝離液去除作為遮罩使用的光阻劑。

接著，如第 4 圖所示，以第 1 絕緣膜 4 等作為遮罩，貫穿 P 型半導體層 3、N-型半導體層 2 並將 N+型半導體基板 1 予以乾蝕刻達至其厚度方向的中途區域，藉此而形成台溝 8。之後，如第 5 圖所示，使用氟酸、硝酸系的蝕刻液將因乾蝕刻而產生於台溝 8 側壁的損傷層(damage layer)去除，並且進一步積極地進行台溝 8 之蝕刻，而形成由突

出於台溝 8 的上部的第 1 絕緣膜 4 所構成的簷部 9。在本實施形態中，在第 1 絕緣膜 4 的開口寬度為 $50\mu\text{m}$ 、膜厚為 800nm 時，簷部 9 的長度係 2 至 $3\mu\text{m}$ 左右。此步驟係本發明最重要的步驟，惟可依絕緣膜 4 的材質、厚度等來形成最適當長度的簷部 9。

接著，如第 6 圖所示，利用塗布法或印刷法，將第 2 絕緣膜 10 形成於台溝 8 內、以及以台溝 8 為中心而以比簷部 9 區域還寬廣的方式將第 2 絕緣膜 10 形成於第 1 絕緣膜 4 上。另外，此時若在減壓狀態下塗布第 2 絕緣膜 10 的話，則台溝 8 內的第 2 絕緣膜 10 之形成便變得容易。之後，施加熱處理時則如第 7 圖所示，簷部 9 就會成為阻止因熱處理而流動性變高的第 2 絕緣膜 10 流往台溝 8 的底部之障壁，而能夠使形成在位於 PNJC 處之台溝側壁 11 的第 2 絕緣膜 10 形成為能夠確保預定耐壓之厚度。另外，在本實施形態中係使用聚醯亞胺作為第 2 絕緣膜 10，惟熱處理為 400°C 、2 小時，係以比醯亞胺化溫度高了若干之溫度進行。另外，就第 2 絕緣膜 10 而言，亦可使用環氧樹脂。

習知技術係如第 15 圖所示，台溝 108 上部的 PNJC 部的台溝側壁 110 係僅覆蓋薄薄的第 2 絕緣膜 130，本發明的改善程度非常明顯。在本實施形態中，N-型半導體層 2 的厚度係 $75\mu\text{m}$ 、電阻率係 $50\Omega\text{cm}$ ，得到約 1100V 之耐壓，而在此情形中，位於 PNJC 處之台溝側壁 11 的第 2 絕緣膜 10 的厚度必須為 $5\mu\text{m}$ 上下。

茲針對本發明第 2 實施形態，根據第 8 圖至第 10 圖進

行說明。其中，與第 1 實施形態相同的部分係標註相同符號且省略說明。具體而言，由於第 2 實施形與第 1 實施形態僅在簷部 9 的形成方法有所不同，因此以下係以台溝 8 與簷部 9 部分為中心進行說明。

首先，如第 8 圖所示，以與實施形態 1 同樣的方法，準備由 P 型半導體層 3、N-型半導體層 2 及 N+型半導體基板 1 所構成的基板，接著藉由 CVD 法，於其上部形成第 1 絕緣膜 4，使用光阻劑層作為遮罩，對該第 1 絕緣膜 4 進行蝕刻，而於預定形成台溝 8 的部位形成開口部 4B。接著，以第 1 絕緣膜 4 作為遮罩，藉由乾蝕刻，貫通 P 型半導體層 3、N-型半導體層 2 並亦蝕刻 N+型半導體基板 1 的一部分而形成台溝 8。亦可取代第 1 絕緣膜 4 而改以光阻劑層作為遮罩來進行乾蝕刻而形成台溝 8。

之後，如第 9 圖所示，為了將以前述第 1 絕緣膜 4 作為遮罩進行乾蝕刻而產生的損傷層去除，使用氟酸、硝酸系的蝕刻液對台溝 8 內壁進行輕微蝕刻。最後如第 10 圖所示，在第 1 絕緣膜 4 上形成與台溝 8 重疊且具有寬度比該台溝 8 的寬度小的開口部 13 之第 3 絕緣膜 14。另外，就前述第 3 絕緣膜 14 而言，只要使用例如所謂的永久阻劑之有機阻劑膜或環氧樹脂等即可。進行前述步驟，藉此形成突出於台溝 8 上的簷部 9。該簷部 9 的形狀係與第 1 實施形態的第 5 圖相同，藉由進行第 1 實施形態的第 6 圖及第 7 圖所示之步驟，而能夠完成相同的台型半導體裝置。

在此，就前述第 3 絕緣膜 14 的形成方法而言，例如，

將有機阻劑膜或由環氧樹脂所構成的膜狀感光性有機膜形成在半導體基板 1 上，並藉由進行曝光顯影來形成具有有所期望的開口徑之開口部 13。另外，若前述感光性有機膜例如為負型，則將光照射至形成在第 1 絕緣膜 4 上的前述感光性有機膜但設成使光不照射至開口部形成區域，以進行曝光顯影，藉此將形成在開口部形成區域的有機膜予以去除。

此外，雖然在前述的方法中係以不填入台溝 8 內的方式形成前述感光性有機膜，但即使是以包含前述台溝 8 內之方式在半導體基板 1 上形成感光性有機膜的情形中，仍然能夠同樣地藉由以使光不照射至前述開口部形成區域的方式進行曝光顯影來形成具有有所期望的開口徑的開口部 13。

接著，茲針對本發明第 3 實施形態，根據第 11 圖進行說明。其中，與第 1、第 2 實施形態相同的部分係標註相同符號且省略說明。

本實施形態係無關於簷部 9 之有無，而是藉由改善保護膜的構成來謀求提升半導體裝置的可靠度。

亦即，當為採用聚醯亞胺膜作為前述第 2 絕緣膜 10 時，雖然聚醯亞胺膜本身為高絕緣材料，但有吸濕性強之問題。因此，如第 11 圖所示，以補助前述聚醯亞胺膜為目的而以覆蓋該聚醯亞胺的方式形成耐濕性佳的絕緣膜 15。就該絕緣膜 15 而言，較佳為使用例如所謂的永久阻劑之有機阻劑膜或環氧樹脂、或者氮化矽膜等。如此，藉由將聚

- 醃亞胺膜與絕緣膜 15 層疊形成來作為前述第 2 絕緣 10，
- 能夠使耐濕性提升。

另外，雖以台型二極體為一例來說明本發明，但本發明亦可廣泛應用於台型電晶體等其他台型半導體裝置。

【圖式簡單說明】

第 1 圖係顯示本發明第 1 實施形態的台型二極體及其製造方法之剖面圖。

第 2 圖係顯示本發明第 1 實施形態的台型二極體及其製造方法之剖面圖。

第 3 圖係顯示本發明第 1 實施形態的台型二極體及其製造方法之剖面圖。

第 4 圖係顯示本發明第 1 實施形態的台型二極體及其製造方法之剖面圖。

第 5 圖係顯示本發明第 1 實施形態的台型二極體及其製造方法之剖面圖。

第 6 圖係顯示本發明第 1 實施形態的台型二極體及其製造方法之剖面圖。

第 7 圖係顯示本發明第 1 實施形態的台型二極體及其製造方法之剖面圖。

第 8 圖係顯示本發明第 2 實施形態的台型二極體的台溝部分及其製造方法之剖面圖。

第 9 圖係顯示本發明第 2 實施形態的台型二極體的台溝部分及其製造方法之剖面圖。

第 10 圖係顯示本發明第 2 實施形態的台型二極體的台

溝部分及其製造方法之剖面圖。

第 11 圖係顯示本發明第 3 實施形態的台型二極體的台溝部分及其製造方法之剖面圖。

第 12 圖係顯示習知例的台型二極體及其製造方法之平面圖。

第 13 圖係習知例的台型二極體的剖面圖。

第 14 圖係習知例的台型二極體及其製造方法之剖面圖。

第 15 圖係習知例的台型二極體及其製造方法之剖面圖。

【主要元件符號說明】

1、101	N+型半導體基板		
2、102	N-型半導體層	3、103	P 型半導體層
4	第 1 絕緣膜	4A、4B、7A、13	開口部
5、106	陽極電極	6、107	陰極電極
7	光阻劑層	8、108	台溝
9	簷部	10	第 2 絕緣膜
11	PNJC 部台溝側壁		
14	第 3 絕緣膜	15、105、130	絕緣膜
DL	切割線	PNJC	PN 接合部

七、申請專利範圍：

1. 一種台型半導體裝置的製造方法，係包含下列步驟：

準備第 1 導電型的半導體基板，並於前述半導體基板的表面形成相較於前述半導體基板為低濃度之第 1 導電型的第 1 半導體層之步驟；

於前述第 1 半導體層的表面形成第 2 導電型的第 2 半導體層之步驟；

形成局部性覆蓋前述第 2 半導體層的表面之第 1 絕緣膜之步驟；

形成從未被前述第 1 絕緣膜覆蓋的前述第 2 半導體層的表面到達前述半導體基板中的台溝之第 1 蝕刻步驟；

用以形成使前述第 1 絕緣膜的一部分突出於前述台溝的上部之簷部而對前述台溝所進行之第 2 蝕刻步驟；及

形成從前述台溝內延伸至前述台溝外的前述第 1 絕緣膜的表面之第 2 絕緣膜之步驟；

於前述第 2 蝕刻步驟中，前述簷部形成為阻止因於形成前述第 2 絕緣膜的步驟中的熱處理而流動性變高的前述第 2 絕緣膜流入前述台溝的底部的障壁，藉此，使前述第 2 絕緣膜以能夠確保接合耐壓的厚度被覆前述台溝內的前述第 1 半導體層與前述第 2 半導體層的接合區域。

2. 如申請專利範圍第 1 項之台型半導體裝置的製造方法，

其中，前述第 1 絕緣膜係氧化膜或氮化膜。

3. 如申請專利範圍第 1 項或第 2 項之台型半導體裝置的製造方法，其中，前述第 2 絕緣膜係由聚醯亞胺與氮化膜之層疊膜所構成。
4. 如申請專利範圍第 1 項或第 2 項之台型半導體裝置的製造方法，其中，前述第 2 絕緣膜係由有機絕緣物所構成。
5. 如申請專利範圍第 4 項之台型半導體裝置的製造方法，其中，前述有機絕緣物係聚醯亞胺或環氧樹脂、或聚醯亞胺與環氧樹脂之層疊膜、或聚醯亞胺與有機阻劑之層疊膜。

6. 一種台型半導體裝置，係具備：

第 1 導電型的半導體基板；

第 1 導電型的第 1 半導體層，接合於前述半導體基板的表面且相較於前述半導體基板為低濃度；

第 2 導電型的第 2 半導體層，接合於前述第 1 半導體層的表面，與前述第 1 半導體層共同形成 PN 接合部；

第 1 絕緣膜，局部性地覆蓋前述第 2 半導體層的表面；

台溝，從未被前述第 1 絕緣膜覆蓋的前述第 2 半導體層的表面到達前述半導體基板中；

簷部，以令前述第 1 絕緣膜的一部分突出於前述台溝的上部的方式形成；及

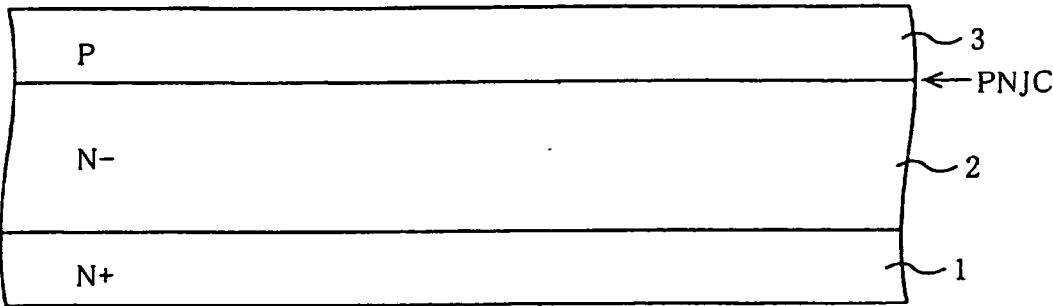
第 2 絕緣膜，從前述台溝內延伸至前述台溝外的前

述第 1 絕緣膜的表面；

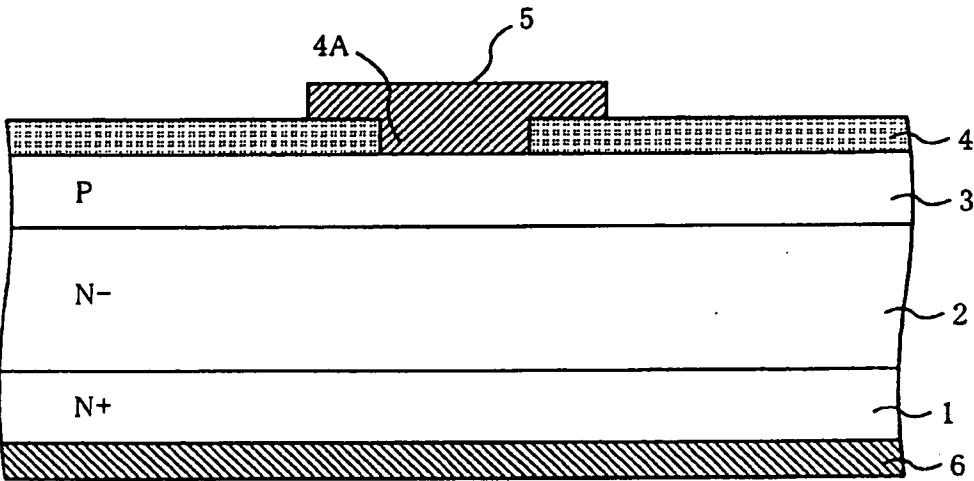
前述簷部形成為阻止因熱處理而流動性變高的前述第 2 絕緣膜流入前述台溝的底部的障壁，藉此，使被覆前述 PN 接合部的前述第 2 絕緣膜以能夠確保預定耐壓的厚度來形成。

7. 如申請專利範圍第 6 項之台型半導體裝置，其中，前述第 1 絕緣膜係氧化膜或氮化膜。
8. 如申請專利範圍第 6 項或第 7 項之台型半導體裝置，其中，前述第 2 絕緣膜係由聚醯亞胺與氮化膜之層疊膜所構成。
9. 如申請專利範圍第 6 項或第 7 項之台型半導體裝置，其中，前述第 2 絕緣膜係由有機絕緣物所構成。
10. 如申請專利範圍第 9 項之台型半導體裝置，其中，前述有機絕緣物係聚醯亞胺或環氧樹脂、或聚醯亞胺與環氧樹脂之層疊膜、或聚醯亞胺與有機阻劑之層疊膜。

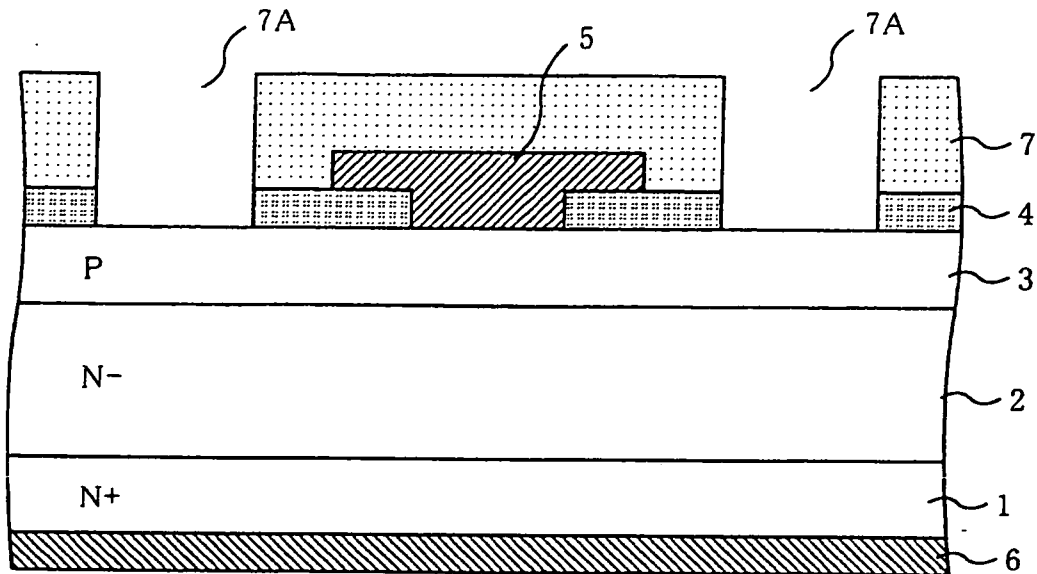
八、圖式：



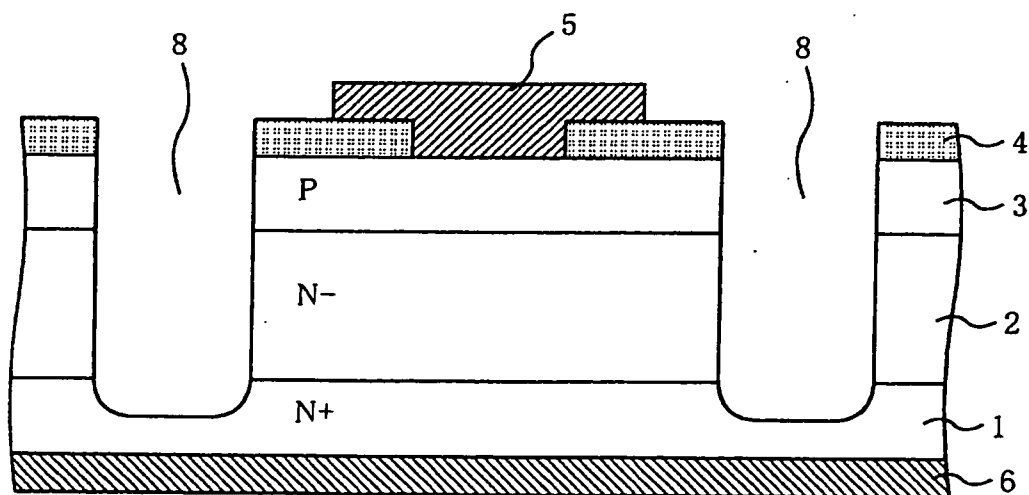
第 1 圖



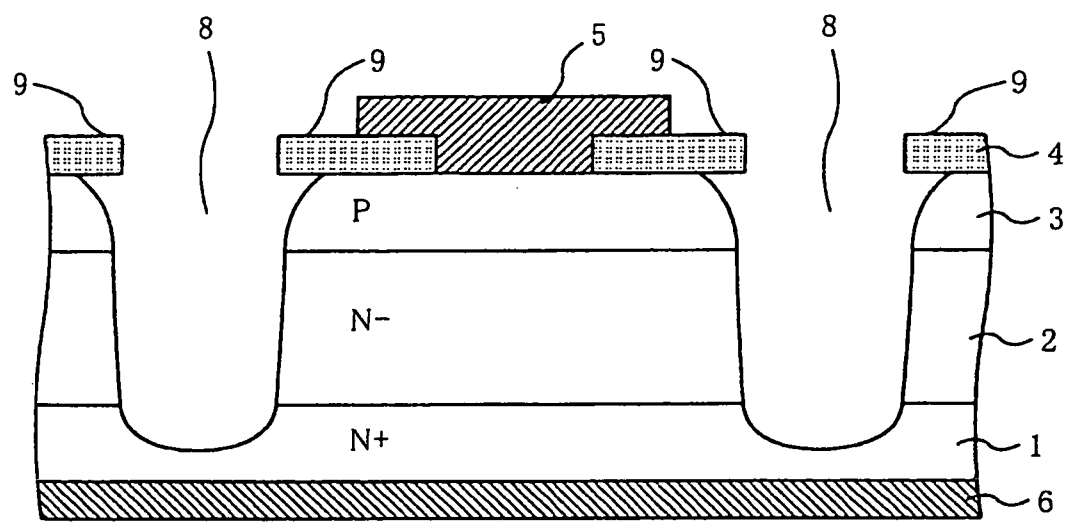
第 2 圖



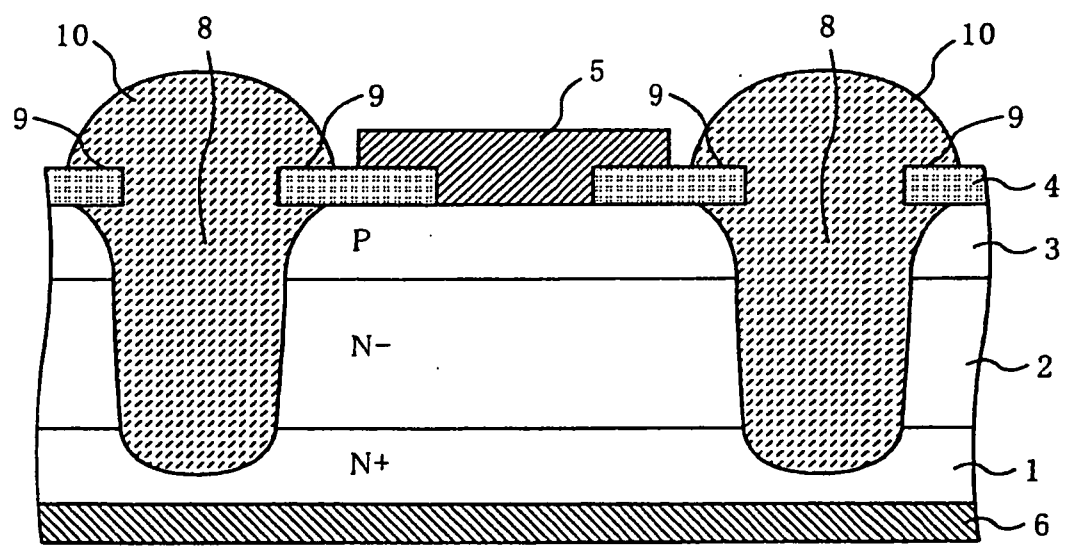
第 3 圖



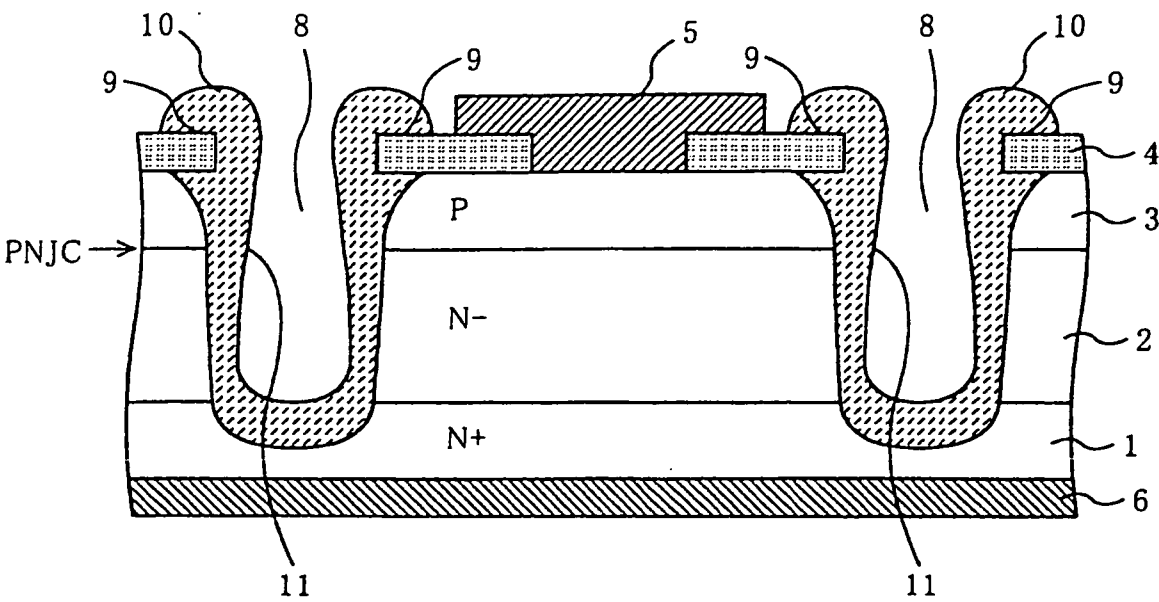
第 4 圖



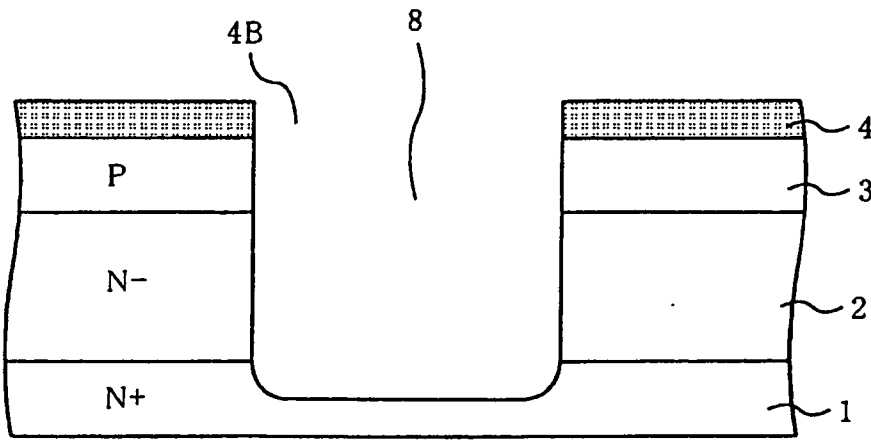
第 5 圖



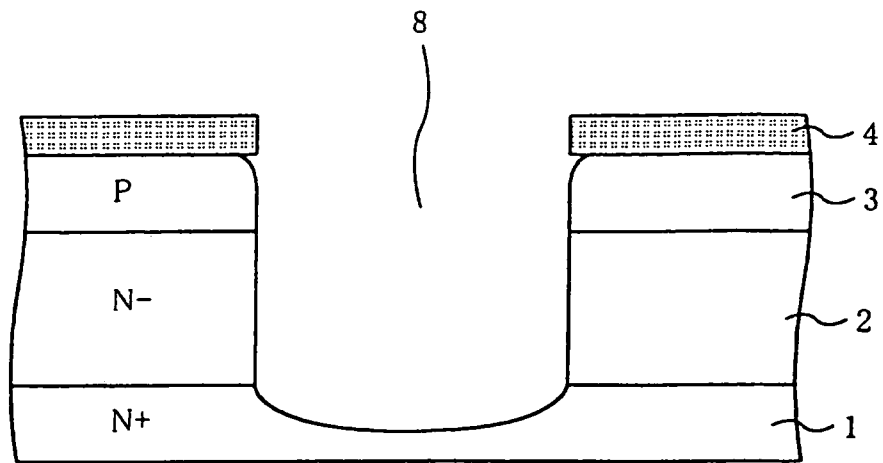
第 6 圖



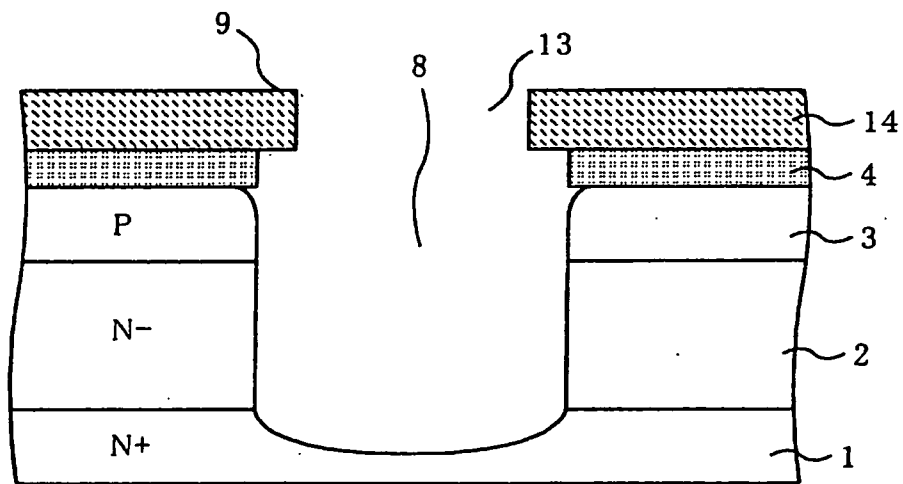
第 7 圖



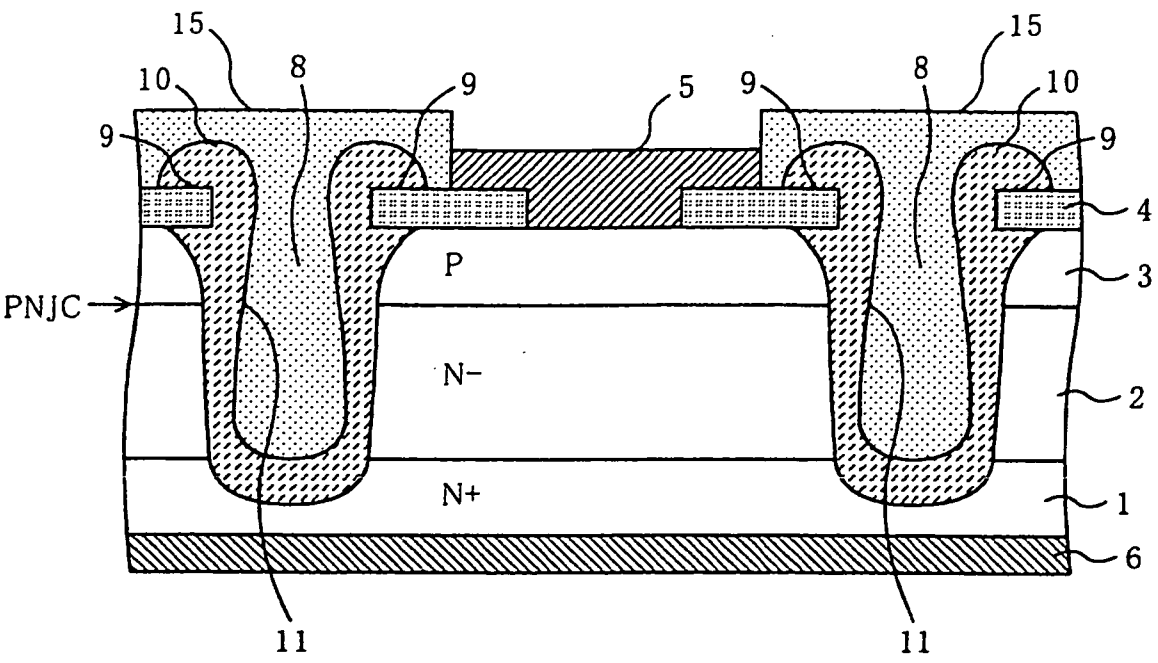
第 8 圖



第 9 圖

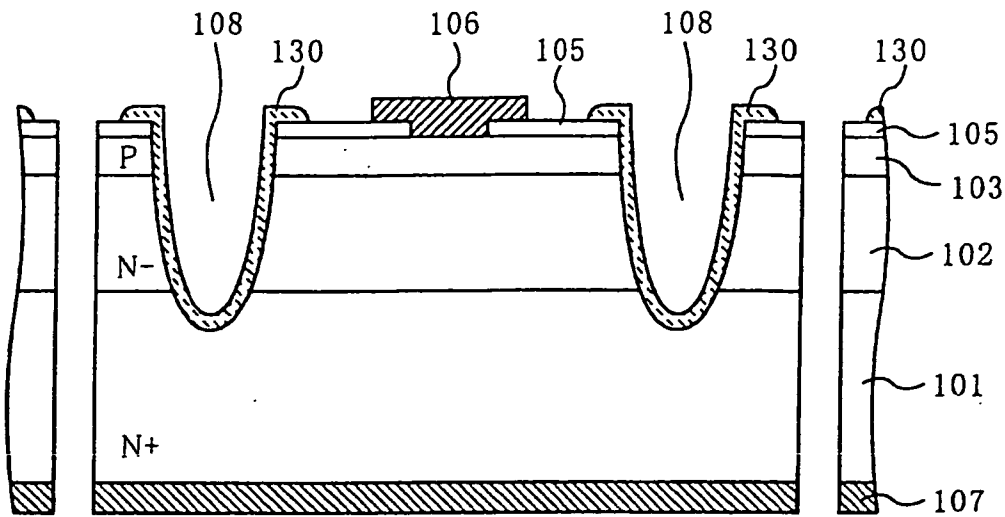


第 10 圖

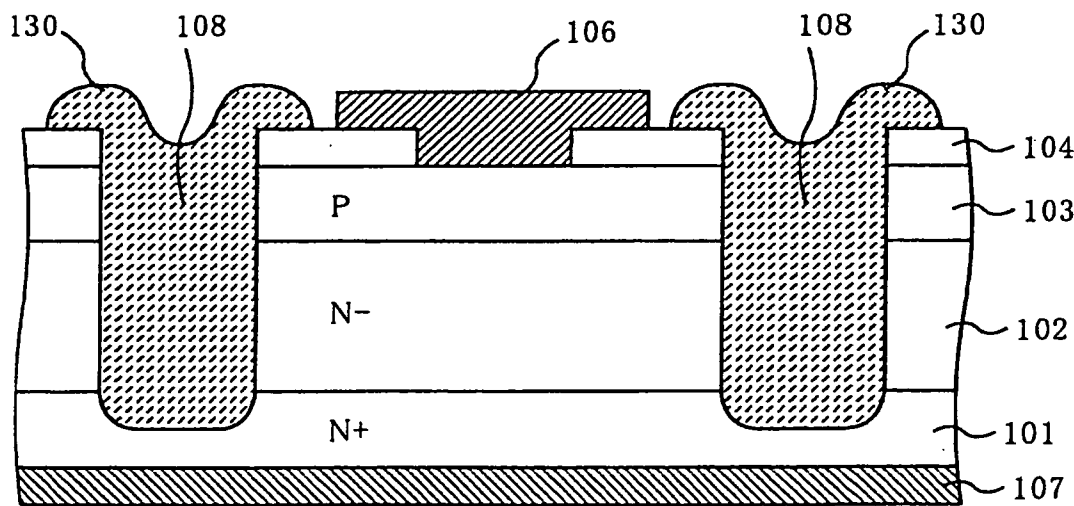


第 11 圖

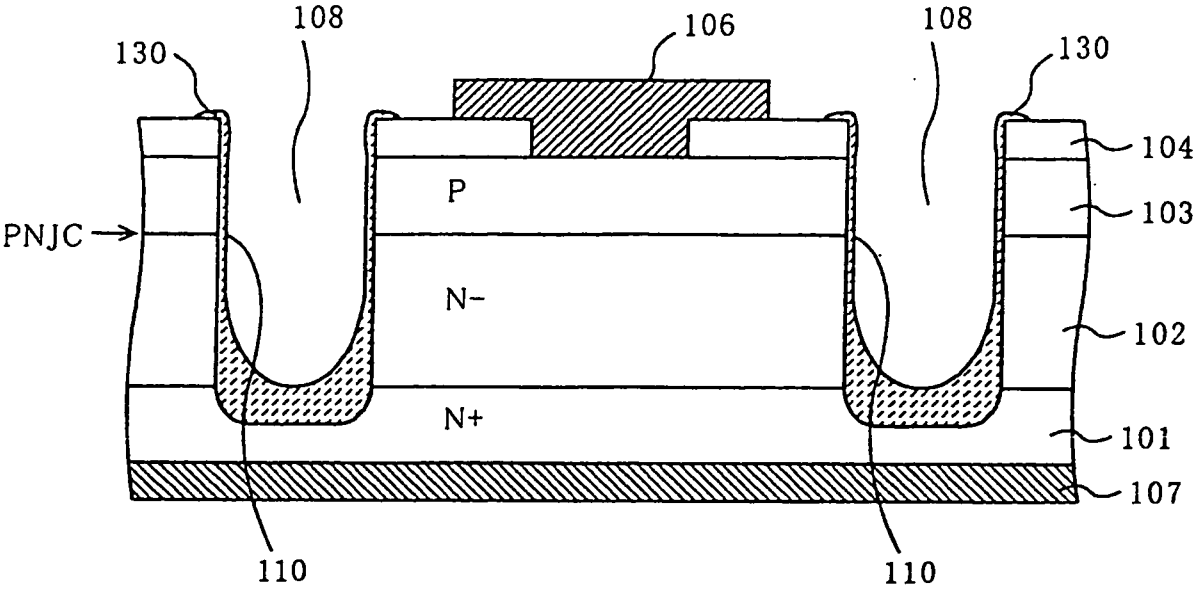




第 13 圖



第 14 圖



第 15 圖