



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

⑪ CH 655 212 A5

⑤① Int. Cl.4: H 04 J 3/06
H 04 L 7/06

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ PATENTSCHRIFT A5

⑳① Gesuchsnummer: 5060/81

⑳② Anmeldungsdatum: 06.08.1981

⑳③ Priorität(en): 12.08.1980 GB 8026258

⑳④ Patent erteilt: 27.03.1986

⑳⑤ Patentschrift veröffentlicht: 27.03.1986

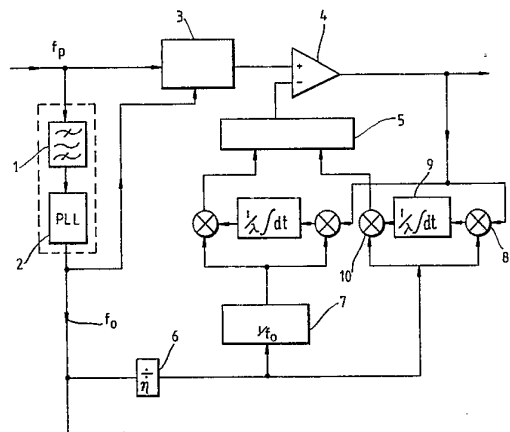
⑳⑦③ Inhaber:
International Standard Electric Corporation, New York/NY (US)

⑳⑦② Erfinder:
Fisher, David Anthony, Saffron Walden/Essex (GB)

⑳⑦④ Vertreter:
Dipl.-El.-Ing. Hans F. Bucher, Bern

⑤④ Schaltungsanordnung zur Entnahme des Taktsignales aus einem digitalen Übertragungssignal.

⑤⑦ Um bei einer PCM-Übertragungsanlage, bei welcher neben dem digitalen Signal ein Wechselstrom-Pilotsignal mit einer zur Bitfrequenz (f_0) proportionalen Frequenz (f_p) übertragen wird, das Pilotsignal aus dem digitalen Signal zu entfernen, wird eine Subtraktionsschaltung (4) vorgesehen, an deren einen Eingang das Ausgangssignal einer Abtasterschaltung (3) anliegt, das noch das Pilotsignal im Abtastzeitpunkt enthält, und an deren anderem Eingang ein vom Pilotsignal abgeleitetes Signal anliegt. Um dieses Signal zu erhalten, werden zwei adaptive Koeffizienten erzeugt, die in einer Summierschaltung (5) summiert werden.



PATENTANSPRÜCHE

1. Schaltungsanordnung zur Entnahme des Taktsignals aus einem digitalen Übertragungssignal in einer digitalen Übertragungsanlage, bei welcher das empfangene Digitalsignal von einem Pilotsignal begleitet ist, gekennzeichnet durch eine Abtast- und Halteschaltung (3), welche das Empfangssignal mit der übertragenen Bitrate oder einem Mehrfachen davon abtastet, durch eine Subtraktionsschaltung (4), deren einer Eingang mit dem Ausgang der Abtast- und Halteschaltung verbunden ist, durch ein auf die Frequenz des Pilotsignals abgestimmtes Filter (1) und eine diesem nachgeschaltete Phasenverriegelungsschleife (2), an deren Ausgang ein Taktsignal erscheint, dessen Frequenz ein geradzahliges Vielfaches der Frequenz des Pilotsignals ist, durch eine Anzahl von Koeffizienten-Generatoren (8-10), die je einen adaptiven Koeffizienten aus dem Taktsignal und aus dem digitalen Ausgangssignal ableiten, das am Ausgang der Subtraktionsschaltung erscheint, wobei das Taktsignal über Verzögerungsglieder (7) unterschiedlicher Verzögerung angelegt ist, und durch eine Summierschaltung (5), welche die Ausgangssignale der Koeffizienten-Generatoren summiert und deren Ausgang mit dem andern Eingang der Subtraktionsschaltung verbunden ist, das Ganze derart, dass am Ausgang der Subtraktionsschaltung ein digitales Ausgangssignal ohne das Pilotsignal erscheint.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass jeder der genannten Koeffizienten-Generatoren eine Multiplizierschaltung (8) aufweist, an welcher das digitale Ausgangssignal und das Taktsignal anliegen, welche Schaltung von einer Integrationsschaltung (9) gefolgt ist, welche ihrerseits von einer weiteren Multiplizierschaltung (10) gefolgt ist, an welcher als zweites Eingangssignal das Taktsignal anliegt.

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zur Entnahme des Taktsignals gemäss dem Oberbegriff des ersten Anspruchs.

Bei einer Übertragungsanlage für digitale Signale ist es erwünscht, dass beide Endpunkte der Anlage sowie allfällig dazwischenliegende Zwischenverstärker oder andere Knotenpunkte in Synchronismus gehalten werden. Um dies zu erreichen, ist es bekannt, an einer Empfangsstation das Taktsignal aus dem Eingangssignal zu entnehmen, wobei dies unter Verwendung eines Pilotsignals geschehen kann, das zusammen mit dem digitalen Signal übertragen wird. Es ist nun Aufgabe der vorliegenden Erfindung, eine verbesserte Schaltungsanordnung zur Entnahme des Taktsignals bei einer Anlage vorzusehen, bei welcher ein Pilotsignal übertragen wird.

Gelöst wird diese Aufgabe durch eine Schaltungsanordnung mit den im kennzeichnenden Teil des ersten Anspruchs genannten Merkmalen.

Ein Ausführungsbeispiel wird nun anhand der Zeichnung, welche ein stark vereinfachtes Blockschema einer Taktentnahmeschaltung zeigt, näher erläutert.

Bei der im Schema gezeigten Schaltungsanordnung sind die zu verarbeitenden digitalen Signale PCM-Signale, wobei es erwünscht ist, jedes Bit dieses Signals am oder nahe dem Mittelpunkt der Bits abzutasten. Diese Abtastung wird unter Steuerung eines Taktsignals durchgeführt, wobei das Taktsignal von den empfangenen Signalen abgeleitet ist. Zu diesem Zweck wird ein Pilotsignal f_p in Wechselstromform zusammen mit den digitalen Signalen übertragen und zwar entweder als In-Band-Signal oder als Ausserband-Signal. Die Frequenz des Pilotsignals f_p weist eine bestimmte Beziehung zur Bitrate des digitalen Signals auf.

Zur Entnahme des Taktsignals werden die ankommenden

Signale an Taktwiedergewinnungsschaltungen angelegt, welche ein schmalbandiges Filter 1 aufweisen, dessen Durchlassband auf die Frequenz des Pilotsignals zentriert ist, und weiter eine Phasenverriegelungsschleife 2. Die Schleife 2 wird über das Filter 1 angespeist und leitet vom Eingangssignal ein Taktsignal f_0 ab, dessen Frequenz eine vorbestimmte Beziehung zur Frequenz des Pilotsignals aufweist und das ein Rechtecksignal ist. Im beschriebenen Beispiel ist die Frequenz f_p ein Viertel der Frequenz f_0 .

Dieses Taktsignal wird an eine Abtast- und Halteschaltung 3 angelegt, und steuert diese so, dass sie jedes digitale Bit in seinem Mittelpunkt abtastet. Das Ausgangssignal der Schaltung 3 ist das Resultat des Abtastvorgangs der PCM-Bits, weist aber zusätzlich die Amplitude des Pilotsignals zu jedem Abtastzeitpunkt auf. Dieses kombinierte Signal wird an eine Subtraktionsschaltung 4 angelegt, welche ein Operationsverstärker sein kann. Ein vom Pilotsignal abgeleitetes Signal wird an den negativen Eingang der Schaltung 4 angelegt, so dass es von dem die Schaltung 4 erreichenden zusammengesetzten Signal subtrahiert wird. Daher ist das Ausgangssignal der Schaltung 4 das empfangene PCM-Signal ohne das bei den Abtastzeitpunkten vorhandene Pilotsignal.

Der Rest der Schaltung wird verwendet zur Erzeugung des vom zusammengesetzten Signal abzuziehenden Signals, wobei der Takt dieses Signals durch das Taktsignal festgelegt ist und dessen Amplitude in Übereinstimmung mit der Amplitude der PCM-Signale reguliert wird, wie sie am Ausgang der Subtraktionsschaltung 4 erscheinen.

Der Vorgang der Erzeugung des abzuziehenden Signals umschliesst die Erzeugung einer Anzahl von adaptiven Koeffizienten, welche dann vor dem Anlegen an den negativen Eingang der Schaltung 4 in einer Summierschaltung 5 summiert werden. Die Anzahl der benötigten Koeffizienten ist abhängig von der Beziehung zwischen der Frequenz f_p des Pilotsignals und der Taktfrequenz f_0 und ist gegeben durch

$$f_0/2f_p = n,$$

wobei n eine ganze Zahl ist.

Im vorliegenden Fall, in welchem die Frequenz f_p des Pilotsignals ein Viertel jener der Taktfrequenz f_0 ist, ist ersichtlich, dass zwei Koeffizienten notwendig sind.

Um diese Koeffizienten zu erzeugen, wird das Taktsignal f_0 an eine durch n teilende Schaltung 6 angelegt, wobei n im vorliegenden Fall gleich 2 ist, anschliessend gelangt das Taktsignal an zwei Koeffizienten-Generatoren, und zwar in einem Fall direkt und im anderen über eine Einheitsverzögerung 7, welche eine Verzögerung von $1:f_0$ erzeugt, d.h. eine Verzögerung um eine Einheit für die Taktfrequenz.

Die beiden Koeffizienten-Generatoren sind einander ähnlich, so dass sich die Erläuterung auf einen dieser Generatoren beschränken kann. Jeder dieser Generatoren weist eine erste Multiplizierschaltung 8 auf, an deren einem Eingang das PCM-Ausgangssignal anliegt, während an deren anderem Eingang das Ausgangssignal der Schaltung 6 anliegt, d.h. ein Signal mit der Frequenz $f_0/2$. Das Ausgangssignal dieser Multiplizierschaltung wird also sowohl vom Taktsignal als auch vom Ausgangs-PCM-Signal abgeleitet und wird an eine Integrationsschaltung 9 angelegt, welche ihr Eingangssignal mit einer Integrationskonstante $1/\lambda$ integriert, wobei λ der Verstärkungsgrad der Schleife ist. Es ist zu bemerken, dass diese Verstärkungsgrad-Konstante λ relativ hoch ist im Hinblick auf die gewünschte hohe Genauigkeit. Das integrierte Ausgangssignal wird an eine weitere Multiplikationsschaltung 10 angelegt, wo es mit der Frequenz $f_0/2$ kombiniert wird. Auf diese Art wird ein erster Koeffizient erzeugt, welcher an die Summierschaltung 5 angelegt wird.

Der andere Koeffizient wird in ähnlicher Weise erhalten, jedoch mit einer Verzögerung um eine Einheit, die durch die Verzögerungsschaltung 7 definiert ist. Das Ausgangssignal dieser Summierung wird im Abtastzeitpunkt des PCM-Signals vom Eingangssignal subtrahiert.

Bei der beschriebenen Schaltungsanordnung, wird die Abtastung zur Taktentnahme der empfangenen Bits durchgeführt und daher auch mit der übermittelten Bitrate. Sie könnte jedoch auch mit einer Rate durchgeführt werden, welche ein ⁵ ganzzahliges Vielfaches der übermittelten Bitrate ist.

