

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-183111

(P2014-183111A)

(43) 公開日 平成26年9月29日(2014.9.29)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 33/46 (2010.01)	H O 1 L 33/00 3 1 0	5 F 1 4 1
H O 1 L 33/38 (2010.01)	H O 1 L 33/00 2 1 0	

審査請求 未請求 請求項の数 12 O L (全 12 頁)

(21) 出願番号 特願2013-55444 (P2013-55444)
 (22) 出願日 平成25年3月18日 (2013.3.18)

(71) 出願人 000002303
 スタンレー電気株式会社
 東京都目黒区中目黒2丁目9番13号
 (74) 代理人 100091340
 弁理士 高橋 敬四郎
 (74) 代理人 100141302
 弁理士 鶴飼 伸一
 (72) 発明者 柴田 康之
 東京都目黒区中目黒2丁目9番13号 ス
 タンレー電気株式会社内
 Fターム(参考) 5F141 AA03 CA04 CA05 CA40 CA65
 CA74 CA92 CA93 CB04 CB36

(54) 【発明の名称】 半導体発光素子とその製造方法

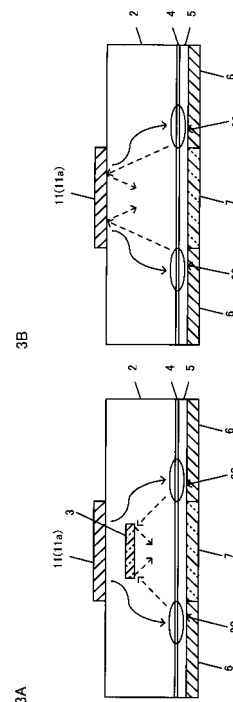
(57) 【要約】

【課題】 シンフィルム構造の半導体発光素子において光取り出し効率を向上させる新規な技術を提供する。

【解決手段】

半導体発光素子は、第1導電型を有する第1半導体層と、第1半導体層上に形成された活性層と、活性層上に形成され、第1導電型と反対の第2導電型を有する第2半導体層と、第2半導体層上方に配置され、第1の方向に延在する第2半導体層側電極と、第1半導体層下方に、第2半導体層側電極と対向し前記第1の方向に延在して配置され、絶縁材料で形成された絶縁層と、第1半導体層下方の、絶縁層の外側に配置された第1半導体層側電極と、第2半導体中に埋め込まれ、第2半導体層側電極と対向し第1の方向に延在して配置され、第2半導体層を形成する半導体材料よりも低屈折率の低屈折率層とを有し、低屈折率層は、活性層から発光された光を全反射させる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 導電型を有する第 1 半導体層と、
前記第 1 半導体層上に形成された活性層と、
前記活性層上に形成され、前記第 1 導電型と反対の第 2 導電型を有する第 2 半導体層と、
前記第 2 半導体層上方に配置され、第 1 の方向に延在する第 2 半導体層側電極と、
前記第 1 半導体層下方に、前記第 2 半導体層側電極と対向し前記第 1 の方向に延在して配置され、絶縁材料で形成された絶縁層と、
前記第 1 半導体層下方の、前記絶縁層の外側に配置された第 1 半導体層側電極と、
前記第 2 半導体中に埋め込まれ、前記第 2 半導体層側電極と対向し前記第 1 の方向に延在して配置され、前記第 2 半導体層を形成する半導体材料よりも低屈折率の低屈折率層とを有し、
前記低屈折率層は、前記活性層から発光された光を全反射させる半導体発光素子。

10

【請求項 2】

前記低屈折率層は、平面視上、前記第 2 半導体層側電極の幅以内に収まるように配置されている請求項 1 に記載の半導体発光素子。

【請求項 3】

前記第 2 半導体層は、GaN 系半導体で形成され、前記低屈折率層は、酸化シリコン部材を含む請求項 1 または 2 に記載の半導体発光素子。

20

【請求項 4】

前記低屈折率層は、空洞を含む請求項 1 または 2 に記載の半導体発光素子。

【請求項 5】

前記第 2 半導体層は、GaN 系半導体で形成され、前記低屈折率層は、酸化シリコンで形成された基部と、前記活性層に面する側で前記基部に形成され空洞を形成する凹部とを有する請求項 3 または 4 に記載の半導体発光素子。

【請求項 6】

前記第 2 半導体層側電極の前記第 1 の方向に延在する第 1 の縁及び第 2 の縁、
前記第 1 半導体層側電極の前記絶縁層に対する縁のうち前記第 1 の縁側に配置された縁の直上に配置された前記活性層の第 1 部分、及び、前記第 1 半導体層側電極の前記絶縁層に対する縁のうち前記第 2 の縁側に配置された縁の直上に配置された前記活性層の第 2 部分、
及び、前記活性層から発光され前記第 2 半導体層を通過して前記低屈折率層へ入射する光の臨界角を考えたとき、

30

前記第 1 の方向と直交する断面内で、前記活性層の表面の法線方向を角度の基準として、
前記活性層の第 1 部分から前記第 2 半導体層側電極の下面を臨む前記臨界角方向と、前記活性層の第 2 部分から前記第 1 の縁を臨む方向とが交差する第 1 位置と、
前記活性層の第 2 部分から前記第 2 半導体層側電極の下面を臨む前記臨界角方向と、前記活性層の第 1 部分から前記第 2 の縁を臨む方向とが交差する第 2 位置との間に、前記低屈折率層が配置されている請求項 1 または 2 に記載の半導体発光素子。

40

【請求項 7】

前記第 2 半導体層は、GaN 系半導体で形成され、前記第 1 の方向は、GaN の $< 1 - 100 >$ 方向と平行である請求項 1 ~ 6 のいずれか 1 項に記載の半導体発光素子。

【請求項 8】

第 1 導電型を有する第 1 半導体層と、
前記第 1 半導体層上に形成された活性層と、
前記活性層上に形成され、前記第 1 導電型と反対の第 2 導電型を有する第 2 半導体層と、
前記第 2 半導体層上方に配置され、第 1 の方向に延在する第 2 半導体層側電極と、

50

前記第 1 半導体層下方に、前記第 2 半導体層側電極と対向し前記第 1 の方向に延在して配置され、絶縁材料で形成された絶縁層と、

前記第 1 半導体層下方の、前記絶縁層の外側に配置された第 1 半導体層側電極と、

前記第 2 半導体中に埋め込まれ、前記第 2 半導体層側電極と対向し前記第 1 の方向に延在して配置され、前記第 2 半導体層を形成する半導体材料よりも低屈折率の低屈折率層とを有し、

前記低屈折率層は、前記活性層から発光された光を全反射させる半導体発光素子を製造する方法であって、

成長基板上方に、前記第 2 半導体層を形成する工程と、

前記低屈折率層を形成する工程と、

10

前記第 2 半導体層上に、前記活性層を形成する工程と、

前記活性層上に、前記第 1 半導体層を形成する工程と、

前記第 1 半導体層上方に、前記第 1 半導体層側電極及び前記絶縁層を形成する工程と、

前記第 1 半導体層側電極及び前記絶縁層の上方に、支持基板を貼り付け、前記成長基板を除去し、前記第 2 半導体層を露出させる工程と、

前記第 2 半導体層上方に、前記第 2 半導体層側電極を形成する工程とを有する半導体発光素子の製造方法。

【請求項 9】

前記第 2 半導体層を形成する工程、及び、前記低屈折率層を形成する工程は、

前記成長基板上方に、前記第 2 半導体層の一部である第 1 層を成長する工程と、

20

前記第 2 半導体層の第 1 層上に、前記低屈折率層を形成する工程と、

前記第 2 半導体層の第 1 層上に、前記低屈折率層を覆って、前記第 2 半導体層の他の部分である第 2 層を成長する工程と

を有する請求項 8 に記載の半導体発光素子の製造方法。

【請求項 10】

前記第 2 半導体層を形成する工程、及び、前記低屈折率層を形成する工程は、

前記成長基板上方に、前記第 2 半導体層の一部である第 1 層を成長する工程と、

前記第 2 半導体層の第 1 層上に、前記低屈折率層の型となる部材を形成する工程と、

前記第 2 半導体層の第 1 層上に、前記型となる部材の上面の一部を残すように覆って、

前記第 2 半導体層の他の部分である第 2 層を成長する工程と、

30

前記型となる部材を除去し空洞を形成して、前記空洞からなる前記低屈折率層を形成する工程と、

前記空洞の外側を埋め込むように、前記第 2 半導体層の第 2 層をさらに成長する工程とを有する請求項 8 に記載の半導体発光素子の製造方法。

【請求項 11】

前記第 2 半導体層を形成する工程、及び、前記低屈折率層を形成する工程は、

前記成長基板上方に、前記第 2 半導体層の一部である第 1 層を成長する工程と、

前記第 2 半導体層の第 1 層上に、第 1 部材を形成する工程と、

前記第 1 部材に凹部を形成して、前記第 1 部材に前記凹部が形成された基部と前記凹部とを含む前記低屈折率層を形成する工程と、

40

前記第 2 半導体層の第 1 層上に、前記低屈折率層を覆い、前記凹部に空洞が残るように、前記第 2 半導体層の他の部分である第 2 層を成長する工程と

を有する請求項 8 に記載の半導体発光素子の製造方法。

【請求項 12】

前記第 2 半導体層は、GaN 系半導体で形成され、前記第 1 の方向は、GaN の $< 1 - 100 >$ 方向と平行であり、

前記第 2 半導体層の第 2 層を、前記低屈折率層上で横方向成長させる請求項 9 ~ 11 のいずれか 1 項に記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、半導体発光素子とその製造方法に関する。

【 背景技術 】

【 0 0 0 2 】

発光ダイオード（ＬＥＤ）は、例えば、成長基板上にｎ型半導体層、活性層、及びｐ型半導体層等で構成される半導体多層膜を積層して形成される。成長基板が導電性の場合、成長基板および半導体表面に電極を形成する。成長基板が絶縁性の場合、反応性イオンエッチング等の手法を用いて半導体層の一部領域をｎ型半導体層が露出するまでエッチングし、ｎ型半導体層及びｐ型半導体層それぞれに電極を形成する構造をとる。

【 0 0 0 3 】

成長基板の選択は、形成される半導体層の結晶品質に大きな影響を与える。また、基板の導電性、熱伝導性、光吸収係数は、光半導体素子の電気、熱、光学特性にも影響し、結晶性のよい半導体層ができる基板が必ずしも全ての特性を満足するものとは限らない。

【 0 0 0 4 】

上記の問題点から、半導体層を成長基板から剥離し発光に寄与する半導体層に直接電極を形成した、いわゆるシンフィルムＬＥＤまたはシンフィルムレーザーダイオード（ＬＤ）が提案されている（例えば特許文献１～３参照）。成長基板の除去により、電気、熱、光学特性が向上する。成長基板の除去は、一般的にはレーザーリフトオフを用いる。

【 0 0 0 5 】

シンフィルム構造において、ｎ側電極の直下の活性層部分が、電流が流れやすく一番強く発光する。しかし、ｎ側電極の直下で発光した光は、ｎ側電極が影になってしまい、効率よく外部に取り出すことができない。そこで、ｎ側電極の直下のｐ側電極部分を絶縁部材に替え、ｎ側電極直下の活性層からは発光しないようにすることで、光を効率よく外部に取り出すような構造が知られている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 国際公開第 9 8 / 1 4 9 8 6 号パンフレット

【 特許文献 2 】 特開 2 0 0 0 - 2 2 8 5 3 9 号公報

【 特許文献 3 】 特開 2 0 0 4 - 1 7 2 3 5 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明の一目的は、シンフィルム構造の半導体発光素子において光取り出し効率を向上させる新規な技術を提供することである。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一観点によれば、

第 1 導電型を有する第 1 半導体層と、

前記第 1 半導体層上に形成された活性層と、

前記活性層上に形成され、前記第 1 導電型と反対の第 2 導電型を有する第 2 半導体層と

、前記第 2 半導体層上方に配置され、第 1 の方向に延在する第 2 半導体層側電極と、

前記第 1 半導体層下方に、前記第 2 半導体層側電極と対向し前記第 1 の方向に延在して配置され、絶縁材料で形成された絶縁層と、

前記第 1 半導体層下方の、前記絶縁層の外側に配置された第 1 半導体層側電極と、

前記第 2 半導体中に埋め込まれ、前記第 2 半導体層側電極と対向し前記第 1 の方向に延在して配置され、前記第 2 半導体層を形成する半導体材料よりも低屈折率の低屈折率層とを有し、

前記低屈折率層は、前記活性層から発光された光を全反射させる半導体発光素子

10

20

30

40

50

が提供される。

【発明の効果】

【0009】

活性層から発光された光を低屈折率層が全反射させることにより、第2半導体層側電極での反射に起因する反射ロスの低減が図られる。

【図面の簡単な説明】

【0010】

【図1-1】図1A～図1Fは、第1実施例による半導体発光素子の製造工程を示す概略断面図である。

【図1-2】図1G～図1Jは、第1実施例による半導体発光素子の製造工程を示す概略断面図である。

【図2】図2は、第1実施例による半導体発光素子の概略形状を示す平面図である。

【図3】図3A及び図3Bは、それぞれ、第1実施例及び比較例による半導体発光素子の概略断面図である。

【図4】図4A～図4Cは、第2実施例による半導体発光素子の低屈折率層の形成方法を示す概略断面図である。

【図5】図5A及び図5Bは、第3実施例による半導体発光素子の低屈折率層の形成方法を示す概略断面図である。

【図6】図6A及び図6Bは、実施例による半導体発光素子の低屈折率層の配置例を示す概略断面図である。

【発明を実施するための形態】

【0011】

図1A～図1Jを参照して、本発明の第1実施例による半導体発光素子の製造方法について説明する。図1A～図1Jは、第1実施例による半導体発光素子の製造工程を示す概略断面図である。本実施例では、Ga_{0.5}N_{0.5}系半導体発光素子を形成する。ここで、Ga_{0.5}N_{0.5}系半導体は、少なくともGa及びNを含む。半導体層の成長方法として、例えば有機金属化学気相堆積(MOCVD)を用いることができる。

【0012】

図1Aを参照する。成長基板であるサファイア基板1上に、低温バッファ層と、例えば厚さ1.6μm程度のn型Ga_{0.5}N_{0.5}層2aを成長させる。

【0013】

図1Bを参照する。n型Ga_{0.5}N_{0.5}層2a上に、例えば、スパッタリング及びリフトオフにより、厚さ200nm～300nmのSiO₂(酸化シリコン)で、低屈折率層3を形成する。

【0014】

図1Cを参照する。n型Ga_{0.5}N_{0.5}層2a上に、低屈折率層3を覆うように、n型Ga_{0.5}N_{0.5}層2bを例えば厚さ4.4μm程度成長させる。n型Ga_{0.5}N_{0.5}層2a及び2bをまとめて、n型半導体層2と呼ぶ。

【0015】

n型半導体層2上に、例えば、多重量子井戸構造の活性層4を形成する。活性層4は、例えば、厚さ3.5nmのInGa_{0.5}N_{0.5}井戸層と厚さ5.4nmのGa_{0.5}N_{0.5}障壁層を9ペア積層して総厚80nm程度に形成される。活性層4上に、p型AlGa_{0.5}N_{0.5}層を例えば厚さ15nm、p型Ga_{0.5}N_{0.5}層を例えば厚さ100nm積層する。p型AlGa_{0.5}N_{0.5}層及びp型Ga_{0.5}N_{0.5}層をまとめて、p型半導体層5と呼ぶ。

【0016】

n型半導体層2中に埋め込まれる低屈折率層3は、活性層4から発光される光に対し、n型半導体層2よりも低屈折率を示す材料で形成される。n型半導体層2中における低屈折率層3の配置高さは、n型Ga_{0.5}N_{0.5}層2a及び2bの各々の膜厚を調整することで制御することができる。低屈折率層3の好ましい幅や配置高さについては、後述する。

【0017】

10

20

30

40

50

図 1 D を参照する。N₂ 雰囲気、700℃、1 分の熱処理により p 型半導体層 5 の活性化を行う。その後、例えば、インジウムスズ酸化物 (ITO) を厚さ 17 nm 成膜し、レジストマスクを用いたエッチングでパターニングして、p 側電極層 6 を形成する。

【0018】

図 1 E を参照する。スパッタリング、及び、p 側電極層 6 のパターニングに用いたレジストマスクを利用したリフトオフにより、p 側電極層 6 と等しい厚さの SiO₂ で、絶縁層 7 を形成する。

【0019】

図 1 F を参照する。p 側電極層 6 及び絶縁層 7 上に、例えば、スパッタリング及びリフトオフにより、厚さ 200 nm の Ag で、反射層 8 を形成する。

10

【0020】

図 1 G を参照する。反射層 8 の上面及び側面を覆って、Ag の拡散防止層及び接合層となる拡散防止 / 接合層 9 を形成する。拡散防止 / 接合層 9 は、例えば、スパッタリング及びリフトオフにより、Ti 層 (厚さ 100 nm)、Pt 層 (厚さ 200 nm)、及び Au 層 (厚さ 200 nm) の積層で形成される。

【0021】

図 1 H を参照する。素子間のストリートとなる部分の半導体層 5、4、及び 2 を、例えば、塩素系ガスを用いた反応性イオンエッチング (RIE) により除去して、成長基板 1 を露出させる。

【0022】

20

図 1 I を参照する。なお、図 1 I 及び図 1 J は、図 1 A ~ 図 1 H と図示の上下方向が反転している。支持基板として、AuSn 層が例えば厚さ 1 µm 形成された Si 基板 10 を準備し、Si 基板 10 の AuSn 層と、拡散防止 / 接合層 9 とを、共晶接合により接着する。その後、レーザーリフトオフ (LLO) により、成長基板としたサファイア基板 1 を除去し、n 型 GaN 層 2 a を露出させる。

【0023】

図 1 J を参照する。露出した n 型 GaN 層 2 a の上に、n 側電極層 11 を形成する。n 側電極層 11 は、例えば、Ti 層 (厚さ 1 nm) 及び Al 層 (厚さ 200 nm) の積層や、Ti 層 (厚さ 100 nm)、Pt 層 (厚さ 200 nm)、及び Au 層 (厚さ 1000 nm) の積層で形成され、成膜及びパターニング方法として、例えば電子ビーム (EB) 蒸着及びリフトオフが用いられる。

30

【0024】

その後、ストリート部分で支持基板 1 を切断して、個々の半導体発光素子を分離する。このようにして、第 1 実施例による半導体発光素子が形成される。

【0025】

図 2 は、第 1 実施例による半導体発光素子の概略形状を示す平面図である。図 2 は断面構造としては図 1 J に対応し、同時に図 1 J も参照する。半導体発光素子は、例えば、1 mm 角の正方形形状である。n 側電極層 11 を破線で示す。n 側電極層 11 は、GaN の <1-100> 方向 (図 2 の左右方向) に延在する部分 11 a が、その直交方向 (図 2 の上下方向) に延在する部分 11 b で接続された形状を有する。延在部分 11 a は、例えば、幅 10 µm、長さ 750 µm である。

40

【0026】

図 1 J は、延在部分 11 a の長さ方向と直交する断面図である。絶縁層 7 は、n 側電極層の延在部分 11 a に対向して、延在部分 11 a と等しい幅 (例えば 10 µm) に形成されており、平面視上、n 側電極層の延在部分 11 a の縁と絶縁層 7 の縁とが一致している。p 側電極層 6 は、絶縁層 7 の外側に配置されている。

【0027】

低屈折率層 3 は、n 側電極層の延在部分 11 a に対向して、延在部分 11 a と絶縁層 7 との間に配置されている。低屈折率層 3 の幅は、延在部分 11 a の幅以下であることが望ましい。つまり、低屈折率層 3 は、平面視上、延在部分 11 a の幅以内に収まっているこ

50

とが好ましい。

【0028】

図1B及び図1Cを参照して説明したように、n型GaN層2a上に、低屈折率層3が形成され、低屈折率層3を覆うように、n型GaN層2bを成長させる。n型GaN層2bは、低屈折率層3の上面上で、横方向成長させる。

【0029】

低屈折率層3は、n側電極層のGaN<1-100>方向に延在する部分11aに沿って形成され、<1-100>方向が長さ方向で長く、<1-100>方向の直交方向が幅方向で狭い。また、GaNは、<1-100>方向の直交方向に横方向成長しやすい。このような配置により、低屈折率層3を埋め込んでn型GaN層2bを成長させることが容易になる。n型GaN層2bの成長方向を、図2に矢印で示す。なお、n型GaN層2bの成長条件は、例えば、成長圧力700torr、TMG45μmol/min、NH₃5.5L/min、1220℃である。

10

【0030】

次に、図3A及び図3Bを参照して、低屈折率層3の機能について説明する。図3A及び図3Bは、それぞれ、第1実施例及び比較例による半導体発光素子の概略断面図である。図3Bに示す比較例は、図3Aに示す第1実施例から低屈折率層3を省略している。

【0031】

まず、比較例について説明する(図3B参照)。n側電極層11(11a)の直下は、絶縁層7が配置されており、絶縁層7の外側に、p側電極層6が配置されている。n側電極層11の直下にp側電極層6が配置されていると、この直下の部分に最も電流が強く流れて、最も強い発光が生じる。しかし、この直下の部分からの発光は、n側電極層11に遮蔽されやすい。そこで、この直下の部分は絶縁層7を配置し、絶縁層7の外側にp側電極層6を配置することにより、n側電極層11による遮光を抑制することができる。

20

【0032】

このような絶縁層7を配置した場合は、p側電極層6の絶縁層7に対する縁の近傍20で最も電流が強く流れて、最も強い発光が生じる。電流の概略的な流れを実線の矢印で示す。最も強い発光を生じる活性層部分を楕円で囲んで示す。

【0033】

縁の近傍20で発光した光の一部は、n側電極層11の下面で反射され、その後、p側電極層6下方に形成された反射層8での反射等の経路を経て素子外に取り出される。n側電極層11として例えばTi/Alを用いた場合、反射率は約90%である。

30

【0034】

次に、第1実施例について説明する(図3A参照)。第1実施例では、n側電極層11直下の半導体層2中に低屈折率層3が配置されている。縁の近傍20で発光して、低屈折率層3の下面に臨界角以上の角度で入射した光は、全反射され、その後、p側電極層6下方に形成された反射層8での反射等の経路を経て素子外に取り出される。第1実施例では、低屈折率層3での全反射により、比較例のようなn側電極層11での反射ロスが抑制されて、光取り出し効率向上を図ることができる。

【0035】

次に、第2実施例及び第3実施例による半導体発光素子について説明する。第2実施例及び第3実施例は、低屈折率層の構造が、第1実施例と異なる。まず、第2実施例について説明する。図4A~図4Cは、第2実施例による半導体発光素子の低屈折率層の形成方法を示す概略断面図である。図1Bを参照して説明した工程、つまり、n型GaN層2a上にSiO₂層3を形成する工程までは、第1実施例と同様である。

40

【0036】

図4Aを参照する。n型GaN層2a上にSiO₂層3を覆って、n型GaN層2bを成長させる。SiO₂層3の上面が一部覆われ、全部は覆われていない状態で、n型GaN層2bの成長を中断し、基板を成長装置から取り出す。n型GaN層2bの成長方向を矢印で示す。

50

【0037】

図4Bを参照する。例えばHFを用いたエッチングにより SiO_2 層3を除去し、 SiO_2 層3が形成されていた部分に空洞3Aを形成する。このように、第2実施例の SiO_2 層3は、空洞3Aを形成するための型となる部材として利用される。

【0038】

図4Cを参照する。n型GaN層2bの成長を再開して、空洞3Aの外側を完全に埋め込む。このようにして、空洞(気体層)による低屈折率層3Aを形成することができる。その後、第1実施例と同様にして、活性層4及びp型半導体層5の形成以後の工程が実施される。このようにして、第2実施例による半導体発光素子が形成される。

【0039】

次に、第3実施例について説明する。図5A及び図5Bは、第3実施例による半導体発光素子の低屈折率層の形成方法を示す概略断面図である。図1Bを参照して説明した工程、つまり、n型GaN層2a上に SiO_2 層3を形成する工程までは、第1実施例と同様である。

【0040】

図5Aを参照する。 SiO_2 層3上面の縁部を覆い内部を露出するようなレジストパターンRPを形成する。覆われる縁部の幅は、例えば $1\mu\text{m}$ 程度である。レジストパターンRPをマスクとし、例えば CHF_3 を用いて SiO_2 層3をドライエッチングして、基部3bsの上面内部に凹部3ccが形成された構造3Bを形成する。その後、レジストパターンRPを除去する。

【0041】

図5Bを参照する。構造3Bを覆って、n型GaN層2a上に、n型GaN層2bを成長する。n型GaN層2bは基部3bsの縁部上で横方向成長して、凹部3ccは埋め込まれずに残る。このようにして、 SiO_2 で形成された基部3bsと、空洞を形成する凹部3ccとを有する構造の低屈折率層3Bを形成することができる。その後、第1実施例と同様にして、活性層4及びp型半導体層5の形成以後の工程が実施される。このようにして、第3実施例による半導体発光素子が形成される。

【0042】

以上説明したように、低屈折率層3で全反射を生じさせることにより、n側電極層11の反射口スを抑制することができる。さらに、以下に考察するように、低屈折率層3の配置高さや幅を工夫することにより、より光取り出し効率向上を図ることができる。

【0043】

図6A及び図6Bは、実施例による半導体発光素子の低屈折率層の配置例を示す概略断面図である。図6A及び図6Bは、それぞれ、低屈折率層3が SiO_2 、空洞で形成されている第1実施例及び第2実施例に対応する。

【0044】

GaNで形成された半導体層2を通して、 SiO_2 で形成された低屈折率層3へ入射する光の臨界角は 37.4° であり、空洞で形成された低屈折率層3へ入射する光の臨界角は 23.9° である。p側電極層6及び絶縁層7の上面、活性層4の上面、低屈折率層3の下面(反射界面)、n側電極層11aの下面は平行に配置されている。活性層4の表面の法線方向(あるいは、p側電極層6、絶縁層7、低屈折率層3、n側電極層11の表面の法線方向)を、角度の基準とする。

【0045】

n側電極層11aの縁E1、E2の直下に、p側電極層6の絶縁層7に対する縁が配置され、これらの縁の直上に活性層部分A1、A2が配置されている。活性層部分A1、A2から発光された光の経路について考える。

【0046】

活性層部分A1からn側電極層11aの下面を臨む臨界角方向を方向D1とし、活性層部分A1からn側電極層11aの遠い方の縁E2を臨む方向を方向D2とし、活性層部分A2からn側電極層11aの下面を臨む臨界角方向を方向D3とし、活性層部分A2から

10

20

30

40

50

n 側電極層 1 1 a の遠い方の縁 E 1 を臨む方向を方向 D 4 とする。

【 0 0 4 7 】

活性層部分 A 1 から臨界角以上の角度で低屈折率層 3 に入射する光は、全反射される。従って、活性層部分 A 1 から臨界角以上の方向に臨む領域に、低屈折率層 3 が配置されていることが望ましい。一方、活性層部分 A 1 から n 側電極層 1 1 a の遠い方の縁 E 2 を臨む角度以上の角度で出射した光は、もともと n 側電極層 1 1 a で遮蔽されることなく素子外に取り出される。したがって、活性層部分 A 1 から n 側電極層 1 1 a の遠い方の縁 E 2 を臨む角度以上の領域には、低屈折率層 3 を配置しない方がよい。つまり、方向 D 1 と方向 D 2 との間の領域に、低屈折率層 3 を配置することが好ましい。

【 0 0 4 8 】

活性層部分 A 2 から出射する光に対しても、活性層部分 A 1 に関する上記の考察が対称的に成り立ち、方向 D 3 と方向 D 4 との間の領域に、低屈折率層 3 を配置することが好ましい。従って、活性層部分 A 1 から臨む方向 D 1 と活性層部分 A 2 から臨む方向 D 4 とが交差する位置 P 1 と、活性層部分 A 2 から臨む方向 D 3 と活性層部分 A 1 から臨む方向 D 2 とが交差する位置 P 2 との間に、低屈折率層 3 の下面（反射界面）を配置することが好ましいといえる。

【 0 0 4 9 】

例えば、活性層 4 の上面と n 側電極層 1 1 a の下面との間の半導体層 2 の厚さを $6\ \mu\text{m}$ とし、n 側電極層 1 1 a の幅を $10\ \mu\text{m}$ とする。図 6 A に示す SiO_2 による低屈折率層 3 では臨界角は 37.4° であり、交差位置 P 1、P 2 の活性層 4 上面からの高さは（つまり低屈折率層 3 の下面の配置高さは）、 $4.11\ \mu\text{m}$ と見積もられる。また、交差位置 P 1、P 2 間の長さは（つまり低屈折率層 3 の幅は）、 $3.71\ \mu\text{m}$ と見積もられる。

【 0 0 5 0 】

図 6 B に示す空洞による低屈折率層 3 では臨界角は 23.9° であり、交差位置 P 1、P 2 の活性層 4 上面からの高さは（つまり低屈折率層 3 の下面の配置高さは）、 $4.74\ \mu\text{m}$ と見積もられる。また、交差位置 P 1、P 2 間の長さは（つまり低屈折率層 3 の幅は）、 $5.80\ \mu\text{m}$ と見積もられる。臨界角が小さい方が、臨界角未満で n 側電極層 1 1 a に当る光の割合を減少させることができる。

【 0 0 5 1 】

なお、上記の考察は低屈折率層 3 の配置の 1 つの考え方であり、低屈折率層 3 の下面を上記のような配置にすることが必須というわけではない。上記の考察は、低屈折率層 3 をより効果的に配置するための目安である。おおよその考え方として、交差位置 P 1、P 2 の間に、低屈折率層 3 が形成されていることが好ましいといえる。

【 0 0 5 2 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【符号の説明】

【 0 0 5 3 】

- 1 成長基板
- 2 a、2 b n 型 GaN 層
- 2 n 型半導体層
- 3、3 A、3 B 低屈折率層
- 3 b s 低屈折率層の基部
- 3 c c 低屈折率層の凹部
- 4 活性層
- 5 p 型半導体層
- 6 p 側電極層
- 7 絶縁層
- 8 反射層
- 9 拡散防止 / 接合層

10

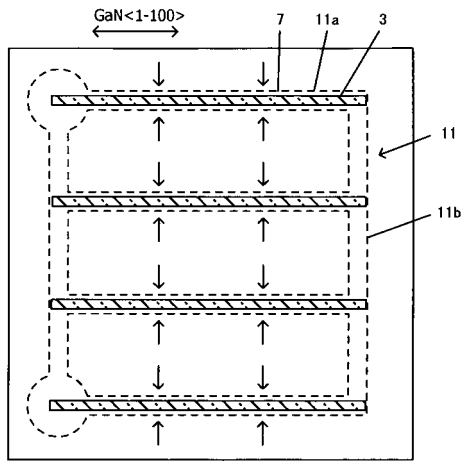
20

30

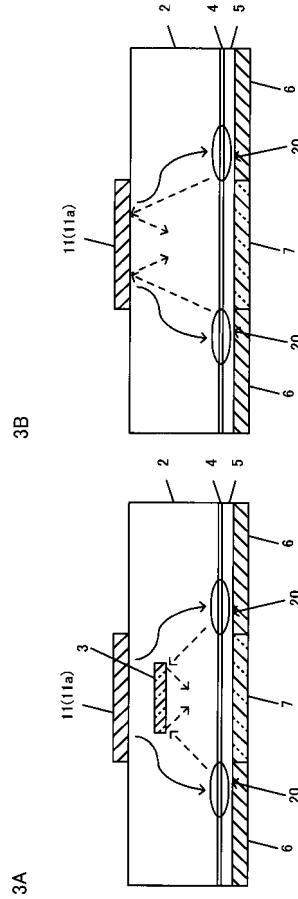
40

50

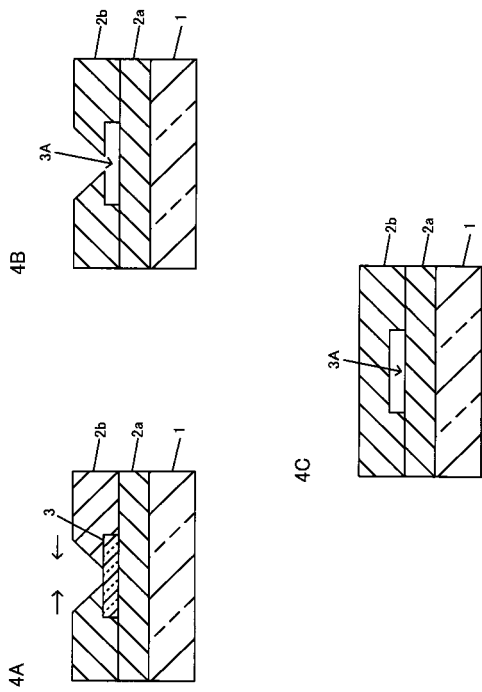
【図 2】



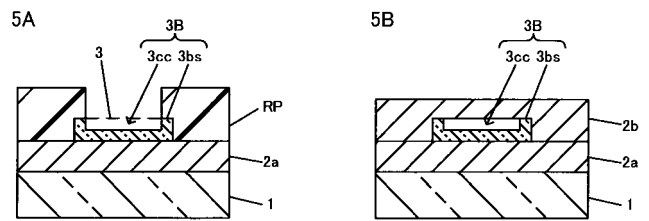
【図 3】



【図 4】



【図 5】



【図 6】

