



(12) 发明专利申请

(10) 申请公布号 CN 103942008 A

(43) 申请公布日 2014. 07. 23

(21) 申请号 201410018412. 8

(22) 申请日 2014. 01. 16

(30) 优先权数据

13/744, 519 2013. 01. 18 US

(71) 申请人 LSI 公司

地址 美国加利福尼亚

(72) 发明人 D · S · 费舍尔 D · R · 扎哈里斯

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 郭思宇

(51) Int. Cl.

G06F 3/06(2006. 01)

G06F 13/16(2006. 01)

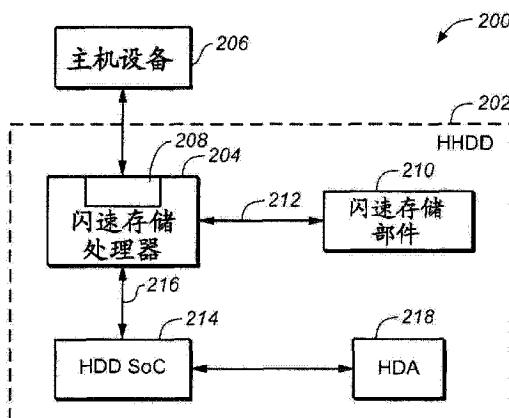
权利要求书2页 说明书6页 附图3页

(54) 发明名称

具有闪速存储处理器的混合式硬盘驱动器

(57) 摘要

本发明涉及具有闪速存储处理器的混合式硬盘驱动器。描述了被配置成控制混合式硬盘驱动器中的操作的设备。在实施方式中，该设备包括连接到被配置成通信耦合到闪速存储部件和硬盘集成电路芯片的主接口的混合式闪速存储处理器。该集成电路芯片包括被配置成通信耦合到硬盘驱动组合件的读 / 写通道器件和可操作地耦合到读 / 写通道器件的硬盘驱动控制器。该硬盘驱动控制器被配置成操作读 / 写通道器件以存储和取回硬盘驱动组合件上的数据。闪速存储处理器被配置成当命令表示用于访问硬盘驱动组合件的指令时向集成电路芯片提供命令，并被配置成当该命令表示用于访问闪速存储部件的指令时访问闪速存储部件。



1. 一种设备，包括：

闪速存储处理器，被配置成通信耦合到闪速存储部件和集成电路芯片，该集成电路芯片包括：

读 / 写通道器件，被配置成通信耦合到硬盘驱动组合件；

硬盘驱动控制器，可操作地耦合到读 / 写通道器件，该硬盘驱动控制器被配置成操作读 / 写通道器件以存储和取回硬盘驱动组合件上的数据，

其中，所述闪速存储处理器被配置成当命令表示用于访问硬盘驱动组合件的指令时向集成电路芯片提供该命令，并被配置成当该命令表示用于访问闪速存储部件的指令时访问闪速存储部件。

2. 如权利要求 1 所述的设备，其中，所述闪速存储处理器被配置成当该命令表示用于访问硬盘驱动组合件的指令时促使集成电路芯片从掉电状态过渡至上电状态。

3. 如权利要求 1 所述的设备，其中，所述闪速存储处理器被配置成响应于 DEVSLP 信号而促使硬盘驱动组合件或闪速存储部件中的至少一个进入掉电状态。

4. 如权利要求 1 所述的设备，其中，所述闪速存储处理器被配置成通信耦合到主机设备，该主机设备被配置成向闪速存储处理器发布命令。

5. 如权利要求 4 所述的设备，其中，所述主机设备被配置成向闪速存储处理器发布至少基本上并发的命令，其中，所述至少基本上并发的命令中的至少一个表示用于访问硬盘驱动组合件的指令，并且所述至少基本上并发的命令中的至少另外一个表示用于访问闪速存储部件的指令。

6. 如权利要求 1 所述的设备，其中，所述闪速存储部件包括 NAND 闪速存储器单元阵列。

7. 如权利要求 1 所述的设备，其中，所述闪速存储处理器被配置成向集成电路芯片供应旋转媒体命令并且并行地处理闪速媒体命令。

8. 一种系统，包括：

主机设备，被配置成发布多个命令；

闪速存储处理器，被通信耦合到主机设备、闪速存储部件以及集成电路芯片，该集成电路芯片包括：

读 / 写通道器件，被通信耦合到硬盘驱动组合件；

硬盘驱动控制器，可操作地耦合到读 / 写通道器件，该硬盘驱动控制器被配置成操作读 / 写通道器件以存储和取回硬盘驱动组合件上的数据，

其中，所述闪速存储处理器被配置成当所述多个命令中的至少一个命令表示用于访问硬盘驱动组合件的指令时将所述多个命令中的所述至少一个命令提供给集成电路芯片，并被配置成当所述多个命令中的至少一个命令表示用于访问闪速存储部件的指令时访问闪速存储部件。

9. 如权利要求 8 所述的系统，其中，所述闪速存储处理器被配置成当该命令表示用于访问硬盘驱动组合件的指令时促使集成电路芯片从掉电状态过渡至上电状态。

10. 如权利要求 8 所述的系统，其中，所述多个命令中的所述至少一个命令表示用于存储数据的写指令或用于读取数据的读指令中的至少一个。

11. 如权利要求 8 所述的系统，其中，所述命令是至少基本上并发的命令，其中，所述至少基本上并发的命令中的至少一个表示用于访问硬盘驱动组合件的指令，并且所述至少基

本上并发的命令中的至少另外一个表示用于访问闪速存储部件的指令。

12. 如权利要求8所述的系统,其中,所述闪速存储处理器被配置成响应于DEVSLP信号而促使硬盘驱动组合件或闪速存储部件中的至少一个进入掉电状态。

13. 如权利要求8所述的系统,其中,所述闪速存储处理器经由串行ATA通信接口或外围部件快速互连通信接口中的至少一个被通信耦合到主机设备。

14. 如权利要求8所述的系统,其中,所述闪速存储处理器被配置成向集成电路芯片供应旋转媒体命令并且并行地处理闪速媒体命令。

15. 一种方法,包括:

在闪速存储处理器处接收用以访问多个存储部件中的至少一个存储部件的命令,所述多个存储部件包括至少一个闪速存储部件和至少一个硬盘驱动组合件;

基于该命令来确定所述多个存储部件中的哪个存储部件将被访问;

当该命令表示用以访问所述至少一个硬盘驱动组合件的指令时将该命令提供给集成电路芯片,该集成电路芯片包括被通信耦合到硬盘驱动组合件的读/写通道器件和可操作地耦合到读/写通道器件的硬盘驱动控制器,该硬盘驱动控制器被配置成操作读/写通道器件以存储并取回所述至少一个硬盘驱动组合件上的数据;以及

当该命令表示用以访问所述至少一个闪速存储部件的指令时,访问所述至少一个闪速存储部件。

16. 如权利要求15所述的方法,其中,接收命令还包括从主机设备接收至少基本上并发的命令,其中,所述基本上并发的命令中的至少一个表示用以访问所述至少一个闪速存储部件的指令且所述基本上并发的命令中的至少另外一个表示用以访问所述至少一个硬盘驱动组合件的指令。

17. 如权利要求15所述的方法,其中,所述至少一个闪速存储部件包括NAND闪速存储器单元阵列。

18. 如权利要求15所述的方法,还包括促使集成电路芯片从掉电状态过渡至上电状态。

19. 如权利要求15所述的方法,其中,所述命令表示用以存储数据的写操作或用于读取数据的读操作中的至少一个。

20. 如权利要求15所述的方法,其中,接收命令还包括在闪速存储处理器处接收用以访问多个存储部件中的至少一个存储部件的命令,所述多个存储部件包括至少一个闪速存储部件和至少一个硬盘驱动组合件,该命令从主机设备发布,该主机设备被通信耦合到闪速存储处理器。

具有闪速存储处理器的混合式硬盘驱动器

技术领域

[0001] 本发明针对一种硬盘驱动系统，并且更具体地涉及具有闪速存储处理器的混合式硬盘驱动器。

背景技术

[0002] 计算设备、诸如个人计算机、服务器、移动计算设备、联网设备等包括用于保持和提供数字数据的计算机存储部件。计算机存储部件的范围从当设备掉电时不保持数据的易失性存储部件到当设备掉电时保持设备的非易失性存储部件。易失性存储部件通常包括随机存取存储设备，诸如动态随机存取存储器(DRAM)，其由于设备的低等待时间特性而被使用。非易失性存储部件通常包括硬盘驱动器和闪速存储设备。这些类型的存储部件被用于长期持久性存储。

[0003] 图1图示出现有技术中的混合式硬盘驱动器(HHDD)系统100。如所示，系统100包括经由串行ATA(SATA)通信接口106通信耦合到主机设备104的芯片上硬盘驱动系统(芯片上硬盘驱动系统)102。芯片上硬盘驱动系统102还通信耦合到硬盘驱动组合件(HDA)108和NAND闪速存储器控制器110。NAND闪速存储器控制器110被通信耦合到NAND闪速存储部件112并被配置成控制NAND闪速部件112的操作。NAND闪速存储部件112包括布置在阵列配置内的多个NAND闪速存储器单元。在本实施方式中，芯片上硬盘驱动系统102通常包含闪速管理硬件和固件以及存储在其中的算法，以确定存储在闪速存储部件112中的数据。芯片上硬盘驱动系统102被要求在旋转磁性存储操作与闪速存储操作之间共享资源(例如，缓冲存储器、处理器、数据路径等)。另外，芯片器件上的混合式使能硬盘驱动系统、诸如图1中所示的芯片上硬盘驱动系统102不得不支持两个不同的相邻存储介质。因此，如果需要改变以支持不同的(磁)头和媒体或者如果对闪速存储部件进行改变，则可要求对芯片上的硬盘驱动系统的修改。图1中所示的硬盘驱动系统100可要求两个独立的芯片上硬盘驱动系统以服务于每个存储介质。

发明内容

[0004] 描述了被配置成控制混合式硬盘驱动器中的操作的设备。在一个或多个实施方式中，该设备包括被配置成通信耦合闪速存储部件且至集成电路芯片的闪速存储处理器。该集成电路芯片(例如，芯片上硬盘驱动系统)包括被配置成通信耦合到硬盘驱动组合件的读/写通道器件和可操作地耦合到读/写通道器件的硬盘驱动控制器。该硬盘驱动控制器被配置成可操作地操作读/写通道器件以存储和取回硬盘驱动组合件上的数据。闪速存储处理器被配置成当命令表示用于访问硬盘驱动组合件的指令时向集成电路芯片提供命令，并被配置成当该命令表示用于访问闪速存储部件的指令时访问闪速存储部件。

[0005] 提供本发明内容是为了以简化型式来介绍下面将在具体实施方式中进一步描述的概念的选择。本发明内容并不意图标识要求保护的主体的关键特征或本质特征，其也不意图被用作确定要求保护的主题的范围的辅助。

附图说明

- [0006] 参考附图来描述具体实施方式。相同的附图标记在本描述和附图中的不同情况下的使用可以指示类似或相同的项目。
- [0007] 图 1 是现有技术中的混合式硬盘驱动系统的框图。
- [0008] 图 2 是根据本公开的示例性实施方式的混合式硬盘驱动系统的框图。
- [0009] 图 3 是图示出根据本公开的示例性实施方式的示例性芯片部件上硬盘驱动系统、示例性闪速存储处理器以及示例性闪速存储部件的一部分的框图。
- [0010] 图 4 是根据本公开的用于控制混合式磁盘驱动系统、诸如图 2 中所示的混合式磁盘驱动系统的操作的方法图。

具体实施方式

[0011] 图 2 图示出包括根据本公开的混合式硬盘驱动器(HHDD)202 的系统 200。混合式硬盘驱动器 202 相比于系统 100 能够提供改善的读取性能,如在本文中更详细地描述的。如所示,混合式硬盘驱动器 202 包括经由通信接口 208 通信连接到主机设备 206 的闪速存储处理器 204(例如,混合式闪速存储处理器)。在实施例中,通信接口 208 是串行 ATA(SATA)通信接口。在另一实施例中,通信接口 208 是外围部件快速互连(PCIe)通信接口。如所示,闪速存储处理器 204 还经由通信接口 212 通信连接到闪速存储部件 210。在实施例中,通信接口 212 利用开放式 NAND 闪速接口(ONFI)协议在存储处理器 204 与闪速存储部件 210 之间进行通信。闪速存储处理器 204 还经由通信接口 216 通信连接到芯片上硬盘驱动系统(HDD SoC)214。芯片上硬盘驱动系统 214 包括集成电路芯片,其包括具有提供如在本文中更详细地描述并在图 3 中图示出的硬盘驱动控制功能的一个或多个集成电路器件。在实施例中,通信接口 216 包括 SATA 通信接口。可设想系统 200 能够利用具有固件修改且没有硬件修改的许多芯片上硬盘驱动系统实施例。因此,能够将芯片上硬盘驱动系统重新用于混合式或非混合式驱动器以提供体积和成本益处。另外,非混合式驱动器可以不负担混合式使能芯片上硬盘驱动系统,这降低成本。

[0012] 如在本文中更详细地描述的,闪速存储处理器 204 被配置成从主机设备 206 接收一个或多个命令并确定该命令是表示用于访问闪速存储部件 210 的命令还是该命令请求将数据存储到旋转磁性介质。当闪速存储处理器 204 确定命令并非指向闪速存储部件 210(例如,该命令并不促使闪速存储处理器 204 访问闪速存储部件 210)时,闪速存储处理器 204 被配置成将命令提供给芯片上硬盘驱动系统 214 以用于进一步处理。在另一实施例中,闪速存储处理器 204 被配置成管理系统 200 内的功率。例如,闪速存储处理器 204 被配置成促使芯片上硬盘驱动系统 214 在处理器 204 确定命令指向芯片上硬盘驱动系统 214 时从掉电状态(例如,芯片上硬盘驱动系统 214 掉电或处于能量保持状态)过渡至上电状态。在本公开的某些实施例中,当芯片上硬盘驱动系统 214 已未被访问达预定时间量(例如,由于主机设备 206 未发布指向芯片上硬盘驱动系统 214 的任何命令而掉电)时,芯片上硬盘驱动系统 214 处于掉电状态以保持系统 200 内的功率。在本公开的实施例中,利用闪速存储处理器 204 来充当桥接器以支持各种通信接口,诸如外围部件快速互连通信接口。因此,芯片上硬盘驱动系统 214 不要求附加修改以允许用于外围部件快速互连混合式硬盘驱动系统

的外围部件快速互连主机之间的通信。

[0013] 闪速存储处理器 204 被配置成当处理器 204 确定发布的命令表示访问存储部件 210 的请求时访问闪速存储部件 210 并执行由该命令定义的操作。例如，闪速存储处理器 204 被配置成当发布的命令是读命令(例如，读操作)时访问并取回存储在闪速存储部件 210 中的数据。在另一示例中，闪速存储处理器 204 被配置成当发布的命令是写命令(例如，写操作)时访问并向闪速存储部件 210 写入数据。

[0014] 图 3 图示出包括混合式硬盘驱动器 202 的特定实施例的系统 300。如图 3 中所示，闪速存储部件 210 包括存储器单元阵列 302，诸如非易失性存储器单元，布置成行和列(例如，每个存储器单元在位线与字线的交叉点处包括 NAND 器件，如下所述)。虽然主要参考 NAND 闪速存储器阵列描述了各种实施例，但各种实施方式不限于存储器阵列 302 的特定架构。

[0015] 如图 3 中所示，提供了行解码电路 304 和列解码电路 306 以对提供给存储器阵列的地址信号进行解码。地址信号被接收并解码以访问存储器阵列 302(例如，访问存储器单元的一个或多个块)。闪速存储处理器 204 被配置成管理命令、地址和数据到闪速存储部件 210 的输入以及数据从闪速存储部件 210 的输出。例如，闪速存储处理器 204 包括被通信连接到行解码电路 304 和列解码电路 306 以在解码之前将地址信号锁存的地址寄存器 308。闪速存储处理器 204 可操作地耦合到读 / 写通道器件 309(例如，与之通信)，其提供从闪速存储部件 204 接收到的数据信号的模数转换。

[0016] 读 / 写通道器件 309 被通信连接到采样保持电路 310。采样保持电路 310 被配置成将从读 / 写通道器件 309 接收到的数据锁存(例如，锁存输入或输出数据)在模拟电压水平。在本公开的某些实施例中，采样保持电路 310 包括电容器或其他模拟存储器件，以便对表示要写入存储器单元的数据的输入电压信号或指示从存储器单元感测的阈值电压的输出电压信号进行采样。采样保持电路 310 还可以提供采样电压的放大和 / 或缓冲以向外部设备提供更强的数据信号。

[0017] 在写操作期间，对存储器阵列 302 的目标存储器单元进行编程直到指示各存储器单元的电压 V_t 的水平与保持在采样保持电路 310 中的水平匹配为止。在实施例中，能够使用差分传感器件来实现写操作以将保持的电压水平与目标存储器单元的阈值电压相比较。例如，能够对目标存储器单元施加编程脉冲以增加存储器单元的阈值电压直到达到或超过期望值为止。在读操作期间，目标存储器单元的 V_t 的水平被传递至采样保持电路 310 以便直接地作为模拟信号或作为模拟信号的数字化表示而传输至处理器(取决于是否在存储器阵列外部或内部提供了模 - 数 / 数 - 模 [ADC/DAC] 功能)。

[0018] 可以以多种方式来确定存储器单元的阈值电压。例如，在目标存储器单元被激活的点对字线电压进行采样。在另一示例中，向目标存储器单元的第一源极 / 漏极侧施加升高电压，并将阈值电压取做目标存储器单元的控制栅极电压与目标存储器单元的其他源极 / 漏极侧处的电压之间的差。通过将电压连接到电容器，与电容器共享电荷以存储采样电压。应理解的是采样电压不需要等于阈值电压，而是指示该电压。在向存储器单元的第一源极 / 漏极侧施加升高电压并向存储器单元的控制栅极施加已知电压的情况下，可以将在存储器单元的第二源极 / 漏极侧处逐渐加强的电压取做数据信号，因为该逐渐加强的电压指示存储器单元的阈值电压。

[0019] 如图 2 和 3 中所示,芯片上硬盘驱动系统 214 被通信耦合到硬盘驱动组合件(HDA) 218。硬盘驱动组合件 218 包括涂有磁层(参见图 3)的一个或多个硬盘驱动盘片 309。硬盘驱动盘片 309 被配置成以磁数据的形式存储数据。更具体地,磁层存储表示二进制 1 和 2 的磁跃迁。如图 3 中所示,硬盘驱动组合件 218 还包括被配置成使硬盘驱动盘片 309(例如,在读和写操作期间)旋转的主轴电动机 311。如上所述,指向芯片上硬盘驱动系统 214 的命令被闪速存储处理器 204 提供给芯片上硬盘驱动系统 214(例如,指向芯片上硬盘驱动系统 214 的命令通过闪速存储处理器 204 至芯片上硬盘驱动系统 214)。因此,当命令指向系统 200 的芯片上硬盘驱动系统 214 部分(即,由主机设备 206 发布的命令)时,闪速存储处理器 204 充当通信接口 208 与通信接口 214 之间的桥接器。

[0020] 芯片上硬盘驱动系统 214 包括缓冲器 312,存储与芯片系统上硬盘驱动系统 214 的控制相关联的数据和 / 或缓冲数据以允许数据被作为较大数据块收集并发射以改善效率。缓冲器 312 采用动态随机存取存储器(DRAM)或其他类型的低等待时间存储器。在特定实施例中,缓冲器 312 采用针对旋转磁性应用被优化的双重数据速率(DDR)同步 DRAM。芯片上硬盘驱动系统 214 还包括处理器 314,其执行与芯片上硬盘驱动系统 214 的操作有关的处理,诸如主轴控制处理。

[0021] 芯片上硬盘驱动系统 214 还包括与存储处理器 204 通信的硬盘控制器(HDC)316。硬盘控制器 316 还与处理器 314、主轴 / 音圈电动机(VCM)驱动器 318 和 / 或读 / 写通道器件 320 通信。因此,处理器 314 被通信耦合到硬盘控制器 316 并被配置成从硬盘控制器 316 接收命令。在某些实施例中,硬盘控制器 316 被配置成操作读 / 写通道器件 320 以存储并取回硬盘驱动组合件 218 上的数据。基于接收到的命令(例如,从主机设备 206 接收到的命令),处理器 314 被配置成促使硬盘控制器 316 访问硬盘驱动组合件 218。读 / 写通道器件 320 提供从 / 向硬盘驱动组合件 218 接收 / 发射的数据信号的模数转换。主轴 / VCM 驱动器 318 被配置成控制主轴电动机 311,其使盘片 309 旋转至期望速度。主轴 / VCM 驱动器 318 还被配置成生成相对于盘片 309 对读 / 写臂 319 进行定位的控制信号。因此,处理器 314 能够促使硬盘控制器 316 命令主轴 / VCM 驱动器 318 向读 / 写臂 319 发布控制信号。一旦被定位,能够经由读 / 写通道器件 320 向硬盘驱动盘片 309 读或写数据。如所示,前置放大器 321 被通信耦合在磁盘盘片 309 与读 / 写通道器件 320 之间。在读操作期间,前置放大器 321 被配置成将从磁盘盘片 309 访问的微小模拟信号放大,读 / 写通道器件 320 将接收到的模拟信号解码并数字化以重新创建最初被写入磁盘盘片 309 的信息。前置放大器 321 被配置成将在写操作期间从读 / 写通道器件 320 提供给磁盘盘片 309 的数据放大。

[0022] 如图 3 中所示,主机设备 206 包括处理器 322 和存储器 324。如上所述,主机设备 206 被配置成向混合式硬盘驱动器 202 供应一个或多个命令。例如,主机设备 206 的处理器 322 被配置成引起到混合式硬盘驱动器 202 的写命令(即,写操作、写指令)的发布以及促使数据在写操作期间被存储到混合式硬盘驱动器 202。在另一示例中,主机设备 206 的处理器 322 被配置成引起读命令(即,读操作、读指令)到混合式硬盘驱动器 202 的发布。基于发布的命令的预定目的地,闪速存储处理器 204 被配置成访问闪速存储部件 210 并将发布的命令提供给芯片上硬盘驱动系统 214(例如,将发布的命令提供给硬盘控制器 316,使得硬盘控制器 316 能够按照发布的命令来访问硬盘驱动组合件 218)。另外,闪速存储处理器 204 被配置成管理系统 200 的芯片上硬盘驱动系统 214 部分的电源状态。例如,处理器 204 被配

置成促使芯片上硬盘驱动系统 214 (以及硬盘驱动组合件 218)当芯片上硬盘驱动系统 214 在预定时间量之后还未被访问时从上电状态过渡至掉电状态。在另一示例中,处理器 204 被配置成促使芯片上硬盘驱动系统 214 (以及硬盘驱动组合件 218)在处理器 204 确定命令指向芯片上硬盘驱动系统 214 时从掉电状态(例如,如果芯片上硬盘驱动系统 214 和 / 或硬盘驱动组合件 218 处于掉电状态的话)过渡至上电状态。

[0023] 可设想旋转磁性存储器部分(例如芯片上硬盘驱动系统 214)和混合式硬盘驱动器 202 的闪速存储器部分(例如,闪速存储部件 210)是相互独立的。因此,混合式硬盘驱动器 202 被配置成当芯片上硬盘驱动系统 214 在不被主机设备 206 访问时节省功率。另外,到闪速存储器部分和旋转磁性存储器部分的读和写命令由于本公开的独立配置而能够是同时发生操作(不具有共享硬件)。可设想相比于其他混合式硬盘驱动器配置,诸如如图 1 中所示的硬盘驱动配置能够改善本公开的读性能,由于与硬盘驱动组合件 218 相比具有较低读 / 写等待时间的闪速存储器部件 210。本公开的实施例中,系统 200 所利用的主机接口协议支持命令排队以允许处理器 204 在并行地服务于(例如,处理)闪速媒体请求的同时向芯片上硬盘驱动系统 214 提供旋转媒体请求(例如,命令)。在本公开的另一实施例中,系统 200 支持各种功率管理模式。例如,系统 200 被配置成支持串行 ATA 设备睡眠(DevSleep)功率管理模式。更具体地,闪速存储处理器 204 被配置成基于由主机设备 206 发布的掉电命令(例如,DEVSLEEP 信号)来控制系统 200 内的功率(例如,促使一个或多个存储介质进入掉电状态)。在本公开的另一示例中,系统 200 被配置成支持外围部件快速互连功率管理模式。

[0024] 图 4 描述了用于控制混合式硬盘驱动器的操作的示例性实施例中的方法 400。如所示,接收用以访问来自多个存储部件中的存储部件(例如,闪速存储部件、硬盘驱动组合件)的命令(方框 420)。如上文更详细地描述的,主机设备 206 被配置成向混合式硬盘驱动器 202 发布由闪速存储处理器 204(例如,混合式闪速存储处理器)接收到的命令。例如,主机设备 206 向系统 200 发布读命令或写命令。该命令表示指向闪速存储处理器 204 或指向芯片上硬盘驱动系统 214 以促使处理器 204 或芯片上硬盘驱动系统 214(例如,硬盘驱动控制器 316)访问各存储部件(例如,闪速存储部件 210 或硬盘驱动组合件 218)的一个或多个指令。例如,主机设备 206 发布读命令以访问存储在存储器阵列 302 中的数据或访问存储在硬盘驱动组合件 218 中的数据。在本示例中,读命令包括指定从其访问数据的存储部件和要访问的存储数据的位置的数据。在另一示例中,主机设备 206 被配置成发布写命令以向存储器阵列 302 中存储数据或将数据存储在硬盘驱动组合件 218 中。在本示例中,写命令包括指定要向其写入数据的存储部件、要向其存储(例如,写入)数据的各存储部件内的位置以及要存储在(例如,写在)指定存储部件内的数据。另外,如上所述,主机设备 206 被配置成发布与指向闪速存储部件 210 的至少一个命令和指向芯片上硬盘驱动系统 214 的至少一个其他命令至少基本上并发的命令。

[0025] 基于该命令来进行关于将访问哪个存储部件的确定(方框 404)。例如,闪速存储处理器 204 经由通信接口 208 来接收由主机设备 206 发布的命令。闪速存储处理器 204 被配置成基于发布的命令来确定要访问的存储部件。如上所述,该命令能够表示用于访问闪速存储部件 210 的读或写操作,或者该命令能够表示用于访问硬盘驱动组合件 218 的读或写操作。

[0026] 如图 4 中所示,当该命令表示用以访问硬盘驱动组合件的指令时,该命令被提供

给芯片上硬盘驱动系统(例如,集成电路芯片)(方框 406)。闪速存储处理器 204 被配置成当闪速存储处理器 204 确定该命令指向芯片上硬盘驱动系统 214 时将该命令提供给芯片上硬盘驱动系统 214。硬盘控制器 316 被配置成基于从闪速存储处理器 204 接收到的命令来访问硬盘驱动组合件 218。在某些实施方式中,如图 4 中所示,闪速存储处理器促使芯片上硬盘驱动系统从掉电状态过渡至上电状态(方框 408)。如上文更详细地描述的,闪速存储处理器 204 由于芯片上硬盘驱动系统 214 因芯片上硬盘驱动系统 214 不活动(例如,未向芯片上硬盘驱动系统 214 发布命令)达预定时间量而被掉电而促使(例如,发布从掉电状态过渡至上电状态的命令)芯片上硬盘驱动系统 214 在将该命令提供给芯片上硬盘驱动系统 214 之前从掉电状态过渡至上电状态。基于接收的命令来访问硬盘驱动组合件(方框 410)。硬盘控制器 316 被配置成访问硬盘驱动组合件 218 并促使基于发布的命令来执行操作。在某些实施例中,硬盘控制器 316 被配置成当命令表示写操作时促使数据被写入并存储到硬盘驱动组合件 218。在另一实施例中,硬盘控制器 316 被配置成当命令表示读操作时促使数据被从硬盘驱动组合件 218 读取。读取的数据然后被提供给主机设备 206。

[0027] 如图 4 中所示,当命令表示用于访问闪速存储部件时,访问闪速存储部件(方框 412)。闪速存储处理器 204 被配置成当命令表示用以访问闪速存储部件 210 时访问闪速存储部件 210。例如,闪速存储部件 204 被配置成促使数据被写入并存储到闪速存储部件 210,诸如 NAND 存储器阵列(即,存储器阵列 302)。在另一示例中,闪速存储处理器 204 被配置成当命令是读操作时促使数据被从闪速存储部件 210 读取。读取的数据然后被提供给主机设备 206。

[0028] 虽然已经用结构特征和 / 或过程操作所特定的语言描述了本主题,但应理解的是在所附权利要求中定义的主题不一定局限于上述特定特征或动作。相反,上述特定特征和动作是作为实现权利要求的示例性形式而公开的。

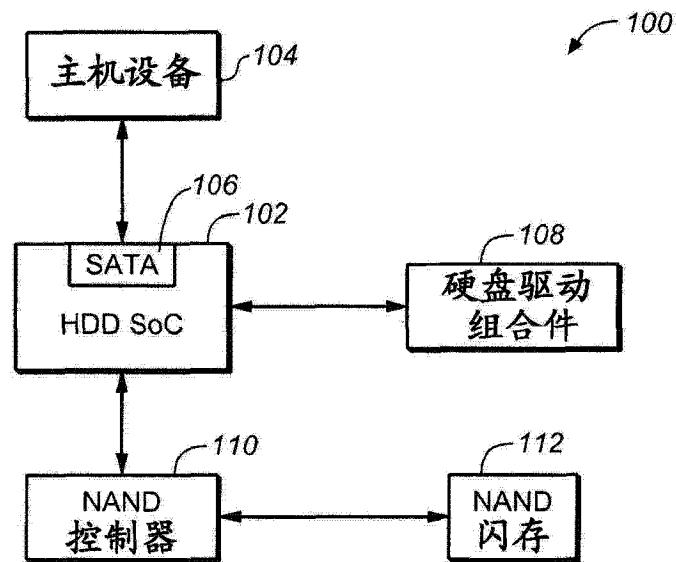


图 1

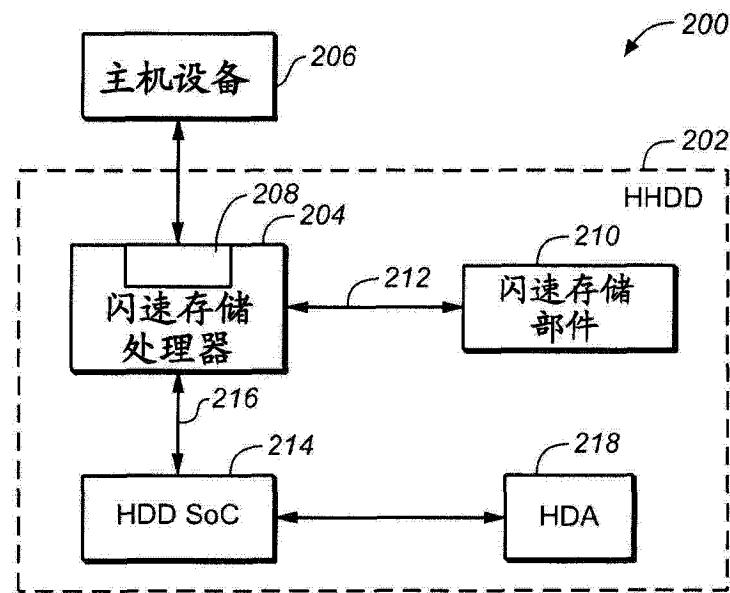


图 2

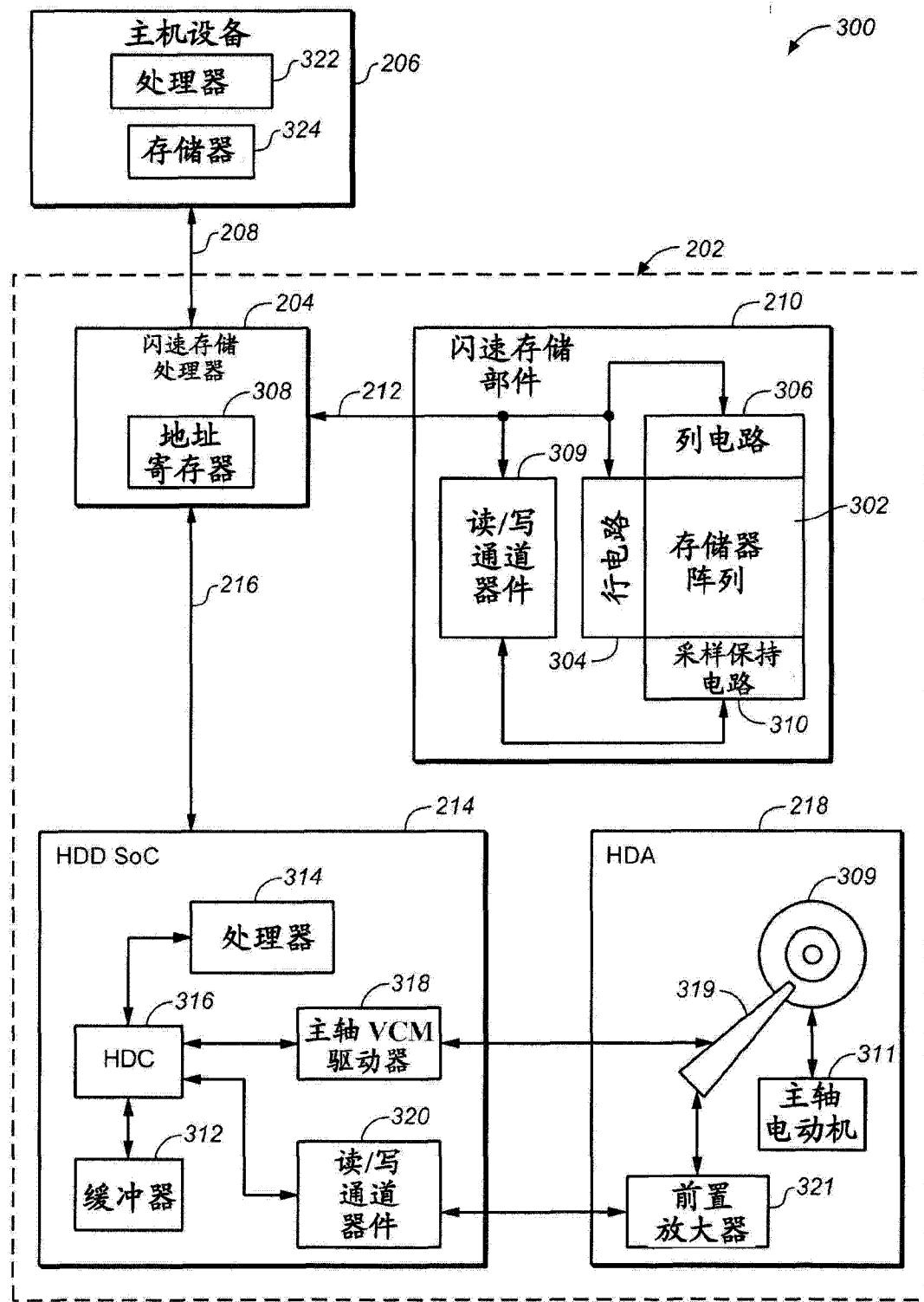


图 3

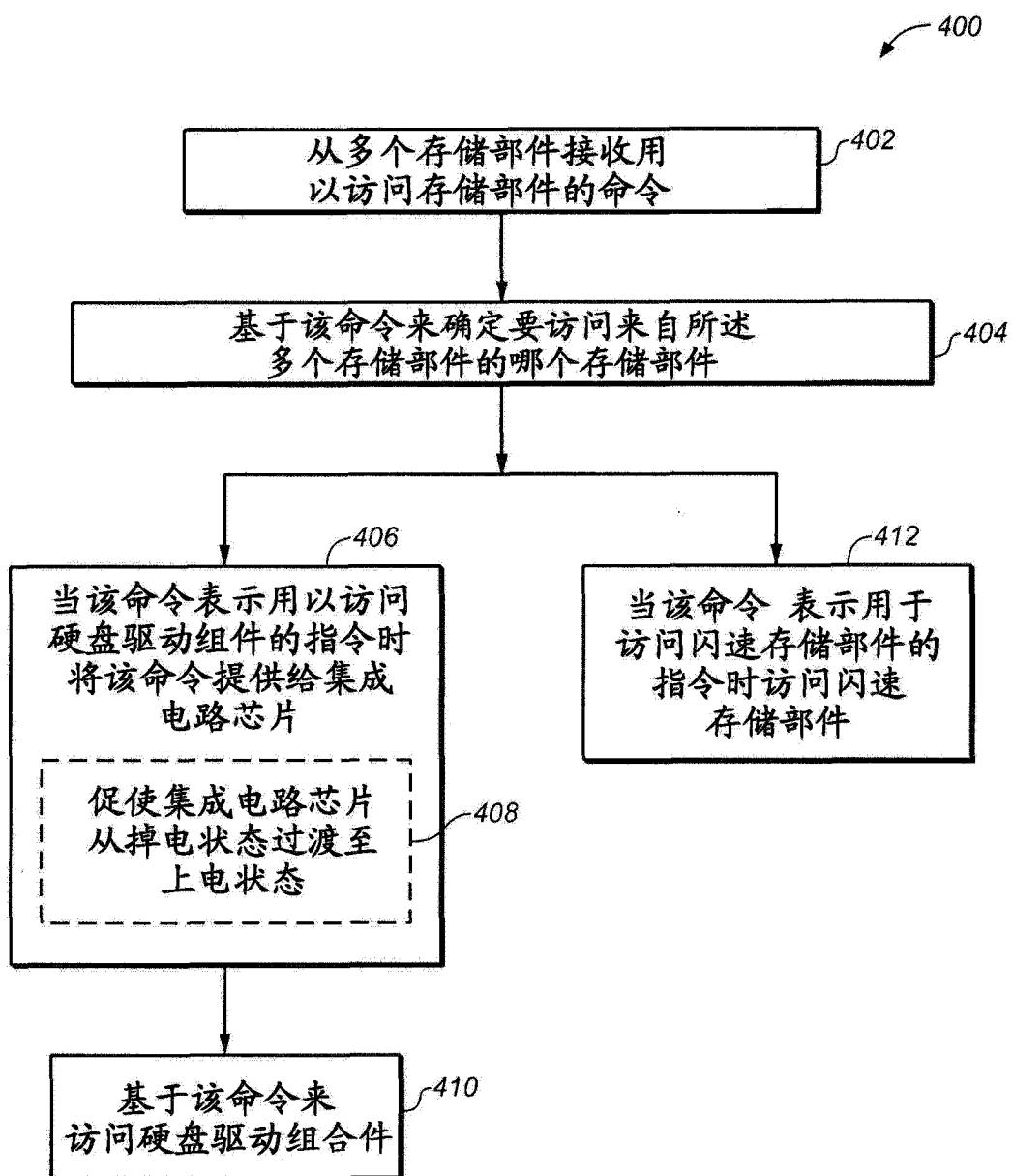


图 4