

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-501937
(P2010-501937A)

(43) 公表日 平成22年1月21日(2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 9/32 (2006.01)	G06F 9/32 320F	5B013
G06F 17/16 (2006.01)	G06F 17/16 S	5B033
G06F 9/38 (2006.01)	G06F 17/16 L	5B056
G06F 9/305 (2006.01)	G06F 9/38 310G	
	G06F 9/30 340C	

審査請求 有 予備審査請求 未請求 (全 25 頁)

(21) 出願番号 特願2009-525695 (P2009-525695)
 (86) (22) 出願日 平成19年8月15日 (2007. 8. 15)
 (85) 翻訳文提出日 平成21年4月20日 (2009. 4. 20)
 (86) 国際出願番号 PCT/US2007/076033
 (87) 国際公開番号 W02008/022217
 (87) 国際公開日 平成20年2月21日 (2008. 2. 21)
 (31) 優先権主張番号 11/506, 584
 (32) 優先日 平成18年8月18日 (2006. 8. 18)
 (33) 優先権主張国 米国 (US)

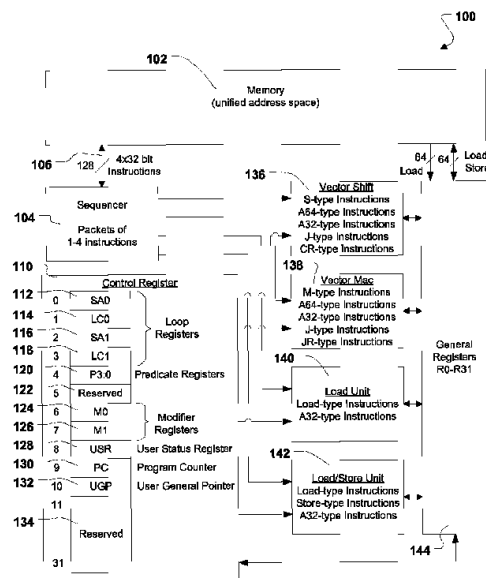
(71) 出願人 595020643
 クアアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 スカラー／ベクトル命令を使用したデータ処理システムおよび方法

(57) 【要約】

スカラーおよびベクトル演算用の連結された条件コードレジスタを有するレジスタファイルを含む処理装置を開示する。この処理装置は、スカラーおよびベクトル演算用の連結された条件コードレジスタを利用する。さらに、比較演算は、連結された条件コードレジスタに結果ビットを格納することができ、また条件演算は、条件を評価するために連結された条件コードレジスタのビットを利用することができる。



【特許請求の範囲】**【請求項 1】**

スカラーおよびベクトル演算用の連結された条件コードレジスタを含む制御レジスタと、
前記連結された条件コードレジスタを利用するスカラーおよびベクトル命令を実行するための少なくとも1つの命令実行ユニットとを備える、処理装置。

【請求項 2】

メモリユニットと、
前記メモリユニットに応答するシーケンサとをさらに備え、
前記少なくとも1つの命令実行ユニットがシーケンサに応答する、
請求項 1 に記載の処理装置。

【請求項 3】

前記メモリユニットが、
前記連結された条件コードレジスタを利用するスカラー演算用命令と、
前記連結された条件コードレジスタを利用するベクトル演算用命令とを含む、請求項 2 に記載の処理装置。

【請求項 4】

前記スカラー演算がスカラー比較演算である、請求項 3 に記載の処理装置。

【請求項 5】

前記ベクトル演算がベクトル比較演算である、請求項 3 に記載の処理装置。

【請求項 6】

スカラーおよびベクトル演算用の4個の8ビットの連結された条件コードレジスタをさらに備える、請求項 2 に記載の処理装置。

【請求項 7】

前記スカラー演算が、前記連結された条件コードレジスタに基づき条件付きで実行される、請求項 3 に記載の処理装置。

【請求項 8】

前記スカラー演算が、前記連結された条件コードレジスタを入力として使用する、請求項 3 に記載の処理装置。

【請求項 9】

ベクトル演算が、前記連結された条件コードレジスタに基づき条件付きで実行される、請求項 3 に記載の処理装置。

【請求項 10】

ベクトル比較演算が、前記連結された条件コードレジスタを使用して、ベクトル比較演算の結果を格納する、請求項 1 に記載の処理装置。

【請求項 11】

前記ベクトル演算が、64ビットのベクトルマルチプレクサー命令であり、前記連結された条件コードレジスタが、8ビットレジスタである、請求項 10 に記載の処理装置。

【請求項 12】

前記ベクトル演算が、各要素の結果を4つの連結された条件コードレジスタビットに複写するワード比較演算である、請求項 3 に記載の処理装置。

【請求項 13】

ベクトル演算用の命令を、ループアルゴリズムの代わりに使用することができる、請求項 2 に記載の処理装置。

【請求項 14】

前記制御レジスタが、ループレジスタ、修飾レジスタ、ユーザ状態レジスタ、プログラムカウンタレジスタ、およびユーザ汎用ポインタレジスタを含む、請求項 1 に記載の処理装置。

10

20

30

40

50

- 【請求項 15】
マルチスレッディングが、プログラムスレッドと関連した命令を処理するために利用されて、並列演算を実行する、請求項 6 に記載の処理装置。
- 【請求項 16】
パイプライン処理を利用して、命令を処理する、請求項 6 に記載の処理装置。
- 【請求項 17】
前記少なくとも 1 つの命令実行ユニットが、バイト、ハーフワード、ワード、およびダブルワードで演算を実行する、請求項 6 に記載の処理装置。
- 【請求項 18】
連結されたスカラーおよびベクトル条件コードレジスタを使用して比較演算用命令を実行し、
前記連結されたスカラーおよびベクトル条件コードレジスタを使用して条件演算用命令を実行すること、
を備える、データ処理方法。 10
- 【請求項 19】
前記比較演算がスカラー比較演算である、請求項 18 に記載の方法。
- 【請求項 20】
命令実行ユニットにおいてスカラー比較演算用命令を受信し、
前記スカラー比較演算の結果を前記連結されたスカラーおよびベクトル条件コードレジスタに格納すること、
をさらに備える、請求項 19 に記載の方法。 20
- 【請求項 21】
前記条件演算がスカラー条件演算である、請求項 18 に記載の方法。
- 【請求項 22】
命令実行ユニットにおいてスカラー条件演算用命令を受信し、
前記連結されたスカラーおよびベクトル条件コードレジスタから少なくとも 1 つの条件コードビットを評価し、
前記スカラー条件演算用命令を実行すべきかどうかを決定し、
前記決定に応じて、前記スカラー条件演算の結果をレジスタに格納すること、
をさらに備える、請求項 21 に記載の方法。 30
- 【請求項 23】
前記比較演算がベクトル比較演算である、請求項 18 に記載の方法。
- 【請求項 24】
命令実行ユニットにおいてベクトル比較演算用命令を受信し、
前記ベクトル比較演算の結果を前記連結されたスカラーおよびベクトル条件コードレジスタに格納すること、
をさらに備える、請求項 23 に記載の方法。
- 【請求項 25】
前記条件演算がベクトル条件演算である、請求項 18 に記載の方法。
- 【請求項 26】
命令実行ユニットにおいてベクトル条件演算用命令を受信し、
前記連結されたスカラーおよびベクトル条件コードレジスタからの少なくとも 1 つの条件コードビットを、前記ベクトル条件演算で使用し、
前記ベクトル条件演算の結果をレジスタに格納すること、
をさらに備える、請求項 25 に記載の方法。 40
- 【請求項 27】
前記条件演算がベクトル条件演算である、請求項 19 に記載の方法。
- 【請求項 28】
連結された条件コードレジスタを使用してスカラー演算を実行するための命令と、
前記連結された条件コードレジスタを使用してベクトル演算を実行するための命令と、 50

を備える、処理装置用命令セット。

【請求項 29】

前記スカラー演算を実行するための前記命令が、スカラー比較演算である、請求項 28 に記載の命令セット。

【請求項 30】

前記スカラー演算を実行するための前記命令が、スカラー条件演算である、請求項 28 に記載の命令セット。

【請求項 31】

前記ベクトル演算を実行するための前記命令が、ベクトル比較演算である、請求項 28 に記載の命令セット。

10

【請求項 32】

前記ベクトル演算を実行するための前記命令が、ベクトル条件演算である、請求項 28 に記載の命令セット。

【請求項 33】

スカラーおよびベクトル演算用の連結された条件コードレジスタと、
スカラーおよびベクトル条件演算に適したベクトルマルチプレクサー演算を実行するための実行ユニットと、
を備える、処理装置。

【請求項 34】

アンテナと、
前記アンテナに動作可能に接続された送受信機と、
メモリユニットと、
前記メモリユニットに連結され、前記送受信機に応答するデジタルシグナルプロセッサと

20

を備える無線通信装置であって、

前記デジタルシグナルプロセッサが、

スカラーおよびベクトル演算用の連結された条件コードレジスタを含む制御レジスタと

、
前記連結された条件コードレジスタを利用するスカラーおよびベクトル命令を実行するための少なくとも 1 つの命令実行ユニットと

30

を含む、無線通信装置。

【請求項 35】

前記デジタルシグナルプロセッサに連結された音声コーダ/デコーダ (CODEC) と、

前記デジタルシグナルプロセッサに連結された Bluetooth コントローラと、

前記 Bluetooth コントローラに連結された Bluetooth アンテナと、

前記デジタルシグナルプロセッサに連結された無線ローカルエリアネットワークメディアアクセス制御 (WLAN MAC) ベースバンドプロセッサと

をさらに備える、請求項 34 に記載の携帯通信装置。

40

【請求項 36】

前記デジタルシグナルプロセッサに連結されたステレオコーダ/デコーダ (CODEC) と、

前記デジタルシグナルプロセッサに連結された 802.11 コントローラと、

前記 802.11 コントローラに連結された 802.11 アンテナと、

前記デジタルシグナルプロセッサに連結された Bluetooth コントローラと、

前記 Bluetooth コントローラに連結された Bluetooth アンテナと、

前記デジタルシグナルプロセッサに連結された汎用シリアルバス (USB) コントローラと、

前記 USB コントローラに連結された USB ポートと

をさらに備える、請求項 34 に記載の携帯通信装置。

50

【請求項 37】

デジタルシグナルプロセッサと、
前記デジタルシグナルプロセッサに連結されたオーディオコーダ/デコーダ（C O D E C）と、
前記デジタルシグナルプロセッサに連結されたマルチメディアカードと、
前記デジタルシグナルプロセッサに連結された汎用シリアルバス（U S B）ポートとを備える、オーディオフィルプレーヤであって、
前記デジタルシグナルプロセッサが、
スカラーおよびベクトル演算用の連結された条件コードレジスタを含む制御レジスタと、
前記連結された条件コードレジスタを利用するスカラーおよびベクトル命令を実行するための少なくとも1つの命令実行ユニットと
を備える、オーディオフィルプレーヤ。

10

【請求項 38】

連結された条件コードレジスタを利用するスカラー演算を実行するための命令を実行するための手段と、
前記連結された条件コードレジスタを利用するベクトル演算を実行するための命令を実行するための手段と
を備える、処理装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、一般にはデータ処理システムおよび方法に関し、より詳細には、ベクトルおよびスカラー演算を処理するシステムおよび方法に関する。

【背景技術】**【0002】**

技術の進歩により、より小型かつより強力な個人用計算装置が生み出されてきている。例えば、小型、軽量かつ利用者による持ち運びが容易な、携帯無線電話機、携帯情報端末（P D A）およびページング装置のような無線計算装置を含む、さまざまな携帯個人用計算装置が現存する。より詳細には、携帯電話機およびIP電話機のような、携帯無線電話機は、無線ネットワークを通じて音声およびデータパケットを伝達することができる。さらに、多くのこのような無線電話機は、本明細書中に包含される他の型式の装置を含む。例えば、無線電話機はまた、デジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、およびオーディオフィルプレーヤを含むことができる。また、このような無線電話機は、インターネットにアクセスするために使用可能なWebインタフェースを含むことができる。このように、これらの無線電話機は、相当な計算能力を含む。

30

【0003】

一般に、これらの装置は、より小型にかつより強力になるので、ますます資源の制約を受けることになる。例えば、画面サイズ、利用可能なメモリおよびファイルシステム空間量、並びに入出力能力の量は、装置サイズの小ささにより制限される可能性がある。さらに、バッテリーサイズ、バッテリーにより供給される電力量、およびバッテリー寿命もまた制限される。装置のバッテリー寿命を増すための1つの方法は、電力消費が少ない処理装置を設計することである。

40

【0004】

ある種の処理装置は、ベクトル処理用のベクトルアーキテクチャを用いる。ベクトルアーキテクチャを有する処理装置は、ベクトル、すなわち線形データアレイ上で動作する高水準演算を提供する。ベクトル処理は、命令を一度読み出し、次いで異なるデータで複数回命令を実行する。このことは、他の要因も含めて、各命令を読み出す必要回数が少ないので、プログラムを実行するために必要とされるエネルギーを削減することを可能とする。さらに、ベクトルアーキテクチャを有する処理装置は、通常、複数の演算を同時に実行

50

し、演算の並列性を生み出すことを可能とする。

【0005】

一方、他の型式の処理装置は、スカラー処理用のスカラーアーキテクチャを用いる。スカラー処理は、命令が実行される度に命令およびデータを読み出す。命令を複数回実行する必要があるループを実行する際、スカラーアーキテクチャを有する処理装置は、複数回命令を読み出すことになる。

【0006】

ベクトル処理は、大量のデータセットを実行するために同一の演算が必要とされる仕事に対して望ましい。しかしながら、ベクトルアーキテクチャを有する処理装置は、スカラー状態を考慮しない、またはスカラー結果を生じない。スカラー演算は、複数の動画ストリームを操作することが予想される動画装置中のように、処理装置がリニアスケール（linear scaling）処理能力要件を有するときに有用である。この理由により、既存の処理装置は、マルチメディア処理のためにスカラーアーキテクチャを使用する。並列性の欠如のため、この手法は、処理装置が非常に高速に走行することを必要とし、電力消費の点で非効率である。

【0007】

したがって、スカラー状態を考慮したベクトル演算の改善された処理システムおよび処理方法を提供することが有利であろう。

【発明の概要】

【0008】

処理装置が開示され、この処理装置は、スカラーおよびベクトル演算用の連結された条件コードレジスタを含む制御レジスタと、その連結された条件コードレジスタを利用するスカラーおよびベクトル命令を実行するための少なくとも1つの命令実行ユニットを含む。

【0009】

特定の実施形態では、処理装置は、メモリユニットと、そのメモリユニットに回答するシーケンサを含む。命令実行ユニットは、シーケンサに回答する。さらに、別の特定の実施形態では、処理装置は、連結された条件コードレジスタを利用するスカラー演算用命令と、連結された条件コードレジスタを利用するベクトル演算用命令とを有するメモリユニットを含む。さらに別の実施形態では、処理装置は、スカラー比較演算を含む。別の実施形態では、処理装置は、ベクトル比較演算を含む。

【0010】

さらに別の実施形態では、処理装置は、連結された条件コードレジスタに基づき条件付きで実行されるスカラー演算を含む。別の実施形態では、処理装置は、連結された条件コードレジスタを入力として使用するスカラー演算を含む。

【0011】

さらに別の実施形態では、処理装置は、連結された条件コードレジスタ中の結果に基づき条件付きで実行されるベクトル演算を含む。特定の実施形態では、処理装置は、ベクトル比較演算の結果を格納するために、連結された条件コードレジスタを使用するベクトル比較演算を含む。

【0012】

特定の実施形態では、処理装置は、バイト、ハーフワード、ワード、およびダブルワードで演算を実行する命令実行ユニットを含む。

【0013】

本明細書中に開示された実施形態の1つまたは複数の利点は、処理装置の処理能力を実質的に改善することを含むことができる。別の利点は、処理装置の電力使用をより少なくすることを含むことができる。

【0014】

本開示の他の態様、利点および特徴は、以下のセクション、すなわち、図面の簡単な説明、発明を実施するための形態および特許請求の範囲を含む、本出願全体を吟味した後に

10

20

30

40

50

明らかになるう。

【0015】

本明細書中に記載された実施形態の態様および利点は、添付の図面と関連付けられた以下の詳細な説明を参照することによって、より速やかに明らかになるう。

【図面の簡単な説明】

【0016】

【図1】例示的デジタルシグナルプロセッサのブロック図。

【図2】例示的命令の概略図。

【図3】ベクトル比較命令の概略図。

【図4】ベクトルハーフワード比較命令の概略図。

10

【図5】ベクトルマルチプレクサー命令の概略図。

【図6】スカラー演算を実行する方法の流れ図。

【図7】スカラー条件演算を実行する方法の流れ図。

【図8】ベクトル演算を実行する方法の流れ図。

【図9】ベクトル条件演算を実行する方法の流れ図。

【図10】デジタルシグナルプロセッサを内蔵した携帯通信装置のブロック図。

【図11】デジタルシグナルプロセッサを内蔵した例示的携帯電話のブロック図。

【図12】デジタルシグナルプロセッサを内蔵した例示的無線IP電話のブロック図。

【図13】デジタルシグナルプロセッサを内蔵した例示的携帯情報端末のブロック図。

【図14】デジタルシグナルプロセッサを内蔵した例示的オーディオファイルプレーヤのブロック図。

20

【発明を実施するための形態】

【0017】

図1は、処理装置100の例示的、非制限の実施形態のブロック図を示す。特定の実施形態では、処理装置100は、幅広いさまざまな信号、画像および動画処理アプリケーションに渡る高処理能力および低電力用の汎用目的DSPのような、デジタルシグナルプロセッサ(DSP)である。

【0018】

特定の実施形態では、処理装置100は、スカラー命令セットをDSP専用命令セットと結び付ける。このような実施形態では、処理装置100は、固定小数点データの演算を提供する縮小命令セットコンピュータ(RISC)命令セットと同様な、完全かつ直交したスカラー命令セットを含む。スカラー命令は、より大きな柔軟性およびパフォーマンスを達成するために直交かつRISCに似たものであるように設計される。さらに、処理装置100は、さまざまなDSP演算を提供するためのベクトル命令セットを含む。該組み合わせは、信号処理アプリケーションのための豊富な演算セットを提供する。

30

【0019】

特定の実施形態では、処理装置100は、固定小数点データの演算、分数スケールリング(fractional scaling)、飽和、丸め、単精度、倍精度、複素数、ベクトルハーフワード(vector half-word)、およびベクトルバイト演算を含むMタイプ演算をサポートする。特定の実施形態では、処理装置100は、スカラーシフト、ベクトルシフト、順序置換(permute)、ビット操作、および述語(predicate)演算を含む、Sタイプ演算をサポートする。特定の実施形態では、処理装置100は、算術論理演算ユニット(ALU)、順序置換、ベクトルバイト、ベクトルハーフワード、およびベクトルワード演算を含む、ALU 64演算をサポートする。特定の実施形態では、処理装置100は、加算、減算、32ビットデータ上の飽和なしの否定、スカラー32ビット比較、ハーフワード連結、ワード連結、ハーフワードシフト、マルチプレクサー(MUX)、ノーオペレーション(Nop)、符号およびゼロ拡張バイトおよびハーフワード、並びに転送(transfer)、即値(immediate)およびレジスタを含む、ALU 32演算をサポートする。特定の実施形態では、処理装置100は、制御レジスタ転送命令のような制御レジスタ演算をサポートする。

40

【0020】

50

図 1 に示すように、処理装置 100 は、バス 106 を介してシーケンサ 104 に連結されたメモリ 102 を含む。特定の実施形態では、メモリ 102 は、ユニファイドメモリモデル(unified memory model)である。特定の実施形態では、バス 106 は、128 ビットバスであり、またシーケンサ 104 は、メモリ 102 から 32 ビット長の命令を検索するように構成される。シーケンサ 104 は、第 1 の命令実行ユニット 136、第 2 の命令実行ユニット 138、第 3 の命令実行ユニット 140、および第 4 の命令実行ユニット 142 に連結される。図 1 は、各命令実行ユニット 136、138、140、142 が、汎用レジスタファイル 144 に連結することができることを示す。汎用レジスタファイル 144 はまた、制御レジスタファイル 110 およびメモリ 102 に連結することができる。

【0021】

特定の実施形態では、汎用レジスタファイル 144 は、単一のレジスタとして、または 64 ビット対アライン(aligned 64-bit pairs)としてアクセスすることができる、32 個の 32 ビットレジスタを保持する単一のユニファイドレジスタファイル(unified register file)である。特定の実施形態では、汎用レジスタファイル 144 は、ポインター、スカラー、ベクトルおよびアキュムレータデータを保持する。汎用レジスタ 144 は、アドレス生成、スカラー演算、ベクトル演算を含む汎用目的計算のために使用することができる。特定の実施形態では、汎用レジスタファイルは、ロード/ストア用アドレス、数値命令用データオペランド、およびベクトル命令用ベクトルオペランドを含む命令用オペランドを提供する。

【0022】

特定の実施形態では、メモリ 102 は、データおよび命令の両者を保持する単一の 32 ビットアドレス空間を有するユニファイドバイトアドレス可能メモリ(unified byte-addressable memory)であり、メモリ中の最下位アドレスのバイトが、レジスタの最下位バイト中に保持されるリトルエンディアンモード(Little Endian Mode)で動作する。動作中、シーケンサ 104 は、メモリ 102 から命令を読み出すことができる。

【0023】

処理装置 100 の動作中、命令は、メモリ 102 からシーケンサ 104 により読み出され、指定された命令実行ユニット 136、138、140、142 に送信され、命令実行ユニット 136、138、140、142 において実行される。命令は、スカラーおよびベクトル命令、例えばスカラーおよびベクトル比較演算、スカラー条件演算およびベクトルマルチプレクサー演算を含むことができる。特定の実施形態では、シーケンサ 104 は、同時に 4 個の 32 ビット命令を読み出し、4 個の命令を並列に命令実行ユニット 136、138、140、142 に発行することができる。命令は、並列実行のためにさまざまな型の 1 から 4 個の命令のパケットにグループ化することができる。可変長のパケットは、自由にプログラム中に混在させることができる。各命令実行ユニット 136、138、140、142 の結果は、汎用レジスタファイル 144 に書き出すことができる。特定の実施形態では、処理装置 100 は、2 つの 64 ビットのダブルワードを各サイクルでメモリからレジスタに移動することをサポートする。

【0024】

特定の実施形態では、処理装置 100 は、コンパイラの必要性および DSP アプリケーションの必要性の両者に合わせたアドレスモードの完全なセットを特徴とするロード/ストアアーキテクチャを有する。線形の循環バッファおよびビット反転アドレッシング(bit reversed addressing)をサポートすることができる。ロードおよびストアは、バイト(8 ビット)、ハーフワード(16 ビット)、ワード(32 ビット)およびダブルワード(64 ビット)に符号付けまたは符号なしとすることができる。特定の実施形態では、処理装置 100 は、2 つの並列ロードまたは並列の 1 つのロードおよび 1 つストアをサポートする。

【0025】

特定の実施形態では、命令実行ユニット 136 は、ベクトルシフト/順序置換/算術論理演算ユニット(ALU)ユニットであり、命令実行 138 は、ベクトル乗算/ALUユ

10

20

30

40

50

ユニットであり、命令実行 140 は、ロード / ALU ユニットであり、また命令実行ユニット 142 は、ロード / ストア / ALU ユニットである。

【0026】

特定の実施形態では、32ビット制御レジスタのセットは、特別目的の機能へのアクセスを提供する。制御レジスタは、制御レジスタファイル 110 のような単一の制御レジスタファイルに論理的にグループ分けすることができる。これらの制御レジスタは、スカラーおよびベクトル演算の結果を保持することができる、プリディケートレジスタ (predicate register) 120 のような連結されたプリディケートレジスタを含むことができる。プリディケートレジスタは、条件コードレジスタと同義である。制御レジスタファイル 110 はまた、ループレジスタ 112、114、116、118、修飾子レジスタ (modifier register) 124、126、ユーザステータスレジスタ (USR) 128、プログラムカウンタ (PC) レジスタ 130 およびユーザ汎用ポインタレジスタ 132 を含むことができる。特定の実施形態では、制御レジスタファイル 110 は、予約レジスタ (reserved register) 122 および 134 のような予約レジスタを含む。特定の実施形態では、命令は、制御レジスタファイル 110 と汎用レジスタファイル 144 間でレジスタを転送することができる。特定の実施形態では、プリディケートレジスタ 120 は、4 個の 8 ビットプリディケートレジスタである。

10

【0027】

特定の実施形態では、比較命令は、図 6 および図 8 に関して以下に説明されるように、プリディケートレジスタ 120 にビットを設定することができる。比較命令は、プリディケートレジスタ 120 に比較演算の結果を格納することができる。特定の実施形態では、比較命令は、ベクトルおよびスカラー比較命令を含む。スカラー比較命令は、直接比較およびレジスタ間比較の両形式で実行可能である。

20

【0028】

特定の実施形態では、プリディケートレジスタ 120 に格納されたビットは、図 7 および図 8 に関して説明されるように、特定の命令を条件付きで実行するために使用することができる。特定の実施形態では、比較命令の結果は、プリディケートレジスタ 120 の 1 つに格納され、次いで条件命令用の条件ビットとして使用される。例えば、分岐命令およびマルチプレクサ (MUX) 命令のようなベクトル命令は、プリディケートレジスタ 120 の主要な消費者である。しかしながら、特定のスカラー命令はまた、条件ビットとしてプリディケートレジスタ 120 に格納されたビットを使用することができる。特定の実施形態では、プリディケートレジスタ 120 を使用するスカラー演算は、最下位ビットのみを検査するが、ベクトル演算は、より多くのビットを検査する。

30

【0029】

例えば、特定の実施形態では、無条件ジャンプ (jump-to-address)、レジスタ指定無条件ジャンプ (jump-to-address-from-register)、サブルーチンコール、およびレジスタ指定サブルーチンコールのような命令は、プリディケートレジスタ 120 に格納されたビットを使用する。無条件ジャンプ命令およびレジスタ指定無条件ジャンプ命令は、プログラムの流れを変更するために使用される。サブルーチンコール命令およびレジスタ指定サブルーチンコール命令は、プログラムの流れをサブルーチンに変更するために使用される。

40

【0030】

特定の実施形態では、処理装置 100 は、プリディケートレジスタ 120 を操作しかつ移動させるための命令セットを有する。命令は、AND、OR、NOT、および XOR を含む論理命令を含む。さらに、含まれるさらなる命令は、述語論理圧縮 (logical-reductions-on-predicates) を含む。第 1 の述語論理圧縮命令は、ソースプリディケートレジスタ中の下位 8 ビットのいずれかが、設定されている場合に、述語目的レジスタを $0 \times ff$ に設定し、そうでない場合 0×00 に設定する。別の命令はソースプリディケートレジスタ中の下位 8 ビットのすべてが、設定されている場合に、述語目的レジスタを $0 \times ff$ に設定し、そうでない場合 0×00 に設定する。

【0031】

50

特定の実施形態では、処理装置 100 は、オーバーヘッドゼロのハードウェアループをサポートする。使用上非常に制限の少ない 2 組のネスト可能なループマシンがある。ソフトウェア分岐は、予測分岐機構(predicated branch mechanism)を通じて動作する。明示的比較命令は、予測ビットを生成する。生成されたビットは、条件分岐命令で使用される。条件ジャンプおよび無条件ジャンプ、並びにサブルーチン呼び出しは、PC 相対(PC-relative)およびレジスタ間接の両方の形でサポートされる。

【0032】

特定の実施形態では、処理装置 100 は、処理装置 100 が、第 1 の命令が完了する前に第 2 の命令を実行することを開始する、パイプライン処理をサポートする。

【0033】

図 2 は、処理装置 100 により実行されうる例示的命令、ベクトル縮減乗算ハーフワード命令(vector reduce multiply half-words instruction) 200 の概略を示す。図 2 に示すように、第 1 の 64 ビットベクトル 202 のハーフワード(示されない)および第 2 の 64 ビットベクトル 204 のハーフワード(示されない)が、206 において乗算される。次いで、中間結果 212 が、208 において相互に加算される。完全な 64 ビットの結果が、目的レジスタ 210 に格納される。特定の実施形態では、目的レジスタ 210 に格納された 64 ビットの結果は、208 において任意選択で加算される。命令 200 は、命令実行ユニット 138 により実行することができる。特定の実施形態では、命令実行ユニット 138 は、単精度(16×16)、倍精度(32×32 および 32×16)、ベクトル、および複素データをサポートするベクトル乗算加算器(MAC)ユニットである。命令実行ユニット 138 は、スカラーおよびパック化ベクトルデータの両者のさまざまな DSP 演算を実行する能力があることが好ましい。さらに、命令実行ユニット 138 は、自動スケールリング、飽和および丸めをサポートする命令形式を実行することができる。

【0034】

図 3 は、処理装置 100 により実行されうる、例示的命令、ベクトル比較命令 300 の概略を示す。図 3 に示すように、第 1 の 64 ビットベクトル 302 および第 2 の 64 ビットベクトル 304 が、306 において比較される。ベクトル 302 およびベクトル 304 の各要素が比較され、真/偽の結果 308 のビットベクトルが生成される。真/偽の結果 308 のビットベクトルの各ビットは、比較出力に応じて 0 または 1 いずれかに設定される。特定の実施形態では、真/偽の結果 308 のビットベクトルは、プリディケートレジスタ 120 の 1 つに格納される。

【0035】

図 4 は、処理装置 100 により実行されうる、例示的命令、ベクトルハーフワード比較命令 400 の概略を示す。図 4 に示すように、第 1 の 64 ビットベクトル 402 のハーフワード(示されない)および対応する第 2 の 64 ビットベクトル 404 のハーフワード(示されない)が、406 において比較される。ベクトル 402 およびベクトル 404 の各ハーフワードが比較され、真/偽の結果 408 のビットベクトルが生成される。ハーフワード比較のために、真/偽の結果 408 のビットベクトルの 2 ビットが、各比較出力に応じて 0 または 1 いずれかに設定される。同様の方法で、ワード比較のために、結果ベクトルの 4 ビットが、各比較出力に応じて 0 または 1 いずれかに設定される。特定の実施形態では、真/偽の結果 408 のビットベクトルは、プリディケートレジスタ 120 の 1 つに格納される。

【0036】

図 5 は、処理装置 100 により実行されうる例示的命令、ベクトル MUX 命令 500 の概略を示す。図 5 に示すように、第 1 の 64 ビットベクトル 502 の各要素および第 2 の 64 ビットベクトル 504 の対応する各要素が、506 において条件により選択される。ベクトル 502 中の各バイトおよびベクトル 504 中の対応する各バイトに対して、対応するビット 510 が、条件ビットとして使用される。特定の実施形態では、ビット 510 は、プリディケートレジスタ 120 の 1 つに格納される。条件ビット 510 は、MUX 演算の結果を決定する。MUX は、ベクトル 502 またはベクトル 504 いずれかからバイ

10

20

30

40

50

トの値を選択するために演算する、すなわち2つのベクトル間の要素毎のバイト選択を実行する。ベクトルM U X命令は、結果508のバイトベクトルを生成する。特定の実施形態では、プリディケートレジスタ120の1つの下位8ビットのそれぞれに対して、ビットが設定されている場合、結果508の対応するバイトが、ベクトル502から対応するバイトに設定される。設定されていない場合、結果508の対応するバイトが、ベクトル504から対応するバイトに設定される。特定の実施形態では、結果508の対応するバイトベクトルは、汎用レジスタ144中の目的レジスタ(示されない)に格納される。

【0037】

図6は、スカラー演算を実行する方法の流れ図を示す。スカラー命令は、命令実行ユニット136、138、140、142のような命令実行ユニットにより602において受信することができる。次いで、スカラー命令は、604において命令実行ユニットにより実行される。次いで、命令実行の結果ビットが、606において結果レジスタに設定される。特定の実施形態では、結果ビットは、プリディケートレジスタ120の1つに設定される。特定の実施形態では、命令は、スカラー比較命令であり、スカラー比較命令は、プリディケートレジスタ120の1つ中の各ビットを、比較結果が真の場合1に設定し、またプリディケートレジスタ120の1つ中の各ビットを、比較結果が偽の場合0に設定する。

10

【0038】

図7はスカラー条件演算を実行する方法の流れ図を示す。スカラー条件命令は、702において、命令実行ユニット136、138、140、142の1つのような命令実行ユニットにより受信することができる。命令実行ユニットは、704において、スカラー条件命令を実行すべきかどうかを決定する。特定の実施形態では、704における決定は、プリディケートレジスタ120の1つ中の最下位ビットを検査することにより行われる。決定が実行されないことである場合、710において、スカラー条件演算は実行されない。決定が実行されることである場合、スカラー条件演算は、706において、命令実行ユニットにより実行される。次いで、命令実行の結果ビットが、708において結果レジスタに設定される。

20

【0039】

図8は、ベクトル演算を実行する方法の流れ図を示す。特定の実施形態では、ベクトル演算は、ベクトル比較演算である。ベクトル命令は、802において、命令実行ユニット136、138、140、142の1つのような命令実行ユニットにより受信することができる。次いで、ベクトル命令が、804において、命令実行ユニットにより実行される。次いで、命令実行の結果ビットが、806において、結果レジスタに設定される。特定の実施形態では、結果ビットは、プリディケートレジスタ120の1つに設定される。

30

【0040】

特定の実施形態では、処理装置100は、等値比較、符号付の大小比較、および符号なしの大小比較を含む3つの比較演算形式をサポートする。これらの3つの形式は、符号付および符号なしの値のすべての比較を生成するのに十分である。各比較の出力は、いずれの意味にも使用することができる、真または偽の値を生成する。さらに、レジスタオペランドは、別の比較を生成するために使用することができる。オペランドをスワップし、かつ結果の両方に意味を使用することにより、符号付および符号なし比較の完全な補数を実行することが可能である。

40

【0041】

図9は、ベクトル条件演算を実行する方法の流れ図を示す。特定の実施形態では、ベクトル条件演算は、ベクトルM U X演算である。ベクトル条件命令は、902において、命令実行ユニット136、138、140、142のような命令実行ユニットにより受信することができる。命令実行ユニットは、904において、ビット510のような条件ビットセットを取得する。特定の実施形態では、取得されたビットは、プリディケートレジスタ120の1つからのものである。次いで、取得されたビットは、ベクトル条件命令が、906において、命令実行ユニットにより実行されるときに使用される。次いで、命令実

50

行の結果ビットは、908において、結果レジスタに設定される。MUX命令のソースオペランドをスワップすることにより、結果の両方の意味を形成することができる。

【0042】

例えば、ベクトルMUX演算では、第1のベクトル中の各バイトおよび第2のベクトル中の対応するバイトは、対応する条件ビットベクトルを使用して条件付きで選択される。特定の実施形態では、条件ビットは、プリディケートレジスタ120の1つに格納される。MUXは、第1のベクトルまたは第2のベクトルいずれかからバイトの値を選択するために演算する、すなわち2つのベクトル間の要素毎のバイト選択を実行する。ベクトルMUX命令は、結果のバイトベクトルを生成する。特定の実施形態では、プリディケートレジスタ120の1つの下位8ビットのそれぞれに対して、ビットが設定されている場合、結果の対応するバイトが、第1のベクトルから対応するバイトに設定される。設定されていない場合、結果の対応するバイトが、第2のベクトルから対応するバイトに設定される。特定の実施形態では、結果のバイトベクトルは、汎用レジスタ144中の目的レジスタ(示されない)に格納される。

10

【0043】

特定の実施形態では、処理装置100は、ベクトル条件命令を使用して、条件命令文を有するループをベクトル化する。例えば、スカラー命令ループでは、スカラー命令は、ループの各連続した繰り返しのために読み出され、実行される。ベクトル条件命令文では、ループは、命令が1度読み出され、ベクトル上で実行されるようなベクトル条件演算で置き換えることができる。例えば、以下のCコードのループは、命令およびデータを8回読み出す。

20

【0044】

```
for (i=0; i<8; i++) { if (A[i]) { B[i] = C[i]; } }
```

このCコードのループは、好ましくは命令およびデータをそれぞれ1度読み出す2つのベクトル演算により置き換えることができる。例示的Cコードループをベクトル化するために、2つのベクトル演算が、実行される。最初に、ベクトルA中のバイトをゼロと比較する比較演算が実行され、結果のビットが、レジスタ、好ましくはプリディケートレジスタ120の1つに格納される。第2に、ベクトルA比較の結果を条件ビットとして使用して、ベクトルBおよびベクトルCのバイト間で選択するベクトルMUX演算が実行される。ベクトルMUX演算の結果は、レジスタに格納することができる。したがって、命令およびデータは、より少ない回数読み出されるので、ベクトル条件演算は、処理装置が、条件命令文を有するループより速く、より効率的に、かつより低消費電力となることを可能とする。

30

【0045】

図10は、一般的に表された1020である携帯通信装置の例示的、非制限の実施形態を示す。図10に示すように、携帯通信装置は、デジタルシグナルプロセッサ1024を含むオンチップシステム1022を含む。特定の実施形態では、デジタルシグナルプロセッサ1024は、図1に示されかつ本明細書中に記載された処理装置である。図10に示すように、DSP1024は、スカラー演算およびベクトル演算用の連結されたプリディケートレジスタ1090を含む。特定の実施形態では、比較演算は、結果を連結されたプリディケートレジスタ1090に格納し、条件演算は、格納された比較結果を条件ビットとして、例えば、上記のベクトルMUX命令中で使用する。図10はまた、デジタルシグナルプロセッサ1024およびディスプレイ1028に連結されたディスプレイコントローラ1026を示す。さらに、入力装置1030は、デジタルシグナルプロセッサ1024に連結される。図に示すように、メモリ1032は、デジタルシグナルプロセッサ1024に連結される。さらに、コーデック(CODEC)1034は、デジタルシグナルプロセッサ1024に連結することができる。スピーカ1036およびマイクロフォン1038は、CODEC1030に連結することができる。

40

【0046】

図10はまた、無線コントローラ1040が、デジタルシグナルプロセッサ1024

50

および無線アンテナ 1042 に接続できることを示す。特定の実施形態では、電源 1044 は、オンチップシステム 1002 に連結することができる。さらに、特定の実施形態では、図 10 に示されるように、ディスプレイ 1026、入力装置 1030、スピーカ 1036、マイクロフォン 1038、無線アンテナ 1042 および電源 1044 は、オンチップシステム 1022 に外付けされる。しかしながら、それぞれは、オンチップシステム 1022 の構成要素に連結することができる。

【0047】

特定の実施形態では、デジタルシグナルプロセッサ 1024 は、インターリーブ型マルチスレッディング(interleaved multithreading)を利用して、携帯通信装置 1020 のさまざまな構成要素に必要となる機能および動作を実行するために必要なプログラムスレッドと関連した命令を処理する。例えば、無線通信セッションが、無線アンテナを介して確立されたとき、ユーザは、マイクロフォン 1038 に話をするすることができる。ユーザの音声を表現する電子的信号は、CODEC 1034 に送られて符号化される。デジタルシグナルプロセッサ 1024 は、マイクロフォンからの電子的信号を符号化するために CODEC 1034 のためのデータ処理を実行することができる。さらに、無線アンテナ 1042 を介して受信した入力信号は、復号化し、スピーカ 1036 に送信するために無線コントローラ 1040 により CODEC 1034 に送ることができる。デジタルシグナルプロセッサ 1024 はまた、無線アンテナ 1042 を介して受信された信号を復号化するとき、CODEC 1034 のためのデータ処理を実行することができる。

【0048】

さらに、無線通信セッションの開始前、処理中または終了後に、デジタルシグナルプロセッサ 1024 は、入力装置 1030 から受信した入力を処理することができる。例えば、無線通信セッションの処理中、ユーザは、入力装置 1030 およびディスプレイ 1028 を使用して、携帯通信装置 1020 のメモリ 1032 内に組み込まれている Web ブラウザを介してインターネットを見て回ることができる。デジタルシグナルプロセッサ 1024 は、本明細書中に記載されているように、入力装置 1030、ディスプレイコントローラ 1026、ディスプレイ 1028、CODEC 1034 および無線コントローラ 1040 により使用されるさまざまなプログラムスレッドを交互実行して、携帯通信装置 1020 およびその中のさまざまな構成要素の動作を効率的に制御することができる。さまざまなプログラムスレッドと関連した命令の多くは、1 つまたはそれ以上のクロックサイクルの間に並列に実行される。このように、無駄なクロックサイクルによる電力およびエネルギー消費は、実質的に減少する。

【0049】

図 11 を参照すると、携帯電話の例示的、非制限の実施形態が示され、一般的に 1120 で表される。図示されたように、携帯電話 1120 は、相互に連結されたデジタルベースバンドプロセッサ 1124 およびアナログベースバンドプロセッサ 1126 を含むオンチップシステム 1122 を含む。特定の実施形態では、デジタルベースバンドプロセッサ 1124 は、デジタルシグナルプロセッサ、例えば、図 1 に示されかつ本明細書に記載のプロセッサである。図 11 に示すように、DSP 1124 は、スカラー演算およびベクトル演算用の連結されたプリディケートレジスタ 1190 を含む。特定の実施形態では、比較演算は、連結されたプリディケートレジスタ 1190 に結果を格納し、条件演算は、格納された比較結果を条件ビットとして、例えば、上記のベクトル MUX 命令において、使用する。図 11 に示すように、ディスプレイコントローラ 1128 およびタッチスクリーンコントローラ 1130 は、デジタルベースバンドプロセッサ 1124 に連結される。同様に、オンチップシステム 1122 に外付けのタッチスクリーンディスプレイ 1132 は、ディスプレイコントローラ 1128 およびタッチスクリーンコントローラ 1130 に連結される。

【0050】

さらに、図 11 は、動画エンコーダ 1134、例えば、PAL (phase alternating line) エンコーダ、SECAM (sequential couleur a memoire) エンコーダまたは NTSC

10

20

30

40

50

C (national television system(s) committee) エンコーダが、デジタルベースバンドプロセッサ 1 1 2 4 に連結される。さらに、動画増幅器 1 1 3 6 は、動画エンコーダ 1 1 3 4 およびタッチスクリーンディスプレイ 1 1 3 2 に連結される。また、動画ポート 1 1 3 8 は、動画増幅器 1 1 3 6 に連結される。図 1 1 に示すように、ユニバーサルシリアルバス (USB) コントローラ 1 1 4 0 は、デジタルベースバンドプロセッサ 1 1 2 4 に連結される。また、USBポート 1 1 4 2 は、USB コントローラ 1 1 4 0 に連結される。メモリ 1 1 4 4 および加入者識別モジュール (SIM) カード 1 1 4 6 はまた、デジタルベースバンドプロセッサ 1 1 2 4 に連結することができる。さらに、図 1 1 に示すように、デジタルカメラ 1 1 4 8 は、デジタルベースバンドプロセッサ 1 1 2 4 に連結することができる。例示的实施形態では、デジタルカメラ 1 1 4 8 は、電荷連結素子 (CCD) カメラまたは相補型金属酸化膜半導体 (CMOS) カメラである。

10

【0051】

図 1 1 にさらに示すように、ステレオオーディオ CODEC 1 1 5 0 は、アナログベースバンドプロセッサ 1 1 2 6 に連結することができる。さらにオーディオ増幅器 1 1 5 2 は、ステレオオーディオ CODEC 1 1 5 0 に連結することができる。例示的实施形態では、第 1 のステレオスピーカ 1 1 5 4 および第 2 のステレオスピーカ 1 1 5 6 は、オーディオ増幅器 1 1 5 2 に連結される。図 1 1 は、マイクロフォン増幅器 1 1 5 8 もまた、ステレオオーディオ CODEC 1 1 5 0 に連結できることを示す。さらに、マイクロフォン 1 1 6 0 は、マイクロフォン増幅器 1 1 5 8 に連結することができる。特定の実施形態では、周波数変調 (FM) ラジオチューナ 1 1 6 2 は、ステレオオーディオ CODEC 1 1 5 0 に連結することができる。また、FM アンテナ 1 1 6 4 は、FM ラジオチューナ 1 1 6 2 に連結される。さらに、ステレオヘッドフォン 1 1 6 6 は、ステレオオーディオ CODEC 1 1 5 0 に連結することができる。

20

【0052】

さらに、図 1 1 は、高周波数 (RF) 送受信機 1 1 6 8 が、アナログベースバンドプロセッサ 1 1 2 6 に連結することができることを示す。RF スイッチ 1 1 7 0 は、RF 送受信機 1 1 6 8 および RF アンテナ 1 1 7 2 に連結することができる。図 1 1 に示すように、キーパッド 1 1 7 4 は、アナログベースバンドプロセッサ 1 1 2 6 に連結することができる。また、マイクロフォン 1 1 7 6 付モノラルヘッドフォンは、アナログベースバンドプロセッサ 1 1 2 6 に連結することができる。さらに、パイプリータ装置 1 1 7 8 は、アナログベースバンドプロセッサ 1 1 2 6 に連結することができる。図 1 1 はまた、電源 1 1 8 0 が、オンチップシステム 1 1 2 2 に連結できることを示す。特定の実施形態では、電源 1 1 8 0 は、電力を必要とする携帯電話 1 1 2 0 のさまざまな構成要素に電力を供給する直流 (DC) 電源である。さらに、特定の実施形態では、電源は、充電可能 DC 電池または交流 (AC) 電源に接続される AC から DC への変圧器から引き出される DC 電源である。

30

【0053】

特定の実施形態では、図 1 1 に示すように、タッチスクリーンディスプレイ 1 1 3 2、動画ポート 1 1 3 8、USBポート 1 1 4 2、カメラ 1 1 4 8、第 1 のステレオスピーカ 1 1 5 4、第 2 のステレオスピーカ 1 1 5 6、マイクロフォン、FM アンテナ 1 1 6 4、ステレオヘッドフォン 1 1 6 6、RF スイッチ 1 1 7 0、RF アンテナ 1 1 7 2、キーパッド 1 1 7 4、モノラルヘッドセット 1 1 7 6、パイプリータ 1 1 7 8、および電源 1 1 8 0 は、オンチップシステム 1 1 2 2 に外付けされる。さらに、特定の実施形態では、デジタルベースバンドプロセッサ 1 1 2 4 は、携帯電話 1 1 2 0 と関連した種々の構成要素の 1 つまたはそれ以上と関連したさまざまなプログラムスレッドを処理するために、本明細書に記載されたインターリーブ型マルチスレッディングを使用することができる。

40

【0054】

図 1 2 を参照すると、無線インターネットプロトコル (IP) 電話の例示的、非制限の実施形態が示され、一般的に 1 2 0 0 で表される。図示のように、無線 IP 電話 1 2 0 0 は、デジタルシグナルプロセッサ (DSP) 1 2 0 4 を含むオンチップシステム 1 2 0

50

2を含む。特定の実施形態では、DSP1204は、図1に示され、本明細書に記載された処理装置である。図12に示されるように、DSP1204は、スカラー演算およびベクトル演算用の連結されたプリディケートレジスタ1290を含む。特定の実施形態では、比較演算は、連結されたプリディケートレジスタ1290に結果を格納し、条件演算は、格納された比較結果を条件ビットとして、例えば、上記のベクトルMUX命令において、使用する。図12に示されるように、ディスプレイコントローラ1206は、DSP1204に連結され、またディスプレイ1208は、ディスプレイコントローラ1206に連結される。例示的实施形態では、ディスプレイ1208は液晶ディスプレイ(LCD)である。さらに、図12は、キーパッド1210が、DSP1204に連結できることを示す。

10

【0055】

図12にさらに示すように、フラッシュメモリ1212は、DSP1204に連結することができる。シンクロナスダイナミックランダムアクセスメモリ(SDRAM)1214、スタティックランダムアクセスメモリ(SRAM)1216、および電氣的に消去可能なプログラム可能リードオンリーメモリ(EEPROM)1218はまた、DSP1204に連結することができる。図12はまた、発光ダイオード(LED)1220が、DSP1204に連結することができることを示す。さらに、特定の実施形態では、音声CODEC1222は、DSP1204に連結することができる。増幅器1224は、音声CODEC1222に連結することができる。また、モノラルスピーカ1226は、増幅器1224に連結することができる。さらに、図12は、モノラルヘッドセット1228もまた、音声CODEC1222に連結することができることを示す。特定の実施形態では、モノラルヘッドセット1228は、マイクロフォンを含む。

20

【0056】

図12はまた、無線ローカルエリアネットワーク(WLAN)ベースバンドプロセッサ1230が、DSP1204に連結することができることを示す。RF送受信機1232は、WLANベースバンドプロセッサ1230に連結することができる。またRFアンテナ1234は、RF送受信機1232に連結することができる。特定の実施形態では、Bluetooth(登録商標)コントローラ1236はまた、DSP1204に連結することができる。またBluetoothアンテナ1238は、コントローラ1236に連結することができる。図12はまた、USBポート1240もまた、DSP1204に連結することができることを示す。さらに、電源1242は、オンチップシステム1202に連結されて、無線IP電話1200のさまざまな構成要素にオンチップシステム1202を介して電力を供給する。

30

【0057】

特定の実施形態では、図12に示すように、ディスプレイ1208、キーパッド1210、LED1220、モノラルスピーカ1226、モノラルヘッドセット1228、RFアンテナ1234、Bluetoothアンテナ1238、USBポート1240、および電源1242は、オンチップシステム1202に外付けである。しかしながら、これらの構成要素のそれぞれは、オンチップシステムの1つまたはそれ以上の構成要素に連結される。さらに、特定の実施形態では、デジタルシグナルプロセッサ1204は、IP電話1200と関連した種々の構成要素の1つまたはそれ以上と関連したさまざまなプログラムスレッドを処理するために、本明細書に記載されたインターリーブ型マルチスレッディングを使用することができる。

40

【0058】

図13は、一般的に1300に表された携帯情報端末(PDA)の例示的、非制限の実施形態を示す。図に示すように、PDA1300は、デジタルシグナルプロセッサ(DSP)1304を含むオンチップシステム1302を含む。特定の実施形態では、DSP1304は、図1に示され、本明細書に記載された処理装置を含む。図13に示すように、DSP1304は、スカラー演算およびベクトル演算用の連結されたプリディケートレジスタ1390を含む。特定の実施形態では、比較演算は、連結されたプリディケートレ

50

ジスタ 1390 に結果を格納し、また条件演算は、格納された比較結果を条件ビットとして、例えば、上記のベクトル MUX 命令において、使用する。図 13 に示すように、タッチスクリーンコントローラ 1306 およびディスプレイコントローラ 1308 は、DSP 1304 に連結される。さらに、タッチスクリーンディスプレイは、タッチスクリーンコントローラ 1306 およびディスプレイコントローラ 1308 に連結される。図 13 はまた、キーパッド 1312 が、DSP 1304 に連結することができることを示す。

【0059】

図 13 にさらに示すように、フラッシュメモリ 1314 は、DSP 1304 に連結することができる。また、リードオンリーメモリ (ROM) 1316、ダイナミックランダムアクセスメモリ (DRAM) 1318、および電氣的に消去可能なプログラム可能リードオンリーメモリ (EEPROM) 1320 は、DSP 1304 に連結することができる。図 13 はまた、赤外線データ協会規格 (IrDA) ポート 1322 は、DSP 1304 に連結することができる。さらに、特定の実施形態では、デジタルカメラ 1324 は、DSP 1304 に連結することができる。

10

【0060】

図 13 に示すように、特定の実施形態では、ステレオオーディオ CODEC 1326 は、DSP 1304 に連結することができる。第 1 のステレオ増幅器 1328 は、ステレオオーディオ CODEC 1326 に連結することができる。また第 1 のステレオスピーカ 1330 は、第 1 のステレオ増幅器 1328 に連結することができる。さらに、マイクロフォン増幅器 1332 は、ステレオオーディオ CODEC 1326 に連結することができる。またマイクロフォン 1334 は、マイクロフォン増幅器 1332 に連結することができる。図 13 はさらに、第 2 のステレオ増幅器 1336 が、ステレオオーディオ CODEC 1326 に連結することができる。また第 2 のステレオスピーカ 1338 が、第 2 のステレオ増幅器 1336 に連結することができることを示す。特定の実施形態では、ステレオヘッドフォン 1340 はまた、ステレオオーディオ CODEC 1326 に連結することができる。

20

【0061】

図 13 はまた、802.11 コントローラ 1342 が、DSP 1304 に連結することができる。また 802.11 アンテナ 1344 が、802.11 コントローラ 1342 に連結することができることを示す。さらに、Bluetooth コントローラ 1346 は、DSP 1304 に連結することができる。また Bluetooth アンテナ 1348 は、Bluetooth コントローラ 1346 に連結することができる。図 13 に示すように、USB コントローラ 1350 は、DSP 1304 に連結することができる。また USB ポート 1352 は、USB コントローラ 1350 に連結することができる。さらに、スマートカード 1354、例えば、マルチメディアカード (MMC) またはセキュアデジタルカード (SD) は、DSP 1304 に連結することができる。さらに、図 13 に示すように、電源 1356 は、オンチップシステム 1302 に連結することができる。オンチップシステム 1302 を介して PDA 1300 のさまざまな構成要素に電力を供給することができる。

30

【0062】

特定の実施形態では、図 13 に示すように、ディスプレイ 1310、キーパッド 1312、IrDA ポート 1322、デジタルカメラ 1324、第 1 のステレオスピーカ 1330、マイクロフォン 1334、第 2 のステレオスピーカ 1338、ステレオヘッドフォン 1340、802.11 アンテナ 1344、Bluetooth アンテナ 1348、USB ポート 1352、および電源 1350 は、オンチップシステム 1302 に外付けされる。しかしながら、これらの構成要素のそれぞれは、オンチップシステム上の 1 つまたはそれ以上の構成要素に連結される。さらに、特定の実施形態では、デジタルシグナルプロセッサ 1304 は、携帯情報端末 1300 と関連した種々の構成要素の 1 つまたはそれ以上と関連したさまざまなプログラムスレッドを処理するために、本明細書に記載されたインターリーブ型マルチスレディングを使用することができる。

40

50

【0063】

図14を参照すると、moving pictures experts group オーディオレイヤー3 (MP3) プレーヤのような、オーディオファイルプレーヤの例示的、非制限の実施形態が示され、一般的に1400で表される。図に示されるように、オーディオファイルプレーヤ1400は、デジタルシグナルプロセッサ(DSP)1404を含むオンチップシステム1402を含む。特定の実施形態では、DSP1404は、図1に示され、本明細書に記載される処理装置である。図14に示すように、DSP1404は、スカラー演算およびベクトル演算用の連結されたプリディケートレジスタ1490を含む。特定の実施形態では、比較演算は、連結されたプリディケートレジスタ1490に結果を格納し、条件演算は、格納された比較結果を条件ビットとして、例えば、上記のベクトルMUX命令において、使用する。図14に示すように、ディスプレイコントローラ1406は、DSP1404に連結され、またディスプレイ1408は、ディスプレイコントローラ1406に連結される。例示的実施形態では、ディスプレイ1408は、液晶ディスプレイ(LCD)である。図14はさらに、キーパッド1410が、DSP1404に連結することができることを示す。

10

【0064】

図14にさらに示すように、フラッシュメモリ1412およびリードオンリーメモリ(ROM)1414は、DSP1404に連結することができる。さらに、特定の実施形態では、オーディオCODEC1416は、DSP1404に連結することができる。増幅器1418は、オーディオCODEC1416に連結することができ、またモノラルスピーカ1420は、増幅器1418に連結することができる。図14はさらに、マイクロフォン入力1422およびステレオ入力1424もまた、オーディオCODEC1416に連結することができることを示す。特定の実施形態では、ステレオヘッドフォン1426もまた、オーディオCODEC1416に連結することができる。

20

【0065】

図14はまた、USBポート1428およびスマートカード1430が、DSP1404に連結することができることを示す。さらに、電源1432は、オンチップシステム1402に連結することができ、オンチップシステム1402を介してオーディオファイルプレーヤ1400のさまざまな構成要素に電力を供給することができる。

【0066】

特定の実施形態では、図14に示されるように、ディスプレイ1408、キーパッド1410、モノラルスピーカ1420、マイクロフォン入力1422、ステレオ入力1424、ステレオヘッドフォン1426、USBポート1428、および電源1432は、オンチップシステム1402に外付けである。しかしながら、これらの構成要素のそれぞれは、オンチップシステム上の1つまたはそれ以上の構成要素に連結される。また、特定の実施形態では、デジタルシグナルプロセッサ1404は、オーディオファイルプレーヤ1400と関連した種々の構成要素の1つまたはそれ以上と関連したさまざまなプログラムスレッドを処理するために、本明細書に記載されたインターリーブ型マルチスレッディングを使用することができる。

30

【0067】

本明細書に記載されたシステムおよび方法は、複雑性、コストおよび電力使用の削減を実現する。例えば、同一のプリディケートレジスタをスカラーおよびベクトル演算両者に対して動作させることは、必要なプリディケートレジスタの数を削減することにより処理装置のコストおよび複雑性を削減する。また、汎用レジスタを使用するのではなく別個のプリディケートレジスタファイルを有することは、処理装置のコスト、複雑性および電力消費を削減する。さらに、本明細書に記載されたシステムおよび方法は、処理能力の改善を実現する。

40

【0068】

さらに、当業者は、本明細書中に開示された実施形態と関連して説明された、さまざまな例示的論理ブロック、構成、モジュール、回路およびアルゴリズムのステップが、電子

50

的ハードウェア、コンピュータソフトウェア、または両者の組み合わせとして実装できることを理解するであろう。このハードウェアおよびソフトウェアの互換性を明確に示すために、さまざまな例示的構成要素、ブロック、構成、モジュール、回路およびステップは、これらの機能性を用いて一般的に上記に説明されている。このような機能性が、ハードウェアとしてまたはソフトウェアとして実装されるかどうかは、特定のアプリケーションおよびシステム全体に課せられる設計上の制約に依存する。当業者は、それぞれの特定のアプリケーションに対してさまざまな方法で説明された機能性を実装できるが、このような実装判断は、本発明の開示の範囲から逸脱するものと解釈すべきではない。

【0069】

本明細書で開示された実施形態と関連して説明された方法またはアルゴリズムのステップは、直接的に、ハードウェア中に、処理装置により実行されるソフトウェアモジュール中に、または両者の組み合わせ中に実現することができる。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、PROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、可換型ディスク、CD-ROM、または公知の記憶媒体の任意の他の形式中に存在することができる。例示的記憶媒体は、処理装置が、記憶媒体から情報を読み出し、また情報を書き込むことができるような処理装置に連結される。代替として、記憶媒体は、処理装置に統合することができる。処理装置および記憶媒体は、ASIC中に存在することができる。ASICは、計算装置またはユーザ端末中に存在することができる。代替として、処理装置および記憶媒体は、計算装置またはユーザ端末中に離散的構成要素として存在することができる。

10

20

【0070】

開示された実施形態の前記説明は、任意の当業者が本発明のある実施形態の開示を作成または使用することを可能にするために提供される。これらの実施形態に対するさまざまな修正は、当業者には直ちに理解され、本明細書中に定義された一般的な原理は、本開示の精神および範囲を逸脱することなく他の実施形態に適用することができる。したがって、本発明の開示は、本明細書中に示される実施形態に限定することを意図するものではなく、以下の特許請求の範囲により定義される原理および新しい機能と調和する最も広い範囲が与えられるべきである。

【 図 1 】

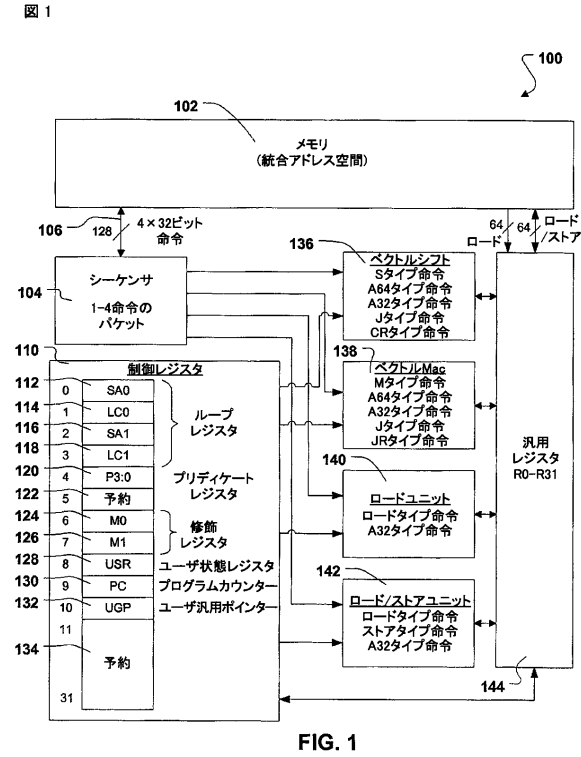


FIG. 1

【 図 2 】

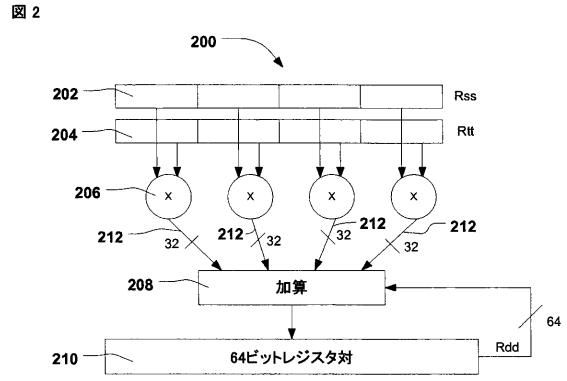


FIG. 2

【 図 3 】

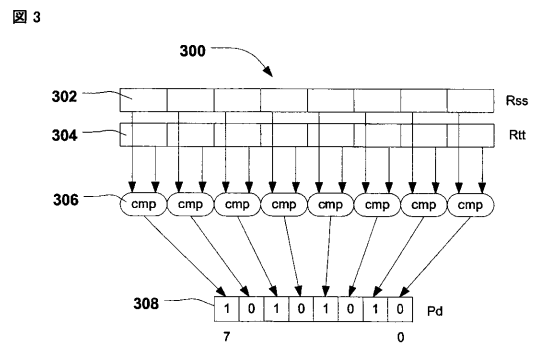


FIG. 3

【 図 4 】

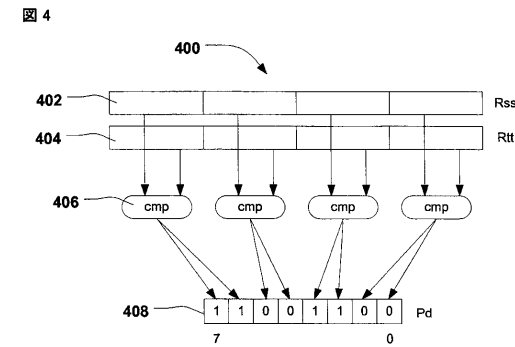


FIG. 4

【 図 6 】

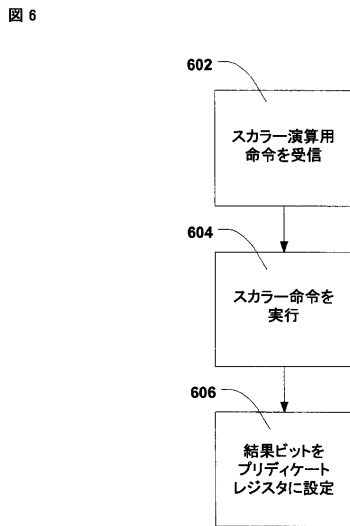


FIG. 6

【 図 5 】

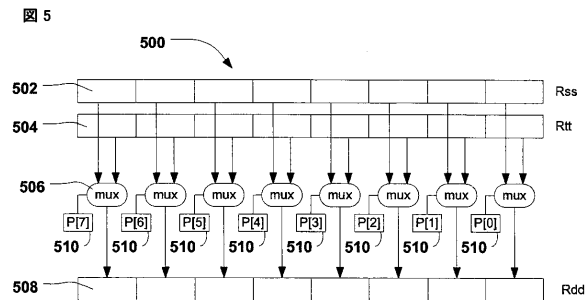


FIG. 5

【 図 7 】

図 7

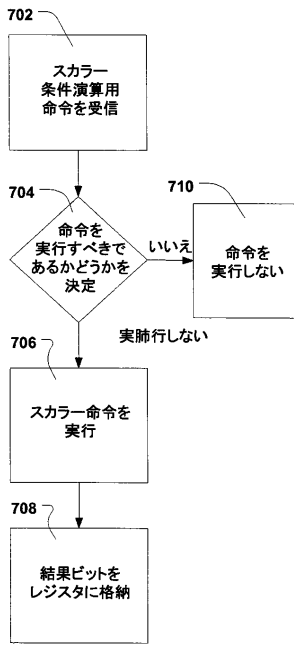


FIG. 7

【 図 8 】

図 8

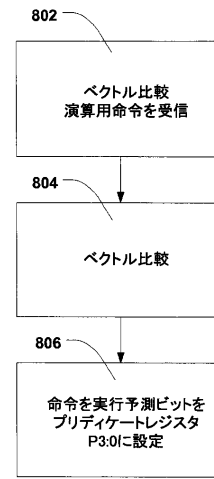


FIG. 8

【 図 9 】

図 9

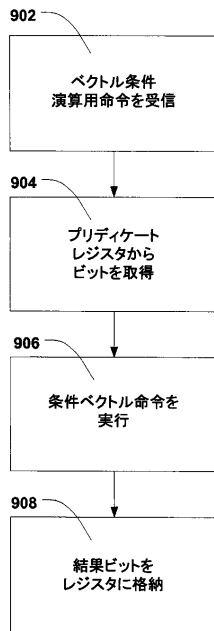


FIG. 9

【 図 10 】

図 10

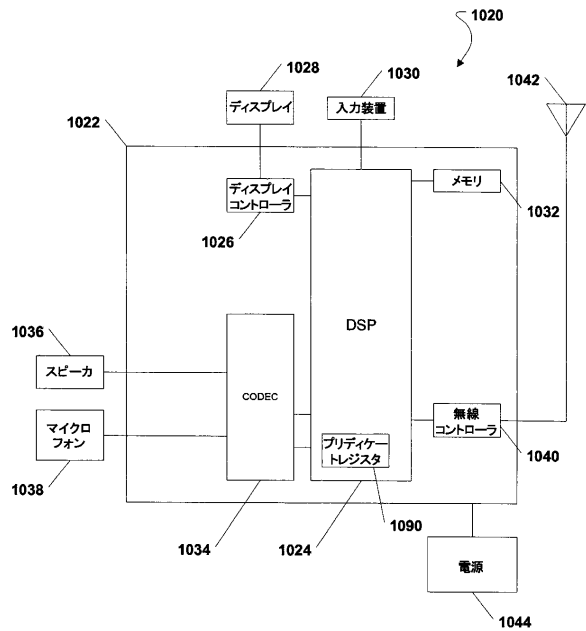


FIG. 10

【図 1 1】

図 11

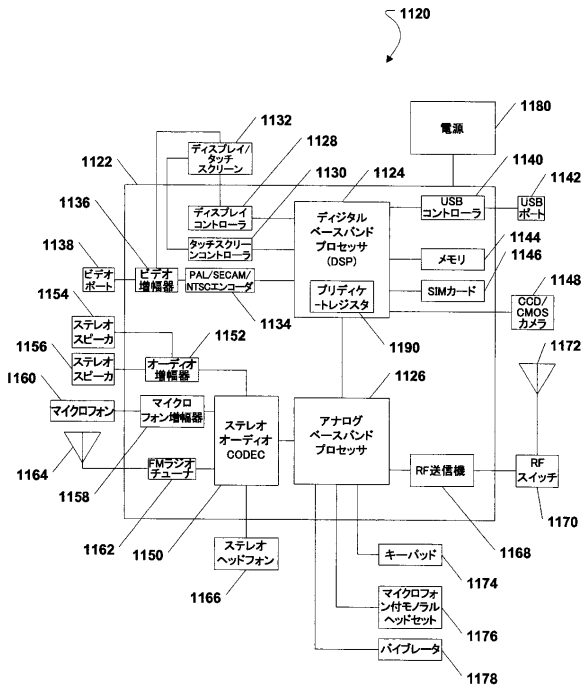


FIG. 11

【図 1 2】

図 12

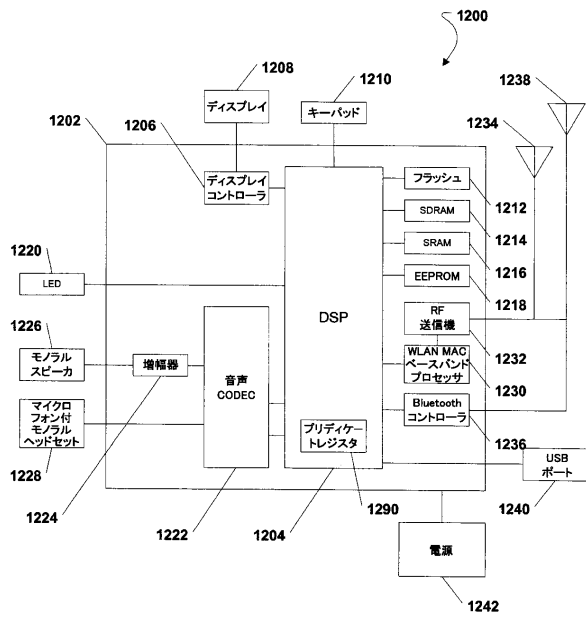


FIG. 12

【図 1 3】

図 13

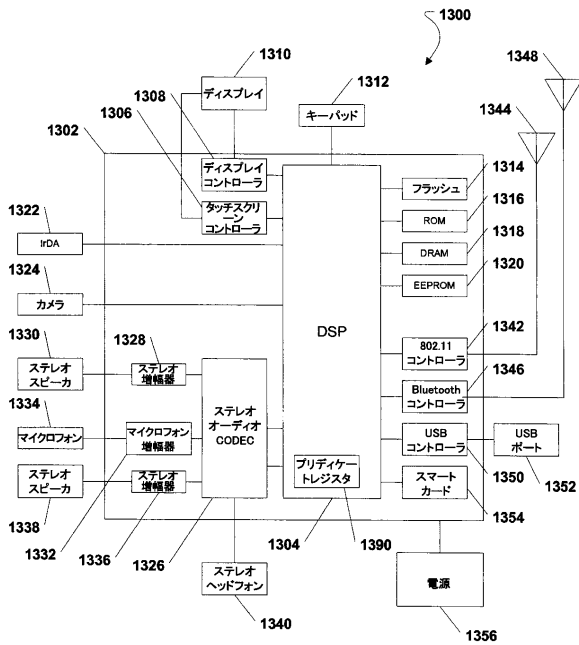


FIG. 13

【図 1 4】

図 14

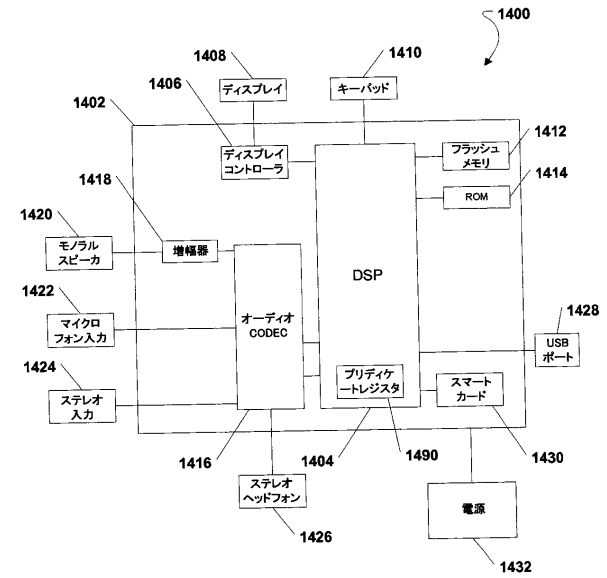


FIG. 14

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

		International application No PCT/US2007/076033
A. CLASSIFICATION OF SUBJECT MATTER INV. G06F9/30 G06F9/32 G06F9/38 G06F15/78		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 780 811 A (AOYAMA TOMOO [JP] ET AL) 25 October 1988 (1988-10-25) column 1, line 64 - column 2, line 12 column 3, line 1 - line 19 column 3, line 51 - column 4, line 10 column 5, line 2 - line 6	1-38
X	US 2005/251644 A1 (MAHER MONIER [US] ET AL) 10 November 2005 (2005-11-10) paragraphs [0010], [0011], [0014], [0028], [0041] - [0044], [0054] - [0056]	1-38
X	US 5 778 241 A (BINDLOSS KEITH M [US] ET AL) 7 July 1998 (1998-07-07) column 2, line 1 - line 43 column 3, line 60 - line 67 column 4, line 37 - line 56	1-38
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search 17 December 2007		Date of mailing of the international search report 21/12/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Thibaudeau, Jean

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/076033

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4780811	A	25-10-1988	DE 3686789 D1 DE 3686789 T2 EP 0207506 A2 JP 62024366 A	29-10-1992 18-03-1993 07-01-1987 02-02-1987
US 2005251644	A1	10-11-2005	WO 2005111831 A2	24-11-2005
US 5778241	A	07-07-1998	DE 69519449 D1 DE 69519449 T2 EP 0681236 A1 JP 3889069 B2 JP 8050575 A	28-12-2000 21-06-2001 08-11-1995 07-03-2007 20-02-1996

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74) 代理人 100109830

弁理士 福原 淑弘

(74) 代理人 100075672

弁理士 峰 隆司

(74) 代理人 100095441

弁理士 白根 俊郎

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100103034

弁理士 野河 信久

(74) 代理人 100119976

弁理士 幸長 保次郎

(74) 代理人 100153051

弁理士 河野 直樹

(74) 代理人 100140176

弁理士 砂川 克

(74) 代理人 100100952

弁理士 風間 鉄也

(74) 代理人 100101812

弁理士 勝村 紘

(74) 代理人 100070437

弁理士 河井 将次

(74) 代理人 100124394

弁理士 佐藤 立志

(74) 代理人 100112807

弁理士 岡田 貴志

(74) 代理人 100111073

弁理士 堀内 美保子

(74) 代理人 100134290

弁理士 竹内 将訓

(74) 代理人 100127144

弁理士 市原 卓三

(74) 代理人 100141933

弁理士 山下 元

(72) 発明者 コドレスキュ、ルシアン

アメリカ合衆国、テキサス州 78726、オースティン、グラシアー・パーク・コーブ 12505

(72) 発明者 プロンドケ、エリック

アメリカ合衆国、テキサス州 78727、オースティン、カーメル・パーク・レーン 12012

(72) 発明者 シンプソン、タイラー

アメリカ合衆国、テキサス州 78730、オースティン、エフエム・2222 10303、ナンバー 824

Fターム(参考) 5B013 AA14

5B033 AA08 BD02 DD05

5B056 AA05 BB37