(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3667821号
(P3667821)
(45)発行日　平成17年7月6日(2005.7.6)　(24)登録日　平成17年4月15日(2005.4.15)

(51)Int.Cl.[7]　F I
G11C 16/06　G11C 17/00 633Z
G11C 17/00 633A

請求項の数 3　(全 17 頁)

(21)出願番号　特願平7-161631
(22)出願日　平成7年6月28日(1995.6.28)
(65)公開番号　特開平9-17189
(43)公開日　平成9年1月17日(1997.1.17)
審査請求日　平成12年6月28日(2000.6.28)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　山村　俊雄
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝半導体システム技術センター内
(72)発明者　中井　弘人
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝半導体システム技術センター内

審査官　飯田　清司

最終頁に続く

(54)【発明の名称】不揮発性半導体メモリ

(57)【特許請求の範囲】

【請求項１】

それぞれ電気的に書き込み・消去可能な不揮発性メモリセルのアレイを有する複数のセルブロックと、

上記複数のセルブロックに対応して設けられ、ロウアドレス信号をデコードし、読み出し／書き込み／消去の各動作モードに応じて電位が設定される複数の制御信号を出力する複数のロウメインデコーダと、

上記複数のロウメインデコーダに対応して設けられ、対応するロウメインデコーダから与えられる制御信号に応じて対応するセルブロックの不揮発性メモリセルに対するデータの読み出し・書き込み・消去を制御する複数のロウサブデコーダとを具備し、

前記ロウメインデコーダは、ロウアドレス信号をデコードするナンドゲートと、このナンドゲートの出力を反転させる第１のインバータ回路と、この第１のインバータ回路の出力を反転させ、第２の制御信号を出力する第２のインバータ回路と、上記２個のインバータ回路の出力をラッチするラッチ回路とからなり、上記ラッチ回路は、第１の電源ノードと第２の電源ノードとの間に直列に接続された第１のＰＭＯＳトランジスタおよび第１のＮＭＯＳトランジスタと、上記第１の電源ノードと接地ノードとの間に直列に接続された第２のＰＭＯＳトランジスタおよび第２のＮＭＯＳトランジスタとからなり、前記第１のＮＭＯＳトランジスタのゲートに前記第１のインバータ回路の出力が入力し、前記第２のＮＭＯＳトランジスタのゲートに前記第２のインバータ回路の出力が入力し、前記第１のＰＭＯＳトランジスタおよび第１のＮＭＯＳトランジスタの直列接続点は前記第２のＰＭ

ＯＳトランジスタのゲートに接続されると共に第３の制御信号が取り出され、前記第２のＰＭＯＳトランジスタおよび第２のＮＭＯＳトランジスタの直列接続点は前記第１のＰＭＯＳトランジスタのゲートに接続されると共に第１の制御信号が取り出され、前記第１の電源ノードには電源電位またはこれより高い第１の電位が切換え供給され、前記第２の電源ノードには上記電源電位または接地電位が切換え供給され、対応するセルブロックの消去選択時／書き込み非選択時には、前記第１の制御信号の電位を接地電位、前記第２の制御信号の電位を電源電位、前記第３の制御信号の電位を第１の電位に設定し、対応するセルブロックの消去非選択時／書き込み選択時には前記第１の制御信号の電位を第１の電位、前記第２の制御信号の電位を接地電位、前記第３の制御信号の電位を前記電源電位あるいは接地電位より高い第２の電位に設定し、

前記ロウサブデコーダは、読み出し／書き込み／消去の各動作モードおよび対応するセルブロックのメモリセルの制御ゲートに接続されているワード線の選択／非選択に応じて所定の電圧が供給される入力ノードと、この入力ノードと対応するワード線の一端との間に挿入接続され、ＰＭＯＳトランジスタとＮＭＯＳトランジスタとが並列に接続されたＣＭＯＳトランスファゲートと、上記ワード線の一端と接地ノードとの間に接続されたプルダウン用のＮＭＯＳトランジスタとを有し、上記ＣＭＯＳトランスファゲートのＰＭＯＳトランジスタのゲートには前記第３の制御信号が印加され、前記プルダウン用のＮＭＯＳトランジスタのゲートには前記第２の制御信号が印加され、前記ＣＭＯＳトランスファゲートのＮＭＯＳトランジスタのゲートには前記第１の制御信号が印加されることを特徴とする不揮発性半導体メモリ。

【請求項２】

それぞれ電気的に書き込み・消去可能な不揮発性メモリセルのアレイを有する複数のセルブロックと、

上記複数のセルブロックに対応して設けられ、ロウアドレス信号をデコードし、読み出し／書き込み／消去の各動作モードに応じて電位が設定される複数の制御信号を出力する複数のロウメインデコーダと、

上記複数のロウメインデコーダに対応して設けられ、対応するロウメインデコーダから与えられる制御信号に応じて対応するセルブロックの不揮発性メモリセルに対するデータの読み出し・書き込み・消去を制御する複数のロウサブデコーダとを具備し、

前記ロウメインデコーダは、ロウアドレス信号をデコードするナンドゲートと、このナンドゲートの出力を反転させる第１のインバータ回路と、この第１のインバータ回路の出力を反転させ、第２の制御信号を出力する第２のインバータ回路と、上記２個のインバータ回路の出力をラッチするラッチ回路とからなり、上記ラッチ回路は、第１の電源ノードと第２の電源ノードとの間に直列に接続された第１のＰＭＯＳトランジスタ、ディプリーション型の第１のＮＭＯＳトランジスタおよび基板領域に電源電位が供給された第２のＰＭＯＳトランジスタと、上記第１の電源ノードと接地ノードとの間に直列に接続された第３のＰＭＯＳトランジスタおよびエンハンスメント型の第２のＮＭＯＳトランジスタとからなり、前記第１のＮＭＯＳトランジスタのゲートに前記第１のインバータ回路の出力が入力し、前記第２のＮＭＯＳトランジスタのゲートおよび前記第２のＰＭＯＳトランジスタのゲートに前記第２のインバータ回路の出力が入力し、前記第１のＰＭＯＳトランジスタおよび第１のＮＭＯＳトランジスタの直列接続点は前記第３のＰＭＯＳトランジスタのゲートに接続されると共に第３の制御信号が取り出され、前記第３のＰＭＯＳトランジスタおよび第２のＮＭＯＳトランジスタの直列接続点は前記第１のＰＭＯＳトランジスタのゲートに接続されると共に第１の制御信号が取り出され、前記第１の電源ノードには電源電位またはこれより高い第１の電位が切換え供給され、前記第２の電源ノードには上記電源電位または接地電位が切換え供給され、対応するセルブロックの消去選択時／書き込み非選択時には、前記第１の制御信号の電位を接地電位、前記第２の制御信号の電位を電源電位、前記第３の制御信号の電位を第１の電位に設定し、対応するセルブロックの消去非選択時／書き込み選択時には前記第１の制御信号の電位を第１の電位、前記第２の制御信号の電位を接地電位、前記第３の制御信号の電位を前記電源電位あるいは接地電位より高

い第２の電位に設定し、

前記ロウサブデコーダは、読み出し／書き込み／消去の各動作モードおよび対応するセルブロックのメモリセルの制御ゲートに接続されているワード線の選択／非選択に応じて所定の電圧が供給される入力ノードと、この入力ノードと対応するワード線の一端との間に挿入接続され、ＰＭＯＳトランジスタとＮＭＯＳトランジスタとが並列に接続されたＣＭＯＳトランスファゲートと、上記ワード線の一端と接地ノードとの間に接続されたプルダウン用のＮＭＯＳトランジスタとを有し、上記ＣＭＯＳトランスファゲートのＰＭＯＳトランジスタのゲートには前記第３の制御信号が印加され、前記プルダウン用のＮＭＯＳトランジスタのゲートには前記第２の制御信号が印加され、前記ＣＭＯＳトランスファゲートのＮＭＯＳトランジスタのゲートには前記第１の制御信号が印加されることを特徴とする不揮発性半導体メモリ。

【請求項３】

前記ロウメインデコーダは、対応するセルブロックの消去選択時あるいは書込み選択時には、前記第１の電源ノードに電源電位が供給されると共に前記第２の電源ノードには接地電位が供給され、この後に前記第１の電源ノードが電源電位から前記第１の電位に切換えられ、この後に前記第２の電源ノードが接地電位から電源電位に切換えられることを特徴とする請求項１または２記載の不揮発性半導体メモリ。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、電気的書込み・消去可能な不揮発性半導体メモリ（ＥＥＰＲＯＭ）に係り、特にメモリセルアレイを複数のセルブロックに分割してブロック単位で独立に読み出し・書込み・消去を行うブロック方式を有するＥＥＰＲＯＭのロウデコーダに関する。

【０００２】

【従来の技術】

電気的書込み・消去可能な不揮発性メモリセルとして浮遊ゲートおよび制御ゲートが積層された構造を有するスタックゲート型のＭＯＳトランジスタを用いたＥＥＰＲＯＭにおいて、メモリセルアレイを複数のセルブロックに分割し、読み出し／書込み／ブロック単位での消去の動作モードに応じてブロック単位で独立に読み出し・書込み・消去を行うことが可能なように、ブロック毎に選択・非選択を決定するような回路構成が提案（例えば本願出願人の出願に係る特願平４－２８１１９３号）され、実用化されている。

【０００３】

ブロック単位で独立に読み出し・書込み・消去を行うＥＥＰＲＯＭの一例としてＮＡＮＤセル型ＥＥＰＲＯＭがあり、その一部を図６に示している。

図６において、１１ｉはそれぞれセルブロック、ＲＭＤｉはそれぞれ上記複数のセルブロックに対応して設けられたロウメインデコーダ、ＲＳＤｉはそれぞれ上記複数のセルブロックに対応して設けられたロウサブデコーダである。

【０００４】

上記ロウメインデコーダＲＭＤｉは、ロウアドレス信号をデコードし、読み出し／書き込み／消去の各動作モードおよび対応するセルブロック１１ｉの選択／非選択に応じて電位が変化する複数の制御信号を出力するものである。

【０００５】

また、前記ロウサブデコーダＲＳＤｉは、対応するロウメインデコーダＲＭＤｉから与えられる制御信号に応じて対応するセルブロック１１ｉの不揮発性メモリセルに対するデータの読み出し・書込み・消去を制御するものである。

【０００６】

ところで、前記ＮＡＮＤ型セルの書込み時や消去時に、セルトランジスタの制御ゲートを電源電圧Ｖccより高い電圧Ｖppあるいは接地電位Ｖssに設定するような方式を採用する場合には、書込み時や消去時にロウサブデコーダ内の特定のトランジスタのゲート絶縁膜に多大な電界ストレスを受けることになり、その信頼性の低下に及ぼす影響が大きい。以下

、これについて詳述する。

【０００７】

図７は、図６中のロウメインデコーダＲＭＤｉ、ロウサブデコーダＲＳＤｉおよびセルブロック１１ｉの１組の一部を示しており、セルブロック１１ｉ中のＮＡＮＤ型セルＮＡＣは代表的に２個分を示している。

【０００８】

ロウメインデコーダＲＭＤｉは、ロウアドレス信号をデコードするナンドゲート７０と、このナンドゲートの出力を反転させる第１のインバータ回路７１と、この第１のインバータ回路の出力を反転させる第２のインバータ回路７２と、上記２個のインバータ回路の出力をラッチするラッチ回路７３とからなる。上記ナンドゲート７０と２個のインバータ７１、７２の電源ノードには電源電圧Ｖccが供給され、ラッチ回路７３の第１の電源ノードＰには電源電圧Ｖccまたは高電圧Ｖppが切換え供給される。

【０００９】

ロウサブデコーダＲＳＤｉは、読み出し／書き込み／消去の各動作モードおよび対応するセルブロック１１ｉのＮＡＮＤ型セルＮＡＣの制御ゲートに接続されているワード線ＷＬ１～ＷＬ８の選択／非選択に応じて所定の電圧が供給される入力ノードＧ１、Ｇ２、…、Ｇ８と、上記入力ノードＧ１、Ｇ２、…、Ｇ８と対応するワード線ＷＬ１～ＷＬ８の各一端との間にそれぞれ挿入接続されたＣＭＯＳトランスファゲートＴＧと、上記ワード線ＷＬ１～ＷＬ８の各一端と接地ノードとの間に接続されたプルダウン用のＮＭＯＳトランジスタＮｄとを有する。

【００１０】

上記各ＣＭＯＳトランスファゲートＴＧは、ＰＭＯＳトランジスタＴＰとＮＭＯＳトランジスタＴＮとが並列に接続されてなり、このＰＭＯＳトランジスタＴＰおよびＮＭＯＳトランジスタＴＮはそのゲートに高電圧Ｖppあるいは接地電位Ｖssが印加されることによりスイッチ制御される。なお、上記ＰＭＯＳトランジスタＴＰの基板領域には、前記ラッチ回路７３の第１の電源ノードＰと同様に、電源電圧Ｖccまたは高電圧Ｖppが切換え供給される。

【００１１】

ＮＡＮＤ型セルＮＡＣは、浮遊ゲートを有するＭＯＳトランジスタからなる不揮発性のメモリセルM1 ～M8 が直列に接続され、一端が選択トランジスタQ1 を介してビット線ＢＬｉに、多端が選択トランジスタQ2 を介して共通ソース線ＣＳに接続されている。上記各トランジスタは同一のウェル基板上に形成されており、メモリセルM1 ～M8 の制御電極はワード線ＷＬ1 ～ＷＬ8 に接続されており、選択トランジスタQ1 の制御電極は選択線ＳＬ1 に、選択トランジスタQ2 の制御電極は選択線ＳＬ2 に接続されている。

【００１２】

上記メモリセルM1 ～M8 は、それぞれ保持するデータに応じた閾値を持っており、この閾値は“０”データを保持している時には０Ｖ以上であって読み出し時のワード線電位よりセルデータを紫外線で消去した時の閾値を差し引いた値より低い値に、また、“１”データを保持している時には０Ｖ以下に設定されている。

【００１３】

ＮＡＮＤ型ＥＥＰＲＯＭの場合は、通常、“１”データが保持されている状態を「消去状態」と呼び、“０”データが保持されている状態を「書き込み状態」と呼ぶ。また、“１”データが保持されているメモリセルの閾値を正方向にシフトさせ、“０”データを保持するようにすることを「書き込み動作」と呼び、“０”データが保持されているメモリセルの閾値（Ｖth）を負方向にシフトさせ“１”データを保持するようにすることを消去動作と呼ぶ。

【００１４】

図８は、上記メモリセルM1 ～M8 に対するデータの読み出し・書込み・消去動作時における印加する電圧を一覧表にして示している。

読み出し動作時には、ビット線ＢＬｉを始めにある電圧（例えば５Ｖ）にプリチャージし

た後に浮遊状態にしておき、選択線ＳＬ1 に５Ｖ、選択メモリセルのワード線ＷＬｉに０Ｖ、非選択メモリセルのワード線ＷＬｉに“０”データセルの閾値よりも高い電圧（例えば５Ｖ）、選択線ＳＬ2 に電源電圧（例えば５Ｖ）、ウェルに０Ｖ、共通ソース線ＣＳに０Ｖを印加する。すると、選択メモリセル以外のすべてのトランジスタ（非選択メモリセルを含む）がオンする。選択メモリセルに“０”が保持されている時にはこのメモリセルは非導通状態となりビット線ＢＬｉの電位は５Ｖのままで変化がないが、“１”が保持されている時には導通状態となるためビット線ＢＬｉは放電され電位が低下する。データのセンスは読み出し時のビット線電位を検出することにより行う。

【００１５】

消去動作時には、ビット線ＢＬｉは開放（オープン）状態にし、選択線ＳＬ1 に選択トランジスタQ1 のゲートが破壊しないような電圧（例えばウェルと同電位の１８Ｖ）、メモリセルのワード線ＷＬｉに０Ｖ、選択線ＳＬ2 に選択トランジスタQ2 のゲートが破壊しないような電圧（例えばウェルと同電位の１８Ｖ）、ウェルにセルデータを消去させるために必要な電圧（例えば１８Ｖ）、共通ソース線ＣＳはウェルと同電位（または開放状態）を印加する。すると、浮遊ゲートとウェル間にゲート絶縁膜を介してトンネル電流が流れ、閾値は０Ｖ以下になる。

【００１６】

書き込み動作時には、書き込みデータによって異なった電圧を印加する。即ち、“０”書き込み（閾値をシフトさせる場合）ではビット線ＢＬｉにセルの閾値をシフトさせるために必要な電界を得るためにある電圧（例えば０Ｖ）を印加し、“１”書き込み（閾値をシフトさせない場合）ではビット線ＢＬｉにセルの閾値をシフトさせないためのある電圧（例えば９Ｖ）を印加する。選択線ＳＬ1 にはビット線ＢＬｉの９Ｖをメモリセルに転送するために必要な電圧（例えば１１Ｖ）、選択メモリセルのワード線ＷＬｉにはセルの閾値をシフトさせるために必要な電界を得ることが可能なある電圧（例えば１８Ｖ）、非選択メモリセルのワード線ＷＬｉにはセルの閾値をシフトさせずにビット線ＢＬｉの９Ｖを選択メモリセルに転送するために必要なある電圧（例えば９Ｖ）、選択線ＳＬ2 には０Ｖ、ウェルには０Ｖ、共通ソース線ＣＳには０Ｖを印加する。この結果、選択トランジスタQ1 からメモリセルM8 までのすべてのトランジスタは導通し、ビット線ＢＬｉと同電位となる。

【００１７】

従って、ビット線ＢＬｉに０Ｖが印加されたメモリセルは、チャネルと制御電極との間に１８Ｖの高電圧がかかり、トンネル電流が流れ、閾値は正方向にシフトする。また、ビット線ＢＬｉに９Ｖが印加されたメモリセルは、チャネルと制御電極との間に９Ｖしかかからないので、閾値の正方向のシフトは抑圧される。このようにビット線ＢＬｉにセルの閾値をシフトさせないために印加されるある値の電圧（本例では９Ｖ）を書込み禁止電圧Ｖｉｎｈと呼ぶ。

【００１８】

ここで、従来のＮＡＮＤ型ＥＥＰＲＯＭにおけるデータ消去／データ書込みの各動作モードにおいて、ロウメインデコーダＲＭＤｉが対応するセルブロック１１ｉを選択する時／選択しない時におけるロウメインデコーダＲＭＤｉの内部ノードＳおよび複数の制御信号Ｒ１、Ｒ２の電位の関係を図４中に示している。

【００１９】

ロウメインデコーダＲＭＤｉは、消去時にセルブロック１１ｉを選択する場合（消去選択時）には、第１のインバータ回路７１の出力ノードＳがＶss、第２のインバータ回路７２の出力ノードＳＢがＶcc、制御信号Ｒ１がＶss、制御信号Ｒ２がＶppになる。そして、ロウサブデコーダＲＳＤｉは、消去時には、入力ノードＧ１、Ｇ２、…、Ｇ８にＶppが供給されており、上記制御信号Ｒ１、Ｒ２を受けると、トランジスタＴＰおよびＴＮがオフになり、トランジスタＮｄがオンになる。これにより、ワード線ＷＬ１、ＷＬ２、…、ＷＬ８はＶssとなり、これらに接続されているメモリセルのデータが消去される。

【００２０】

また、ロウメインデコーダＲＭＤｉは、消去時にセルブロック１１ｉを選択しない場合（消去非選択時）には、ノードＳがＶcc、ノードＳＢがＶss、制御信号Ｒ１がＶpp、制御信号Ｒ２がＶssになる。そして、ロウサブデコーダＲＳＤｉは、上記制御信号Ｒ１、Ｒ２を受けて、トランジスタＴＰおよびＴＮがオンになり、トランジスタＮｄがオフになる。これにより、ワード線ＷＬ１、ＷＬ２、…、ＷＬ８はＶppとなり、これらに接続されているメモリセルには対応するセルブロックのデータは消去されない。

【００２１】

また、ロウメインデコーダＲＭＤｉは、書込み時にセルブロック１１ｉを選択する場合（書込み選択時）には、ノードＳがＶcc、ノードＳＢがＶss、制御信号Ｒ１がＶpp、制御信号Ｒ２がＶssになる。そして、ロウサブデコーダＲＳＤｉは、書込み時には、例えば選択ワード線ＷＬ１に対応する入力ノードＧ１にＶpp、残りの非選択ワード線ＷＬ２、…、ＷＬ８に対応する入力ノードＧ２、…、Ｇ８に中間電位の書込み禁止電圧Ｖｉｎｈが供給されているものとすれば、上記制御信号Ｒ１、Ｒ２を受けると、トランジスタＴＰおよびＴＮがオンになり、トランジスタＮｄがオフになる。これにより、ワード線ＷＬ１はＶppとなり、これに接続されているメモリセルにデータの書込みが行われ、ワード線ＷＬ２、…、ＷＬ８はＶｉｎｈとなり、これらに接続されているメモリセルにはデータの書込みが行われない。

【００２２】

また、ロウメインデコーダＲＭＤｉは、書込み時にセルブロック１１ｉを選択しない場合（書込み非選択時）には、ノードＳがＶss、ノードＳＢがＶcc、制御信号Ｒ１がＶss、制御信号Ｒ２がＶppになる。そして、ロウサブデコーダＲＳＤｉは、上記制御信号Ｒ１、Ｒ２を受けると、トランジスタＴＰおよびＴＮがオフになり、トランジスタＮＤがオンになる。これにより、ワード線ＷＬ１、ＷＬ２、…、ＷＬ８はＶssとなり、これらに接続されているメモリセルにはデータの書込みが行われない。

【００２３】

しかし、上記したような消去選択時／書込み非選択時には、ロウサブデコーダのプルダウン用のＮＭＯＳトランジスタＮｄは、ゲートにはＶppレベルの制御信号Ｒ２が印加され、ドレインには入力ノードＧ１、Ｇ２、…、Ｇ８からＣＭＯＳトランスファゲートＴＧを介してＶssレベルが印加され、ソースはＶssノードに接続されているので、そのゲート酸化膜にかかる電界ストレスが大きい。

【００２４】

また、前記したような消去非選択時には、ロウサブデコーダＲＳＤｉの全てのＣＭＯＳトランスファゲートＴＧのＰＭＯＳトランジスタＴＰは、ゲートにはＶssレベルの制御信号Ｒ２が印加され、ソース・ドレインには入力ノードＧ１、Ｇ２、…、Ｇ８からＶppレベルが印加されるので、そのゲート酸化膜に大きな電界ストレスＶppがかかる。

【００２５】

また、前記したような書込み選択時には、ロウサブデコーダＲＳＤｉの一部のＣＭＯＳトランスファゲートＴＧのＰＭＯＳトランジスタＴＰは、ゲートにはＶssレベルの制御信号Ｒ２が印加され、ソース・ドレインには一部の入力ノード（本例ではＧ１）からＶppレベルが印加されるので、そのゲート酸化膜に大きな電界ストレスＶppがかかる。

【００２６】

【発明が解決しようとする課題】

上記したようにセルブロック単位で独立に読み出し・書込み・消去を行うためにセルブロックに対応して設けられたロウデコーダを有するＥＥＰＲＯＭにおいて、メモリセルの書込み時や消去時にセルトランジスタの制御ゲートを電源電圧Ｖccより高い電圧Ｖppあるいは接地電位Ｖssに設定するような方式を採用する場合には、書込み時や消去時にロウサブデコーダ内の特定のトランジスタのゲート絶縁膜に多大な電界ストレスを受けることになり、その信頼性に与える影響が大きいという問題があった。

【００２７】

本発明は上記の問題点を解決すべくなされたもので、書込み時や消去時にロウサブデコー

ダ内の特定のトランジスタのゲート絶縁膜に多大な電界ストレスを受けることを防止でき、その信頼性の低下を防止し得る不揮発性半導体メモリを提供することを目的とする。

【００２８】

【課題を解決するための手段】

本発明の不揮発性半導体メモリは、それぞれ電気的に書き込み・消去可能な不揮発性メモリセルのアレイを有する複数のセルブロックと、上記複数のセルブロックに対応して設けられ、ロウアドレス信号をデコードし、読み出し／書き込み／消去の各動作モードに応じて電位が設定される複数の制御信号を出力する複数のロウメインデコーダと、上記複数のロウメインデコーダに対応して設けられ、対応するロウメインデコーダから与えられる制御信号に応じて対応するセルブロックの不揮発性メモリセルに対するデータの読み出し・書き込み・消去を制御する複数のロウサブデコーダとを具備し、前記ロウメインデコーダは、ロウアドレス信号をデコードするナンドゲートと、このナンドゲートの出力を反転させる第１のインバータ回路と、この第１のインバータ回路の出力を反転させ、第２の制御信号を出力する第２のインバータ回路と、上記２個のインバータ回路の出力をラッチするラッチ回路とからなり、上記ラッチ回路は、第１の電源ノードと第２の電源ノードとの間に直列に接続された第１のＰＭＯＳトランジスタおよび第１のＮＭＯＳトランジスタと、上記第１の電源ノードと接地ノードとの間に直列に接続された第２のＰＭＯＳトランジスタおよび第２のＮＭＯＳトランジスタとからなり、前記第１のＮＭＯＳトランジスタのゲートに前記第１のインバータ回路の出力が入力し、前記第２のＮＭＯＳトランジスタのゲートに前記第２のインバータ回路の出力が入力し、前記第１のＰＭＯＳトランジスタおよび第１のＮＭＯＳトランジスタの直列接続点は前記第２のＰＭＯＳトランジスタのゲートに接続されると共に第３の制御信号が取り出され、前記第２のＰＭＯＳトランジスタおよび第２のＮＭＯＳトランジスタの直列接続点は前記第１のＰＭＯＳトランジスタのゲートに接続されると共に第１の制御信号が取り出され、前記第１の電源ノードには電源電位またはこれより高い第１の電位が切換え供給され、前記第２の電源ノードには上記電源電位または接地電位が切換え供給され、対応するセルブロックの消去選択時／書き込み非選択時には、前記第１の制御信号の電位を接地電位、前記第２の制御信号の電位を電源電位、前記第３の制御信号の電位を第１の電位に設定し、対応するセルブロックの消去非選択時／書き込み選択時には前記第１の制御信号の電位を第１の電位、前記第２の制御信号の電位を接地電位、前記第３の制御信号の電位を前記電源電位あるいは接地電位より高い第２の電位に設定し、前記ロウサブデコーダは、読み出し／書き込み／消去の各動作モードおよび対応するセルブロックのメモリセルの制御ゲートに接続されているワード線の選択／非選択に応じて所定の電圧が供給される入力ノードと、この入力ノードと対応するワード線の一端との間に挿入接続され、ＰＭＯＳトランジスタとＮＭＯＳトランジスタとが並列に接続されたＣＭＯＳトランスファゲートと、上記ワード線の一端と接地ノードとの間に接続されたプルダウン用のＮＭＯＳトランジスタとを有し、上記ＣＭＯＳトランスファゲートのＰＭＯＳトランジスタのゲートには前記第３の制御信号が印加され、前記プルダウン用のＮＭＯＳトランジスタのゲートには前記第２の制御信号が印加され、前記ＣＭＯＳトランスファゲートのＮＭＯＳトランジスタのゲートには前記第１の制御信号が印加されることを特徴とする。

【００２９】

【作用】

ロウメインデコーダは、対応するセルブロックの消去選択時／書込み非選択時、対応するセルブロックの消去非選択時／書込み選択時に応じてそれぞれ所定の電位に制御された複数の制御信号を出力し、対応するロウサブデコーダにおけるＰＭＯＳトランジスタのゲートとプルダウン用のＮＭＯＳトランジスタのゲートとに別々の制御信号を供給する。

【００３０】

これにより、ロウメインデコーダは、セルブロックの書込み時や消去時にロウサブデコーダ内のＰＭＯＳトランジスタおよびＮＭＯＳトランジスタのゲート絶縁膜に多大な電界ストレスを受けないように制御信号の電位を適切に設定することが可能になり、上記ＰＭＯ

Ｓのトランジスタおよびｎｍｏｓトランジスタの信頼性の低下を防止することが可能になる。しかも、このような構成に伴ってチップ面積が大幅に増加することもない。

【００３１】

【実施例】

以下、図面を参照して本発明の実施例を詳細に説明する。

図１は、本発明の第１の実施例に係るＮＡＮＤセル型ＥＥＰＲＯＭの全体構成を示すブロック図である。

【００３２】

このＮＡＮＤ型ＥＥＰＲＯＭ10は、複数のＮＡＮＤ型メモリセルがマトリクス状に配設され、縦方向に多数本のビット線ＢＬが配列され、横方向に多数本のワード線ＷＬが配列されているメモリセルアレイ11と、外部から入力されたアドレスに基いて上記メモリセルアレイ11のワード線を選択するロウデコーダ12と、上記メモリセルアレイ11のビット線に接続されているセンス・ラッチ回路13と、このセンス・ラッチ回路13に接続されているカラムゲート15と、外部から入力されたアドレスに基き上記カラムゲート15を制御し、対応するビット線およびセンス回路を選択するカラムデコーダ14と、前記カラムゲート15に接続されているＩ／Ｏバッファ18と、書き込み動作や消去動作に必要な高電圧を供給するための昇圧回路16と、チップ外部とのインターフェースをとるための制御回路17とを具備している。

【００３３】

上記メモリセルアレイ11は、例えば８個のメモリセルと２個の選択トランジスタとが直列接続されてＮＡＮＤ型セルのアレイが図６に示したように複数のセルブロック１１ｉに分割されている。

【００３４】

例えば４ＭビットのＮＡＮＤ型ＥＥＰＲＯＭの場合、８ビット（１バイト）型のＮＡＮＤ型セルがカラム方向に２５６個、ロウ方向に２５６個設けられており、全体として４Ｍビットのセルアレイを構成している。そして、ロウ方向に２５６個のセルブロック１１ｉに分割されており、各セルブロック１１ｉは８×２５６＝２Ｋバイトのメモリセルを有する。

【００３５】

前記ロウデコーダ12は、複数のセルブロック１１ｉにそれぞれ対応して設けられたロウメインデコーダ１２Ｍｉとロウサブデコーダ１２Ｓｉとからなる。

ロウメインデコーダ１２Ｍｉは、アドレスバッファ（図示せず）などから入力するブロックアドレス信号をデコードし、読み出し／書き込み／消去の各動作モードおよび対応するセルブロック１１ｉの選択／非選択に応じて電位が設定される複数の制御信号を出力するような回路構成を有する。

【００３６】

ロウサブデコーダ１２Ｓｉは、対応するロウメインデコーダ１２Ｍｉから与えられる制御信号に応じて対応するセルブロック１１ｉのメモリセルに対するデータの読み出し・書込み・消去を制御するものであり、読み出し／書き込み／消去の各動作モードに応じて、対応するセルブロック１１ｉ内のＮＡＮＤ型セルの動作原理に適合するようにメモリセル選択線（ワード線ＷＬｉ）、選択トランジスタ選択線ＳＬｉなどをそれぞれ所要の電圧に設定するような回路構成を有する。

【００３７】

本発明では、従来のＥＥＰＲＯＭと比べて、ロウメインデコーダ１２Ｍｉの構成およびロウサブデコーダ１２Ｓｉに印加される制御信号が異なる。

図２は、前記ロウメインデコーダ１２Ｍｉ、ロウサブデコーダ１２Ｓｉおよびセルブロック１１ｉの１組の一例を示しており、セルブロック１１ｉ内のＮＡＮＤ型セルＮＡＣは代表的に２個分を示している。

【００３８】

ロウメインデコーダ１２Ｍｉは、ロウアドレス信号をデコードするナンドゲート７０と、

このナンドゲートの出力を反転させる第１のインバータ回路７１と、この第１のインバータ回路の出力を反転させる第２のインバータ回路７２と、上記２個のインバータ回路の出力をラッチするラッチ回路７３とからなる。上記ナンドゲート７０と２個のインバータ７１、７２の電源ノードには電源電圧Ｖccが供給される。

【００３９】

上記ラッチ回路７３は、第１の電源ノードＰと第２の電源ノードＱとの間に直列に接続された第１のＰＭＯＳトランジスタＰ１および第１のＮＭＯＳトランジスタＮ１と、上記第１の電源ノードＰと接地ノードとの間に直列に接続された第２のＰＭＯＳトランジスタＰ２および第２のＮＭＯＳトランジスタＮ２とからなる。そして、上記第１のＮＭＯＳトランジスタＮ１のゲートに前記第１のインバータ回路７１の出力が入力し、第２のＮＭＯＳトランジスタＮ２のゲートに前記第２のインバータ回路７２の出力が入力し、第１のＰＭＯＳトランジスタＰ１および第１のＮＭＯＳトランジスタＮ１の直列接続点（第１の出力ノードＡ）は第２のＰＭＯＳトランジスタＰ２のゲートに接続され、第２のＰＭＯＳトランジスタＰ２および第２のＮＭＯＳトランジスタＮ２の直列接続点（第２の出力ノードＢ）は第１のＰＭＯＳトランジスタＰ１のゲートに接続されている。

【００４０】

上記第１の電源ノードＰには電源電圧Ｖccまたは高電圧Ｖppが切換え供給され、第２の電源ノードＱには接地電位Ｖssまたは電源電圧Ｖccが切換え供給されるものであり、この第２の電源ノードＱは各セルブロック１１ｉに対応するロウメインデコーダ１２Ｍｉのラッチ回路７３に共通に接続されている。

【００４１】

上記ラッチ回路７３の第２の出力ノードＢの電位は第１の制御信号Ｒ１、第１の出力ノードＡの電位は第３の制御信号Ｒ３として出力し、前記第２のインバータ回路７２の出力ノードＳＢの電位は第２の制御信号Ｒ２として出力する。これらの第１乃至第３の制御信号Ｒ１～Ｒ３は、読み出し／書き込み／消去の各動作モードおよび対応するセルブロック１１ｉの選択／非選択に応じて電位が変化する。

【００４２】

即ち、上記ロウメインデコーダ１２Ｍｉは、対応するセルブロック１１ｉの消去選択時／書込み非選択時には、上記第１の制御信号Ｒ１の電位を第１の電位（本例では接地電位Ｖss）、前記第２の制御信号Ｒ２の電位を電源電位Ｖcc、前記第３の制御信号Ｒ３の電位を電源電位Ｖccより高い第２の電位（本例では高電圧Ｖpp）に設定し、対応するセルブロック１１ｉの消去非選択時／書込み選択時には、前記第１の制御信号Ｒ１の電位を第２の電位Ｖpp、前記第２の制御信号Ｒ２の電位を前記第１の電位Ｖss、前記第３の制御信号Ｒ３の電位を前記電源電位Ｖccあるいはこれより低い第３の電位（例えばほぼ３Ｖ）に設定する。

【００４３】

そして、ロウサブデコーダ１２Ｓｉは、読み出し／書き込み／消去の各動作モードおよび対応するセルブロック１１ｉのメモリセルの制御ゲートに接続されているワード線ＷＬ１、ＷＬ２、…、ＷＬ８の選択／非選択に応じて所定の電圧が供給される入力ノードＧ１、Ｇ２、…、Ｇ８と、この入力ノードと対応するワード線の一端との間に挿入接続され、ＰＭＯＳトランジスタＴＰとＮＭＯＳトランジスタＴＮとが並列に接続されたＣＭＯＳトランスファゲートＴＧと、上記ワード線ＷＬｉの一端と接地ノードとの間に接続されたプルダウン用のＮＭＯＳトランジスタＮｄとを有する。そして、上記ＣＭＯＳトランスファゲートＴＧのＰＭＯＳトランジスタＴＰのゲートには前記第３の制御信号Ｒ３が印加され、前記プルダウン用のＮＭＯＳトランジスタＮｄのゲートには前記第２の制御信号Ｒ２が印加され、前記ＣＭＯＳトランスファゲートＴＧのＮＭＯＳトランジスタＴＮのゲートには前記第１の制御信号Ｒ１が印加される。

【００４４】

なお、上記ＣＭＯＳトランスファゲートＴＧのＰＭＯＳトランジスタＴＰのゲートには、前記ラッチ回路７３の第１の電源ノードＰと同様に、電源電圧Ｖccまたは高電圧Ｖppが切

換え供給される。

【００４５】

ＮＡＮＤ型セルＮＡＣは、従来と同様に構成されている。即ち、浮遊ゲートを有するＭＯＳトランジスタからなる不揮発性のメモリセルM1 ～M8 が直列に接続され、一端が選択トランジスタQ1 を介してビット線ＢＬｉに、多端が選択トランジスタQ2 を介して共通ソース線ＣＳに接続されている。上記各トランジスタは同一のウェル基板上に形成されており、メモリセルM1 ～M8 の制御電極はワード線ＷＬ1 ～ＷＬ8 に接続されており、選択トランジスタQ1 の制御電極は選択線ＳＬ1 に、選択トランジスタQ2 の制御電極は選択線ＳＬ2 に接続されている。

【００４６】

メモリセルM1 ～M8 は、それぞれ保持するデータに応じた閾値を持っており、この閾値は“０”データを保持している時には０Ｖ以上であって読み出し時のワード線電位よりセルデータを紫外線で消去した時の閾値を差し引いた値より低い値に、また、“１”データを保持している時には０Ｖ以下に設定されている。

【００４７】

上記メモリセルM1 ～M8 に対するデータの読み出し・書込み・消去動作時には、図８の一覧表に示したように電圧が印加される。

次に、前記ロウメインデコーダ１２Ｍｉおよびロウサブデコーダ１２Ｓｉの動作について図３および図４を参照しながら説明する。

【００４８】

図３は、ロウメインデコーダ１２Ｍｉにおけるラッチ回路７３の第１の電源ノードＰの印加電位、第２の電源ノードＱの印加電位の波形例を示している。

図４は、本実施例（第１実施例）のＥＥＰＲＯＭにおけるデータ消去／データ書込みの各動作モードにおいて、ロウメインデコーダ１２Ｍｉが対応するセルブロック１１ｉを選択する時／選択しない時におけるロウメインデコーダ１２Ｍｉの内部ノードＳおよび複数の制御信号Ｒ１、Ｒ２、Ｒ３の電位の関係を一覧表にして示している。

【００４９】

ロウメインデコーダ１２Ｍｉは、消去時には、最初は、ラッチ回路７３の第１の電源ノードＰにＶcc、第２の電源ノードＱにＶssが印加されているものとする。そして、消去時にセルブロック１１ｉを選択する場合（消去選択時）には、第１のインバータ回路７１の出力ノードＳがＶss、第２のインバータ回路７２の出力ノードＳＢの電位（制御信号Ｒ２）がＶccになる。これにより、第１のＮＭＯＳトランジスタＮ１はオフ状態になるが、第２のＮＭＯＳトランジスタＮ２はオン状態になって制御信号Ｒ１がＶssになり、第１のＰＭＯＳトランジスタＰ１はオン状態になって制御信号Ｒ３がＶccになる。

【００５０】

このようにセルブロック１１ｉの選択が確定した後、第１の電源ノードＰの電位はＶppに昇圧され、制御信号Ｒ３がＶppになる。この後、第２の電源ノードＱの電位がＶccに切り替わるが、第１のＮＭＯＳトランジスタＮ１はオフ状態であるので、第１の出力ノードＡの電位（制御信号Ｒ３）に影響しない。

【００５１】

上記消去選択時に、ロウサブデコーダ１２Ｓｉの入力ノードＧ１、Ｇ２、…、Ｇ８にはＶppが供給されており、ロウサブデコーダ１２Ｓｉが上記制御信号Ｒ１、Ｒ２を受けると、トランジスタＴＰおよびＴＮがオフになり、トランジスタＮｄがオンになる。これにより、ワード線ＷＬ１、ＷＬ２、…、ＷＬ８はＶssとなり、これらに接続されているメモリセルのデータが消去される。

【００５２】

この場合、ロウサブデコーダ１２Ｓｉのプルダウン用のＮＭＯＳトランジスタＮｄは、ゲートの印加電位は従来例のようなＶppである必要はなく、本実施例のようにＶccが印加されてもオン状態になる。このように、プルダウン用のＮＭＯＳトランジスタＮｄは、ゲートにＶccレベルの制御信号Ｒ２が印加され、ドレインには入力ノードＧ１、Ｇ２、…、Ｇ

８からＣＭＯＳトランスファゲートＴＧを介してＶssレベルが印加され、ソースはＶssノードに接続されているので、そのゲート酸化膜にかかる電界ストレスはＶccであり、従来例のＶppよりも小さくなっている。

【００５３】

また、ロウメインデコーダ１２Ｍｉは、消去時にセルブロック１１ｉを選択しない場合（消去非選択時）には、ノードＳがＶcc、ノードＳＢの電位（制御信号Ｒ２）がＶssになる。これにより、第２のＮＭＯＳトランジスタＮ２はオフ状態になるが、第１のＮＭＯＳトランジスタＮ１はオン状態になって制御信号Ｒ３がＶssになり、第２のＰＭＯＳトランジスタＰ２はオン状態になって制御信号Ｒ１がＶccになる。

【００５４】

このようにセルブロック１１ｉの選択が確定した後、第１の電源ノードＰの電位はＶppに昇圧され、制御信号Ｒ１がＶppになる。この後、第２の電源ノードＱの電位がＶccに切り替わり、第２の電源ノードＱから第１のＮＭＯＳトランジスタＮ１を介して第１の出力ノードＡを充電する。この時、第１の出力ノードＡの電位（制御信号Ｒ３）は、第２の電源ノードＱの電位Ｖccから第１のＮＭＯＳトランジスタＮ１の閾値分だけ低下した値（ほぼ３Ｖ）になる。

【００５５】

上記消去非選択時に、ロウサブデコーダ１２Ｓｉが上記制御信号Ｒ１、Ｒ２、Ｒ３を受けると、トランジスタＴＰおよびＴＮがオンになり、トランジスタＮｄがオフになる。これにより、ワード線ＷＬ１、ＷＬ２、…、ＷＬ８はＶppとなり、これらに接続されているメモリセルには対応するセルブロックのデータは消去されない。

【００５６】

この場合、ロウサブデコーダ１２Ｓｉの全てのＣＭＯＳトランスファゲートＴＧのＰＭＯＳトランジスタＴＰは、その基板領域に前記ラッチ回路７３の第１の電源ノードＰと同じ電位（ＶccあるいはＶpp）が供給されているので、ゲートの印加電位は従来例のようなＶssである必要はなく、本実施例のようにほぼ３Ｖが印加されてもオン状態になる。

【００５７】

このように、上記ＰＭＯＳトランジスタＴＰは、ゲートにほぼ３Ｖの制御信号Ｒ３が印加され、ソース・ドレインには入力ノードＧ１、Ｇ２、…、Ｇ８からＶppが印加されるので、そのゲート酸化膜にかかる電界ストレスはＶpp－３Ｖであり、従来例のＶppよりも小さくなっている。

【００５８】

また、ロウメインデコーダ１２Ｍｉは、書込み時には、最初は、ラッチ回路７３の第１の電源ノードＰにＶcc、第２の電源ノードＱにＶssが印加されているものとする。そして、書込み時にセルブロック１１ｉを選択する場合（書込み選択時）には、ノードＳがＶcc、ノードＳＢ（制御信号Ｒ２）がＶssになる。これにより、第２のＮＭＯＳトランジスタＮ２はオフ状態になるが、第１のＮＭＯＳトランジスタＮ１はオン状態になって制御信号Ｒ３がＶssになり、第２のＰＭＯＳトランジスタＰ２はオン状態になって制御信号Ｒ１がＶccになる。

【００５９】

このようにブロックの選択が確定した後、第１の電源ノードＰの電位はＶppに昇圧され、制御信号Ｒ１がＶppになる。この後、第２の電源ノードＱの電位がＶccに切り替わり、第２の電源ノードＱから第１のＮＭＯＳトランジスタＮ１を介して第１の出力ノードＡを充電し、第１の出力ノードＡの電位（制御信号Ｒ３）がほぼ３Ｖになる。

【００６０】

上記書込み選択時に、ロウサブデコーダ１２Ｓｉは、例えば選択ワード線ＷＬ１に対応する入力ノードＧ１にＶpp、残りの非選択ワード線ＷＬ２、…、ＷＬ８に対応する入力ノードＧ２、…、Ｇ８に中間電位の書込み禁止電圧Ｖｉｎｈが供給されているものとすれば、上記制御信号Ｒ１、Ｒ２、Ｒ３を受けると、トランジスタＴＰおよびＴＮがオンになり、トランジスタＮｄがオフになる。

【００６１】
これにより、ワード線ＷＬ１はＶppとなり、これに接続されているメモリセルにデータの書込みが行われ、ワード線ＷＬ２、…、ＷＬ８はＶｉｎｈとなり、これらに接続されているメモリセルにはデータの書込みが行われない。
【００６２】
この場合、ロウサブデコーダ１２Ｓｉにおいて、入力ノードＧ１に接続されている一部のＣＭＯＳトランスファゲートＴＧのＰＭＯＳトランジスタＴＰは、ゲートにはほぼ３Ｖ（従来例のＶssとは異なる）の制御信号Ｒ３が印加され、ソース・ドレインには入力ノードＧ１からＶppが印加されるので、そのゲート酸化膜にかかる電界ストレスはＶpp－３Ｖであり、従来例のＶppよりも小さくなっている。
【００６３】
また、ロウメインデコーダ１２Ｍｉは、書込み時にセルブロック１１ｉを選択しない場合（書込み非選択時）には、ノードＳがＶss、ノードＳＢの電位（制御信号Ｒ２）がＶccになる。これにより、第１のＮＭＯＳトランジスタＮ１はオフ状態になるが、第２のＮＭＯＳトランジスタＮ２はオン状態になって制御信号Ｒ１がＶssになり、第１のＰＭＯＳトランジスタＰ１はオン状態になって制御信号Ｒ３がＶccになる。
【００６４】
このようにセルブロック１１ｉの選択が確定した後、第１の電源ノードＰの電位はＶppに昇圧され、制御信号Ｒ３がＶppになる。この後、第２の電源ノードＱの電位がＶccに切り替わるが、第１のＮＭＯＳトランジスタＮ１はオフ状態であるので、第１の出力ノードＡの電位（制御信号Ｒ３）に影響しない。
【００６５】
上記書込み非選択時に、ロウサブデコーダ１２Ｓｉが上記制御信号Ｒ１、Ｒ２、Ｒ３を受けると、トランジスタＴＰおよびＴＮがオフになり、トランジスタＮｄがオンになる。これにより、ワード線ＷＬ１、ＷＬ２、…、ＷＬ８はＶssとなり、これらに接続されているメモリセルにはデータの書込みが行われない。
【００６６】
この場合、ロウサブデコーダ１２Ｓｉのプルダウン用のＮＭＯＳトランジスタＮｄは、ゲートの印加電位は従来例のようなＶppである必要はなく、本実施例のようにＶccが印加されてもオン状態になる。このように、プルダウン用のＮＭＯＳトランジスタＮｄは、ゲートにＶccレベルの制御信号Ｒ２が印加され、ドレインには入力ノードＧ１、Ｇ２、…、Ｇ８からＣＭＯＳトランスファゲートＴＧを介してＶssレベルが印加され、ソースはＶssノードに接続されているので、そのゲート酸化膜にかかる電界ストレスはＶccであり、従来例のＶppよりも小さくなっている。
【００６７】
なお、上記実施例において、ロウメインデコーダ１２ＭｉのノードＳの“Ｈ”レベル時の電位はＶccであるので、前述したように消去非選択／書込み選択時に第２の電源ノードＱの電位がＶccになった時、制御信号Ｒ３の電位はＶccから第１のＮＭＯＳトランジスタＮ１の閾値分だけ低下したほぼ３Ｖになる。この場合、例えばブートストラップ回路を使用して上記ノードＳの“Ｈ”レベル時の電位がＶccより高くなるようにすれば、上記消去非選択／書込み選択時の制御信号Ｒ３の電位をＶccに設定することが可能になり、この制御信号Ｒ３がゲートに印加されるＰＭＯＳトランジスタＴＰのゲート酸化膜にかかる電界ストレスはＶpp－Ｖccになり、上記実施例例のＶpp－３Ｖよりもさらに小さくなる。
【００６８】
図５は、本発明の第２実施例に係るＥＥＰＲＯＭの一部を示している。
このＥＥＰＲＯＭは、図２を参照して前述した本発明の第１実施例のＥＥＰＲＯＭと比べて、消去非選択／書込み選択時にロウメインデコーダから出力する第３の制御信号Ｒ３の電位がＶccに設定されるように、ロウメインデコーダ１２Ｍｉの一部の構成が変更されており、その他の部分には図２中と同一符号を付してその説明を省略する。
【００６９】

また、この第２実施例のＥＥＰＲＯＭにおけるデータ消去／データ書込みの各動作モードにおいて、ロウメインデコーダ１２Ｍｉが対応するセルブロック１１ｉを選択する時／選択しない時におけるロウメインデコーダ１２Ｍｉの内部ノードＳおよび制御信号Ｒ１、Ｒ２、Ｒ３の電位の関係を図４中に示している。

【００７０】

即ち、ロウメインデコーダ１２Ｍｉは、図２中に示したロウメインデコーダ１２Ｍｉの第１のＮＭＯＳトランジスタＮ１が、ディプリーション型のＮＭＯＳトランジスタＤＮと基板領域にＶccが供給されたエンハンスメント型のＰＭＯＳトランジスタＥＰとの直列接続回路に置換されたものであり、上記ＮＭＯＳトランジスタＤＮのゲートが前記ノードＳに接続され、上記ＰＭＯＳトランジスタＥＰのゲートが前記ノードＳＢに接続されている。

【００７１】

上記ロウメインデコーダ１２Ｍｉの動作は、前述した第１実施例におけるロウメインデコーダの動作と比べて、消去非選択／書込み選択時に第２の電源ノードＱの電位がＶccになった時の動作が異なり、その他は同じであるのでその説明を省略する。即ち、消去非選択／書込み選択時の最初は、ラッチ回路７３の第１の電源ノードＰにＶcc、第２の電源ノードＱにＶssが印加されているものとすれば、ノードＳがＶcc、ノードＳＢ（制御信号Ｒ２）がＶssになる。これにより、第２のＮＭＯＳトランジスタＮ２はオフ状態になるが、ディプリーション型のＮＭＯＳトランジスタＤＮとエンハンスメント型のＰＭＯＳトランジスタＥＰはそれぞれオン状態になり、第１の出力ノードＡの電位（制御信号Ｒ３）はＰＭＯＳトランジスタＥＰの閾値で決まる値（ほぼ１Ｖ）になり、第２のＰＭＯＳトランジスタＰ２はオン状態になって制御信号Ｒ１がＶccになる。

【００７２】

このようにセルブロック１１ｉの選択が確定した後、第１の電源ノードＰの電位はＶppに昇圧され、制御信号Ｒ１がＶppになる。この後、第２の電源ノードＱの電位がＶccに切り替わり、第２の電源ノードＱからエンハンスメント型のＰＭＯＳトランジスタＥＰおよびディプリーション型のＮＭＯＳトランジスタＤＮを介して第１の出力ノードＡを充電し、第１の出力ノードＡの電位（制御信号Ｒ３）がＶccになる。

【００７３】

上記消去非選択／書込み選択時に、ロウサブデコーダ１２Ｓｉは、上記制御信号Ｒ１、Ｒ２、Ｒ３を受けると、トランジスタＴＰおよびＴＮがオンになり、トランジスタＮｄがオフになる。この場合、ゲートにＶccの制御信号Ｒ３が印加されるＰＭＯＳトランジスタＴＰは、ソース・ドレインに入力ノードからＶppが印加されるので、そのゲート酸化膜にかかる電界ストレスはＶpp－Ｖccであり、上記第１実施例のＶpp－３Ｖよりもさらに小さくなる。

【００７４】

なお、本発明は、上記実施例のＮＡＮＤ型ＥＥＰＲＯＭに限らず、ＮＯＲ型ＥＥＰＲＯＭにも適用でき、また、メモリセルのデータ消去に際して制御ゲートに接地電位を印加する方式あるいは負電圧のいずれを印加する方式など任意の消去方式を持つＥＥＰＲＯＭに適用できる。

【００７５】

【発明の効果】

上述したように本発明の不揮発性半導体メモリによれば、書込み時や消去時にロウサブデコーダ内の特定のトランジスタのゲート絶縁膜に多大な電界ストレスを受けることを防止でき、その信頼性の低下を防止することができる。

【図面の簡単な説明】

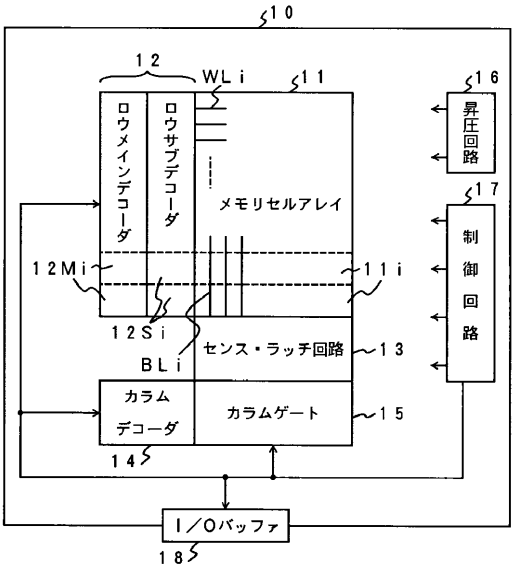
【図１】本発明の第１実施例のＮＡＮＤ型ＥＥＰＲＯＭの全体の構成を概略的に示すブロック図。

【図２】図１中のロウメインデコーダ、ロウサブデコーダおよびセルブロックの１組の一例を示す回路図。

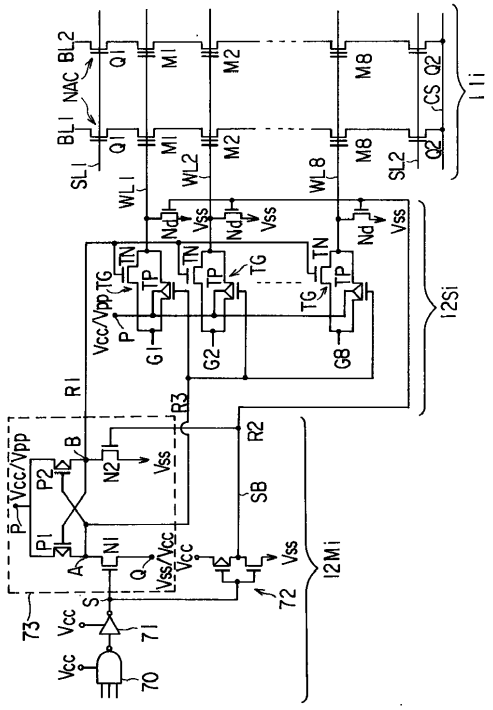
【図３】図２中のロウメインデコーダにおけるラッチ回路の第１の電源ノードＰの印加電

位および第２の電源ノードＱの印加電位の波形例を示す図。
【図４】図２中の回路の動作例におけるロウメインデコーダの内部ノードＳおよび複数の制御信号Ｒ１、Ｒ２、Ｒ３の電位の関係を示す図。
【図５】本発明の第２実施例のＥＥＰＲＯＭにおけるロウメインデコーダ、ロウサブデコーダおよびセルブロックの１組の一例を示す回路図。
【図６】ブロック単位で独立に読み出し・書込み・消去を行うＥＥＰＲＯＭの一例としてＮＡＮＤセル型ＥＥＰＲＯＭの一部を示すブロック図。
【図７】図６中のロウメインデコーダ、ロウサブデコーダおよびセルブロックの１組の一部を示す回路図。
【図８】図７中のメモリセルに対するデータの読み出し・書込み・消去動作時における印加する電圧の一覧表を示す図。
【符号の説明】
11…メモリセルアレイ、１１ｉ…セルブロック、12…ロウデコーダ、１２Ｍｉ…ロウメインデコーダ、１２Ｓｉ…ロウサブデコーダ、Ｇ１、Ｇ２、…、Ｇ８…入力ノード、ＴＧ…ＣＭＯＳトランスファゲート、ＴＰ…ＰＭＯＳトランジスタ、ＴＮ、Ｎｄ…ＮＭＯＳトランジスタ、ＮＡＣ…ＮＡＮＤ型セル、ＷＬ１～ＷＬ８…ワード線、M1 ～M8 …不揮発性のメモリセル、Q1 、Q2 …選択トランジスタ、ＢＬｉ…ビット線、ＣＳ…共通ソース線、ＳＬ1 、ＳＬ2 …選択線、７０…ナンドゲート、７１…第１のインバータ回路、７２…第２のインバータ回路、７３…ラッチ回路、Ｐ…ラッチ回路の第１の電源ノード、Ｑ…ラッチ回路の第２の電源ノード。

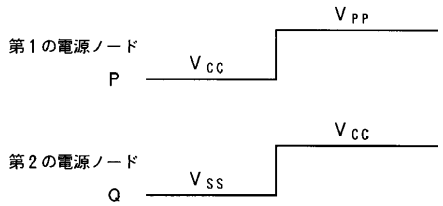
【図１】



【図２】



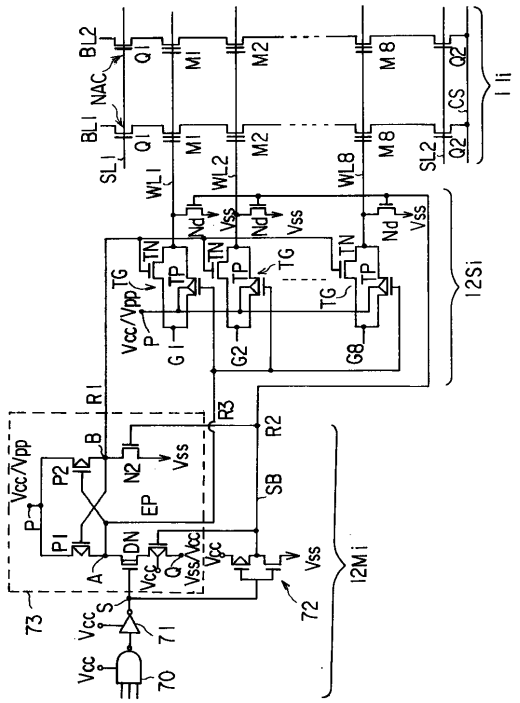
【図３】



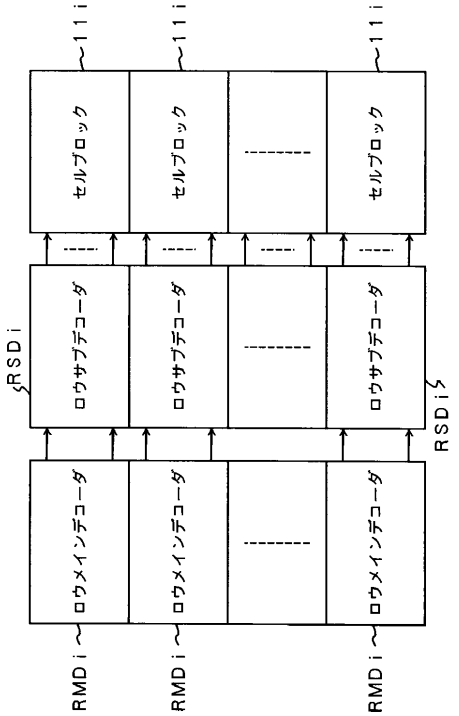
【図４】

	動作モード	ノードS	R1	R2	R3
従来例	消去選択／書き込み非選択	Vss	Vss	VPP	
	消去非選択／書き込み選択	Vcc	VPP	Vss	
第１の実施例	消去選択／書き込み非選択	Vss	Vss	Vcc	VPP
	消去非選択／書き込み選択	Vcc	VPP	Vss	≃3v
第２の実施例	消去選択／書き込み非選択	Vss	Vss	Vcc	VPP
	消去非選択／書き込み選択	Vcc	VPP	Vss	Vcc

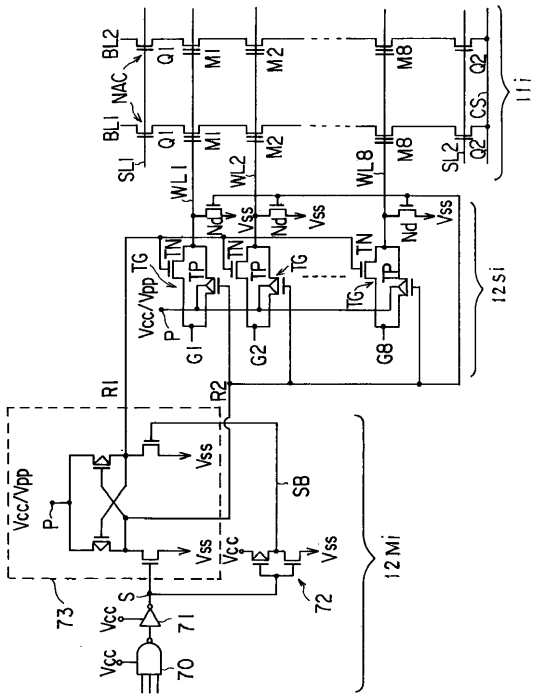
【図５】



【図６】



【図７】



【図８】

動作モード	読み出し	消　去	書き込み
ＢＬｉ	５Ｖプリチャージ	開　放	“０”書き込み　０Ｖ “１”書き込み　９Ｖ
ＳＬ１	５Ｖ	１８Ｖ	１１Ｖ
ＷＬｉ	選択　０Ｖ 非選択　５Ｖ	０Ｖ	選択　１８Ｖ 非選択　９Ｖ
ＳＬ２	５Ｖ	１８Ｖ	０Ｖ
ウェル	０Ｖ	１８Ｖ	０Ｖ
ＣＳ	０Ｖ	１８Ｖ	０Ｖ

フロントページの続き

(56)参考文献 特開平０７－０７３６８８（ＪＰ，Ａ）
特開平０６－２０３５８２（ＪＰ，Ａ）
特開平０６－１１１５８７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 16/06