

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl. ⁸ <i>G11C 29/00</i> (2006.01)	(45) 공고일자 2006년01월23일
	(11) 등록번호 10-0544362
	(24) 등록일자 2006년01월11일
<hr/>	
(21) 출원번호 (22) 출원일자 번역문 제출일자 (86) 국제출원번호 국제출원일자	10-2003-7012883 2003년09월30일 2003년09월30일 PCT/US2002/007340 2002년03월08일
	(65) 공개번호 (43) 공개일자 (87) 국제공개번호 국제공개일자
	10-2003-0085084 2003년11월01일 WO 2002/80183 2002년10월10일
<hr/>	
(30) 우선권주장	09/823,642
	2001년03월30일
	미국(US)
(73) 특허권자	인텔 코오퍼레이션 미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자	트립마이클 미국오래곤97116포레스트그로우브스카이레인532 마크타크 미국캘리포니아94587유니온시티엘발레플레이스30574 스피카마이클 미국오래곤97123힐스보로사우스이스트54th에비뉴1166
(74) 대리인	특허법인 신성

심사관 : 김세영

(54) 메모리 셀 구조적 테스트 방법 및 장치

요약

제1 및 제2 메모리 셀을 제1 및 제2 비트라인에 각각 연결하고, 제1 및 제2 비트라인을 통해 제1 및 제2 메모리 셀로부터 데이터를 판독하고, 제1 및 제2 비트라인의 전압 레벨을 비교하는 것을 포함하는 메모리 셀 테스트 방법 및 장치가 기재되어 있다.

대표도

도 2

색인어

메모리셀, 테스트, 비트라인, 비교기, 래치, 기준전압

명세서

기술분야

본 발명은 종래의 기능적인 테스트(functional tests)에 의해 가능한 것 이상으로 메모리 어레이의 테스트 능률을 올리기 위해 구조적인 테스트(structural test) 기술을 이용하는 것에 관한 것이다.

배경기술

대부분의 전자장치에 공통적으로 사용되는 메모리 어레이가 점점 커지고 더욱 고밀도로 패키지됨에 따라, 테스트 복잡성은 지수적으로 증가되고, 따라서 개개의 셀 및 다른 메모리 어레이 구성요소들을 완전히 테스트하기 위해 요구되는 시간도 증가되고 있다. 결과적으로, 발견된 결함을 고치기 위해 노력해야 하기 때문에 제조 테스트 공정이 완료되기까지의 시간이 더욱 오래 걸리게 된다.

이 기술분야에서 일반적인 관례는 다양한 조합의 값들이 메모리 어레이 내의 메모리 셀들로 기록되고 셀들로부터 판독되는 기능적인 테스트를 이용하는 것이다. 그러나, 메모리 어레이 내의 메모리 셀들의 로우 및 칼럼의 크기가 지속적으로 증가함에 따라, 메모리 셀들을 충분하게 테스트하기 위해 요구되는 기록 및 판독 동작의 횟수가 지수적으로 증가되고, 그에 대응하여 이러한 테스트를 수행하는데 요구되는 시간의 양도 역시 지수적으로 증가된다. 이것은 부품의 제조 작업량과 테스트 적용범위의 완전성 사이의 절충과 관련하여 문제점을 촉진시켜왔으며, 그에 따라, 결함있는 메모리 어레이가 고객에게 전달될 가능성을 증가시키고 있다.

또한, 이러한 기능적인 테스트는 고장원을 추적하는데 필요한 많은 정보를 제공하지 못한다. 본질적으로, 셀이 마지막으로 기록되었던 값과 다른 값을 응답한 것이 발견되면, 이러한 결과는 그것이 어드레스 디코더 결함인지, 데이터 래치 결함인지, 데이터 라인 결함인지, 메모리 셀 결함인지 또는 드라이버 결함인지에 관한 표시를 제공하지 못한다. 그러므로, 그 다음 제조 수율이 개선될 수 있도록 메모리 내의 결함을 격리시키기 위해 필요한 또 다른 테스트가 요구되며, 메모리 어레이의 크기가 지속적으로 증가하기 때문에, 이러한 추가적인 테스트를 수행하는데 요구되는 시간의 길이도 역시 증가하게 된다.

발명의 상세한 설명

본 발명은 메모리 셀 구조적 테스트 방법 및 장치에 관한 것으로서, 제1 및 제2 메모리 셀에 동일한 값을 기록하고, 상기 제1 메모리 셀을 제1 비트라인에 연결하고, 상기 제2 메모리 셀을 제2 비트라인에 연결하고, 상기 제1 및 제2 비트라인을 비교기 회로의 입력에 연결하고, 상기 제1 비트라인을 통해 상기 제1 메모리 셀로부터, 그리고 상기 제2 비트라인을 통해 상기 제2 메모리 셀로부터 상기 동일한 값을 판독하고, 상기 제1 및 제2 비트라인 상의 전압 레벨을 비교하는 과정을 포함한다.

도면의 간단한 설명

본 발명의 목적, 특징 및 장점은 다음의 상세한 설명을 고려하면 이 기술분야에 통상의 지식을 가진 자에게 명백해질 것이다.

도1은 본 발명의 일실시예의 블록도.

도2는 본 발명의 다른 실시예의 블록도.

도3은 본 발명의 또 다른 실시예의 블록도.

도4는 본 발명의 일실시예의 흐름도.

도5는 본 발명의 다른 실시예의 흐름도.

도6은 본 발명의 또 다른 실시예의 흐름도.

실시예

다음의 상세한 설명에서는 설명 목적상, 본 발명의 완전한 이해를 제공하기 위해 다양한 세부사항들이 설명된다. 그러나, 이 기술분야에 통상의 지식을 가진 자에 있어서는 본 발명을 실시하기 위해 이러한 특정적인 세부사항들이 필요로 되지 않는다는 것은 명백할 것이다.

본 발명은 로우와 칼럼으로 구성된 메모리 셀들의 어레이가 존재하며, 일반적으로 이용가능한 DRAM 및 SRAM IC의 경우에서와 같이 메모리 셀들이 동적으로 랜덤하게(randomly) 액세스될 수 있도록 되어 있는 메모리 어레이 관한 것이다. 그러나, 이 기술분야에 통상의 지식을 가진 자는 이해할 수 있는 바와 같이, 본 발명은 EROM IC, 프로그램가능 논리 장치 및 마이크로프로세서 내에 어레이로 구성된 구성요소들을 포함하여(이들에 제한되는 것은 아님) 다른 회로의 어레이에도 적용될 수 있다.

도1은 본 발명의 일실시예의 블록도이다. 메모리 어레이(100)는 상반부(110), 하반부(112), 다수의 워드라인(워드라인(130,132)를 포함함)을 통해 상기 상반부(110) 및 하반부(112)에 연결된 어드레스 디코더(120), 비교기 회로(140) 및 래치(142)를 포함하는 것으로 도시되어 있다. 상반부(110) 및 하반부(112) 내에는 비트라인(170,172)에 각각 연결된 메모리 셀(160,162)이 각각 존재한다. 비트라인(170,172)은 비교기 회로(140)의 입력에 연결되고, 비교기 회로(140)는 다음에 래치(142)에 연결된다. 본 발명에 관한 설명의 간략성을 위해, 단지 메모리 셀(160)과 비트라인(170)만이 상반부(101)에 도시되어 있고, 메모리 셀(162) 및 비트라인(172)만이 하반부(112)에 도시되어 있다. 그러나, 이 기술분야에 통상의 지식을 가진 자는 알 수 있는 바와 같이, 통상적인 메모리 어레이에는 많은 메모리 셀들이 연결되어 있는 많은 비트라인을 갖고 있다.

메모리 어레이(100)의 정상적인 동작 동안에, 어드레스 디코더(120)는 메모리 어드레스의 일부분을 디코드하고, 상반부(110) 및 하반부(112) 내의 적절한 메모리 셀들에 대한 액세스를 가능하게 하기 위해 어드레스 디코더(120)를 상반부(110) 및 하반부(112)와 연결하는 워드라인 중 적절한 워드라인을 턴온시킨다. 수행되고 있는 메모리 동작에 따라, 메모리 셀들이 연결된 비트라인을 통해 상반부(110) 및 하반부(112) 내의 메모리 셀들로부터 데이터가 판독되거나 기록된다. 예를 들어, 메모리 셀(160,162) 모두와 관련된 메모리 어드레스로의 기록 동작 동안에, 어드레스 디코더(120)는 메모리 어드레스의 일부분을 디코드하고, 비트라인(170,172)을 통해 메모리 셀(160,162)에 대한 액세스를 가능하게 하기 위해 워드라인(130,132)을 턴온시킨다.

본 발명의 일실시예에서, 메모리 셀(160,162)은 먼저 각각 비트라인(170,172)을 통해 각각의 메모리 셀(160,162)로 동일한 데이터를 기록함으로써 테스트된다. 다음에, 비트라인은 Vcc 또는 Vss로서 각각 언급되는 하이 전압 상태 또는 로우 전압 상태로 프리차지된다(precharged). 다음에, 어드레스 디코더(120)는 메모리 셀(160,162)과 관련된 메모리 어드레스의 일부분을 디코드한다. 다음에, 메모리 셀(160,162)은 비트라인(170,172) 상으로 그들의 데이터를 각각 출력한다. 비교기 회로(140)는 비트라인(170,172) 상의 전압을 연속적으로 비교하고, 이를 비트라인(170,172) 상의 전압이 실질적으로(substantially) 유사한지 여부를 나타내는 신호를 연속적으로 발생하는 단일 비교기이다. 본 발명의 일실시예에서, 래치(142)는 비트라인(170,172) 상의 샘플 하이-로우 천이를 나타내는 예시적인 과형(180,182)의 진행 동안에 예를 들어 시간 t1 및 t2에서 비교기 회로(140)의 출력의 상태를 포착하기 위해 테스트 중의 한번 또는 그 이상의 소정의 시간에 트리거될 수 있다. 본 발명의 다른 실시예에서, 래치(142)는 비트라인(170,172) 상의 전압이 실질적으로 달라졌다는 것을 나타내는 비교기 회로(140)로부터의 발생 신호를 래치하고 저장하는 "스티키 래치(sticky latch)"로서 구현될 수 있다.

메모리 어레이의 정상적인 사용중에 메모리 셀을 판독하는 경우에 비트라인을 하이 전압 상태로 프리차지시키는 것이 일반적인 관례이다. 그러므로, 본 발명의 일실시예에 있어서, 메모리 셀의 테스트는 메모리 셀을 판독할 때 하이 전압 상태로 충전된 비트라인을 이용하여 수행되게 된다. 그러나, 일반적으로 사용되는 메모리 셀 설계로 인해, 하이 상태만으로 프리차지로 제한하는 것은 메모리 셀 회로의 절반이 과도한 누설(leakage) 또는 다른 조건에 대해 테스트되지 않는 결과를 초래하게 된다. 그러므로, 본 발명의 다른 실시예는 하이 상태 및 로우 상태 모두로 프리차지되는 비트라인을 이용한 테스트를 수반하게 된다.

메모리 셀(160,162)을 테스트하기 위해 비교기 회로(140)를 이용하는 것은 동일하게 설계된 비트라인에 연결된 동일하게 설계된 메모리 셀들이 그들과 관련된 비트라인을 실질적으로 유사한 속도로 하이 또는 로우 상태로 구동시킬 수 있어야 한다는 가정에 기반하고 있다. 다시 말하면, 비트라인(170,172) 상에 나타나는 과형(예를 들어, 과형 180,182)이 실질적으로 유사하게 나타나야 한다. 비교기 회로를 이용하는 것도 역시 메모리 어레이(100) 내의 공정 변화 또는 다른 결함이 상반부(110) 및 하반부(112) 모두에서 동일한 결함을 초래하게 될 가능성성이 매우 낮고, 따라서 비트라인(170,172) 상에 나타나는 잘못된 과형들이 실질적으로 동일하게 보일만큼 충분히 유사한 방식으로 결함이 발생하게 될 가능성성이 매우 낮다는 가

정에 기반하고 있다. 다시 말하면, 본 발명에 따라 수행되는 테스트가 상반부(110)와 하반부(112) 사이의 메모리 셀들의 어떤 쌍 사이에서도 차이를 나타내지 않게 되도록 먼저 입자와 같은 불순물이나 제조공정 에러가 상반부(110)와 하반부(112)에 동일한 영향을 주게 되지 않는 것을 가정한 것이다.

메모리 어레이(100)는, 버퍼 및 다른 관련 회로가 집중하여 배치되고 비트라인들이 쉽게 유지되어 더욱 바람직한 전기적 특성을 제공할 수 있도록 이 기술분야에 통상의 지식을 가진 자에게 잘 알려진 일반적인 관례에 따라 상반부(110)와 하반부(112)로 분할된 것으로 도시되어 있다. 본 발명은 인접한 비트라인들의 전기적 특성을 비교하기 위한 비교기(140)와 같은 비교기 회로들을 집중하여 배치하기 위해 제공되는 동일한 중앙 위치를 이용하기 위해 이러한 일반적인 관례의 장점을 이용한다. 그러나, 이 기술분야에 통상의 지식을 가진 자에게 명백한 바와 같이, 메모리 어레이(100)를 상반부(110)와 하반부(112)로 분할하는 것이 본 발명을 실시하는데 있어 필수적인 것은 아니다. 본 발명은 메모리 어레이를 포함하여 구성 요소들의 많은 다른 레이아웃 또는 배치에 의해서도 실시될 수 있다.

도2는 본 발명의 다른 실시예의 블록도이다. 메모리 어레이(200)는 도1의 메모리 어레이(100)와 실질적으로 유사하며, 도2에서 200번대 번호가 붙은 구성요소들은 도1에서 100번대 번호가 붙은 구성요소들에 대응한다. 메모리 어레이(100)에 대응하는 방식으로, 메모리 어레이(200)는, 웨드라인(230)에 의해 상반부(210) 내의 메모리 셀(260)에 연결되고 웨드라인(232)에 의해 하반부(212) 내의 메모리 셀(262)에 연결된 어드레스 디코더(220)를 포함한다.

그러나, 오직 하나의 비트라인에만 각각 연결된 메모리 셀들(160,162)과 달리, 메모리 셀들(260,262)은 한쌍의 비트라인(비트라인 270,272 및 비트라인 272,276)에 각각 연결된다. 본 발명의 일실시예에서, 비트라인 쌍들은 각각의 메모리 셀로/로부터 1비트의 데이터 및 그 보수(complement) 데이터를 기록/판독하기 위해 각각의 메모리 셀과 함께 이용된다. 본 실시예에서, 1비트의 데이터 및 그 보수 데이터를 판독하기 위해 각각의 비트라인 쌍을 센스 증폭기의 차동 입력 쌍으로 루팅하는 것이 일반적인 관례이다. 그러나, 다른 실시예에서는, 각각의 메모리 셀로/로부터 데이터가 기록되거나 판독될 수 있도록 2개의(또는 그 이상의) 완전히 독립적인 루트를 제공하기 위해 2개의(또는 그 이상의) 비트라인이 사용된다. 이와 같이 다른 실시예에서 비트라인을 사용하는 것은 종종 다중 포트 메모리 구성요소가 구현되는 방식을 반영하게 된다.

도1의 메모리 어레이(100)의 비트라인(170,172)에 대응하는 방식으로, 각각의 메모리 셀(260,262)에 한쌍의 비트라인을 연결하는 목적과 관계없이, 비트라인(270,272)은 비교기 회로(240)의 입력에 연결되고, 비트라인(274,276)은 비교기 회로(244)의 입력에 연결된다. 또한, 도1에 대응하여, 비교기 회로(240,244)의 출력은 래치(242,246)에 연결된다.

메모리 셀들이 데이터 및 그 보수 데이터를 전달하는 비트라인 쌍을 이용하여 기록되고 판독되는 본 발명의 일실시예에 있어서, 메모리 셀(260,262)은 먼저 각각 비트라인(270,274) 및 비트라인(272,276)을 통해 각각의 메모리 셀(260,262)로 동일한 데이터를 기록함으로써 테스트된다. 다음에, 비트라인(270,276)은 하이 전압 상태 또는 로우 전압 상태로 프리차지된다. 다음에, 어드레스 디코더(220)는 메모리 셀(260,262)과 관련된 메모리 어드레스의 일부분을 디코드한다. 다음에, 메모리 셀(260,262)은 비트라인(270,274) 및 비트라인(272,276) 상으로 그들의 데이터를 각각 출력한다. 비교기 회로(240)는 비트라인(270,272) 상의 전압을 연속적으로 비교하고, 이들 비트라인(270,272) 상의 전압이 실질적으로 유사한지 여부를 나타내는 신호를 연속적으로 발생하는 단일 비교기이다. 비교기 회로(244)는 비트라인(274,276) 상의 전압에 대해 전술한 바와 동일한 동작을 수행한다. 본 발명의 일실시예에서, 래치(242,246)는 비교기 회로(240,244)의 출력의 상태를 포착하기 위해 테스트 중의 한번 또는 그 이상의 소정의 시간에 트리거될 수 있다. 본 발명의 다른 실시예에서, 래치(242,246)는 그들의 관련 비트라인 상의 전압이 실질적으로 달라졌다는 것을 나타내는 그것들이 연결된 비교기 회로로부터의 발생 신호를 래치하고 저장하는 "스티키 래치"로서 각각 구현될 수 있다.

또한, 데이터 및 그 보수 데이터를 전달하기 위해 비트라인 쌍을 이용하여 메모리 셀들이 기록 및 판독되고, 메모리 셀로부터의 판독에 센스 증폭기가 사용되는 실시예에 있어서, 센스 증폭기는 또한 메모리 셀을 테스트하기 위한 비교기 회로로서 사용되는 비교기로서 작용하도록 구성될 수 있다. 이것은 센스 증폭기가 이들 2가지 기능 중 하나 또는 다른 하나의 기능을 수행할 수 있도록 하는데 요구되는 바에 따라 비트라인들 중 서로 다른 비트라인들을 선택적으로 접속하고 분리시키기 위해 멀티플렉서를 이용함으로써 달성될 수 있다. 이와 달리, 본 발명의 다른 실시예에 있어서는, 센스 증폭기와 비교기들이 독립적인 구성요소로 유지될 수도 있다.

다중 포트 메모리의 경우에서처럼, 각각의 메모리 셀에 연결된 비트라인을 이용하여 메모리 셀들이 독립적으로 기록되고 판독될 수 있는 본 발명의 다른 실시예에 있어서, 메모리 셀들은 방금 전술한 바와 동일한 방식으로 대부분 테스트된다. 그러나, 메모리 셀(260,262)의 기록 기능에 결함이 없다는 것을 보장하기 위해, 각각의 메모리 셀(260,262)의 테스트가 2번 수행되는데, 즉, 먼저 메모리 셀(260,262)에 동일한 데이터를 기록하기 위해 비트라인(270,272)을 이용하고, 다시 비트라인(274,276)을 이용하여 수행된다.

도3은 본 발명의 또 다른 실시예의 블록도이다. 메모리 어레이(300)는 비교기 회로 및 그 관련 래치를 제외하고, 도2의 메모리 어레이(200)와 실질적으로 유사하며, 도3에서 300번대의 번호가 붙은 구성요소들은 도2에서 200번대의 번호가 붙은 구성요들과 대응한다. 메모리 어레이(200)와 대응하는 방식으로, 메모리 어레이(300)는, 워드라인(330)에 의해 상반부(310) 내의 메모리 셀(360)에 연결되고 워드라인(332)에 의해 하반부(312) 내의 메모리 셀(362)에 연결된 어드레스 디코더(320)를 포함한다. 또한, 메모리 어레이(200)와 대응하는 방식으로, 메모리 셀(360)은 비트라인(370,374)에 연결되고, 메모리 셀(362)은 비트라인(372,376)에 연결된다.

도2에 도시된 실시예와 달리, 도3의 비교기 회로들은 각각 하나의 감산 회로와 한쌍의 비교기로 구성된다. 비트라인(370,372)은 감산 회로(390)의 입력에 연결된다. 감산 회로(390)는 예를 들어, 비트라인(372)의 전압 레벨로부터 비트라인(370)의 전압 레벨을 감산하고, 감산 결과로부터 생성되는 차를 나타내는 전압을 출력하며, 이 출력은 정극성 또는 부극성 전압 출력이 될 수 있다. 이러한 감산 회로(390)의 출력은 각각의 비교기(340,341) 상의 2개의 입력 중 하나에 연결된다. 이에 대응하여, 비트라인(374,376)은 감산 회로(392)의 입력에 연결되며, 감산 회로(392)의 출력은 각각의 비교기(344,345) 상의 2개의 입력 중 하나에 연결된다. 각각의 비교기(340,344)의 다른 입력은 하이 기준 전압 레벨 +vref에 연결되고, 각각의 비교기(341,345)의 다른 입력은 로우 기준 전압 레벨 -vref에 연결된다. 이를 비교기(340,341,344,345)의 출력은 래치(342,343,346,347)의 입력에 각각 연결된다.

메모리 어레이(300)의 메모리 셀들이 한쌍의 비트라인을 이용하여 기록되고 판독되든지, 또는 독립적인 판독 및 기록 동작을 수행하기 위해 각 셀에 연결된 2개의 비트라인이 각각 이용되든지 관계없이, 메모리 어레이(300)의 메모리 셀(360,362)의 테스트는 도2의 메모리 셀(260,262)에 대해 전술한 바와 대부분 동일한 방식으로 수행된다. 그러나, 도3에 도시된 바와 같이 감산 회로와 한쌍의 비교기로 구성된 비교기 회로들의 구성은 비교가 이루어지는 비트라인 쌍의 전압들이 서로 달라질 수 있는 정도를 제어하기 위한 더욱 중요한 능력을 제공한다. 특히, +vref 및 -vref를 조정함으로써, 어느 하나의 비교기(340 또는 344)가 기능불량(function)을 나타내는 신호를 출력하기 전에 비트라인(370,372) 상의 전압 레벨이 조정 가능한 정도까지 달라질 수 있도록 허용하기 위해 비교기(340,342)가 바이어스될 수 있다. 만일 비트라인(370,372) 사이의 전압 레벨의 차가 +vref 이상으로 상승하게 되면, 비교기(340)는 그것을 나타내는 신호를 래치(342)로 출력하게 되고, 만일 비트라인(370,372) 사이의 전압 레벨의 차가 -vref 이하로 강하하게 되면, 비교기(344)는 그것을 나타내는 신호를 래치(346)로 출력하게 된다.

도4는 본 발명의 일실시예의 흐름도이다. 단계(400)에서 시작하여, 단계(410)에서 메모리 어레이 내의 한쌍의 메모리 셀에 동일한 값이 기록된다. 단계(420)에서, 2개의 메모리 셀 각각으로부터의 대응하는 비트라인 쌍이 비교기 회로의 입력에 연결된다. 각각의 메모리 셀이 오직 하나의 비트라인에만 연결되어 있는 본 발명의 일실시예에서, 이것은 단계(420)에서 2개의 비트라인이 각각 단일 비교기 회로의 입력에 연결된다는 것을 의미한다. 이와 달리, 각각의 메모리 셀이 2개의 비트라인에 연결되어 있는 다른 실시예에서는, 단계(420)에서 하나의 메모리 셀로부터의 각각의 비트라인이 다른 메모리 셀로부터의 대응하는 비트라인과 함께 비교기 회로에 연결된다.

단계(430)에서, 한쌍의 메모리 셀 각각으로부터 동일한 값이 판독되고, 비교기 회로에 연결된 각각의 대응하는 비트라인 쌍의 비교가 이루어진다. 만일 대응하는 비트라인 쌍 사이에서 전압 레벨이 실질적으로 다르면, 단계(460)에서 고장이 발견된다. 그러나, 대응하는 비트라인 쌍 사이의 전압 레벨에 실질적인 차이가 없으면, 단계(450)에서 메모리 셀 쌍 및 그것이 연결된 비트라인들의 테스트는 통과된다.

도5는 본 발명의 다른 실시예의 흐름도이다. 메모리 어레이 내의 메모리 셀들의 테스트는 단계(500)에서 시작된다. 단계(510)에서, 메모리 어레이 내의 한쌍의 메모리 셀에 동일한 값이 기록된다. 단계(520)에서, 메모리 셀 쌍 내의 각각의 메모리 셀에 연결된 대응하는 비트라인 쌍이 비교기 회로의 입력에 연결된다. 다음에, 단계(530)에서, 메모리 셀 쌍으로부터 동일한 값이 판독되고, 대응하는 비트라인 쌍의 전압 레벨의 비교가 이루어진다. 만일 단계(540)에서 대응하는 비트라인 쌍 사이의 전압 레벨에서 실질적인 차이가 발견되면, 실질적인 차이가 발견되었다는 사실이 단계(550)에서 래치된다. 그러나, 이러한 실질적인 차이가 단계(540)에서 발견되었는지 여부와 관계없이, 더 이상 테스트할 메모리 셀이 없으면, 단계(560)에서 테스트가 종료된다. 그렇지 않으면, 단계(510)에서 다른 메모리 셀 쌍에 대해 테스트가 반복된다.

예를 들어, 도1 및 도5를 모두 참조하여 설명하면, 단계(510)에서, 각각 비트라인(170,172)을 이용하여 메모리 셀(160,162)로 동일한 값이 기록된다. 단계(520)에서는, 비트라인(170,172)이 비교기 회로(140)의 입력에 연결된다. 다음에 단계(530)에서, 메모리 셀(160,162)로 기록된 동일한 데이터가 각각 비트라인(170,172)을 이용하여 메모리 셀(160,162)로부터 판독되고, 비교기 회로(140)를 이용하여 비트라인(170,172) 상의 전압 레벨들의 비교가 이루어진다. 만일 비교기 회로(140)가 비트라인(170,172) 사이의 실질적인 전압차를 검출하면, 이러한 사실을 나타내는 표시가 래치(142)에 의해 래치된다. 만일 단계(560)에서 테스트할 메모리 셀이 더 있으면, 단계(510)에서 다른 쌍의 동일한 값이 다른

쌍의 메모리 셀에 기록된다. 대안으로, 동일한 데이터를 판독하는 하나의 테스트를 위해 비트라인(170,172)이 하이 상태로 프리차지되고, 다음에 동일한 데이터의 다른 판독을 위해 로우 상태로 프리차되는 상황에서, 메모리 셀(160,162)에 대해 테스트가 반복될 수도 있다.

다른 예로서, 도2 및 도5를 참조하여 설명하면, 메모리 셀(260,262)은 비트라인 쌍을 이용하여 기록 및 판독되고, 특히, 비트라인(270,272)은 데이터를 기록 및 판독하기 위해 사용되며, 비트라인(274,276)은 보수 데이터를 기록 및 판독하기 위해 사용된다. 단계(510)에서, 메모리 셀(260,262)로 동일한 데이터를 기록하기 위해 비트라인(270,272)을 이용하여 메모리 셀(260,262)로 동일한 데이터가 기록되며, 반면에 비트라인(274,276)은 메모리 셀(260,262)로 동일한 보수 데이터를 기록하기 위해 사용된다. 다음에 단계(520)에서, 비트라인(270,272)은 비교기 회로(240)의 입력에 연결되고, 비트라인(274,276)은 비교기 회로(244)의 입력에 연결된다. 단계(530)에서, 메모리 셀(260)로부터의 판독을 위해 비트라인(270,274)을 이용하고, 메모리 셀(262)로부터의 판독을 위해 비트라인(272,276)을 이용하여, 메모리 셀(260,262)에 기록된 동일한 데이터 및 보수 데이터가 판독된다. 만일 비교기 회로(240)가 데이터를 판독하는 동안 비트라인(270,272) 사이의 실질적인 전압차를 검출하면, 이러한 사실을 나타내는 표시가 래치(242)에 의해 래치된다. 이에 대응하여, 만일 비교기 회로(244)가 보수 데이터를 판독하는 동안 비트라인(274,276) 사이의 실질적인 전압차를 검출하면, 이러한 사실을 나타내는 표시가 래치(246)에 의해 래치된다. 만일 단계(560)에서 테스트할 메모리 셀이 더 있으면, 단계(510)에서 다른 쌍의 동일한 값이 다른 쌍의 메모리 셀로 기록된다. 대안으로, 하나의 테스트를 위해 비트라인(270,272,274)이 하이 상태로 프리차지되고, 다음에 다른 테스트를 위해 로우 상태로 프리차되는 상황에서, 메모리 셀(260,262)에 대해 테스트가 반복될 수도 있다.

도6은 본 발명의 또 다른 실시예의 흐름도이다. 단계(600)에서, 메모리 어레이에서 데이터 비트 및 보수 데이터 비트를 기록 및 판독하기 위해 비트라인 쌍을 이용하는 메모리 셀의 테스트가 시작된다. 단계(610)에서, 메모리 어레이 내의 한쌍의 메모리 셀에 동일한 값이 기록되고, 단계(620)에서는, 한쌍의 메모리 셀의 각각의 메모리 셀에 연결된 데이터 및 보수 데이터를 위한 비트라인의 대응하는 비트라인이 비교기 회로의 입력에 연결된다. 다음에 단계(630)에서, 비교기 회로에 의해 이용되는 전압차가 설정된다. 다음에 단계(640)에서, 메모리 셀 쌍으로부터 동일한 값이 판독되고, 데이터 및 그 보수 데이터를 위한 대응하는 비트라인 쌍의 전압 레벨의 비교가 이루어진다. 만일 단계(650)에서 대응하는 비트라인 쌍에서 실질적인 전압차가 발견되면, 그러한 실질적인 전압차가 발견되었다는 사실이 단계(660)에서 래치된다. 그러나, 이러한 실질적인 전압차 단계(650)에서 발견되었는지 여부와 관계없이, 더 이상 테스트할 메모리 셀이 없으면, 단계(670)에서 테스트가 종료된다. 그렇지 않으면, 단계(610)에서 다른 메모리 셀 쌍에 대해 테스트가 반복된다. 대안으로, 만일 동일한 데이터의 판독 동안에 하이 및 로우 프리차지 상황에서 비트라인을 테스트할 것이 요구되면 테스트가 반복될 수 있다.

예를 들어, 도3 및 도6을 참조하여 설명하면, 메모리 셀(360,362)은 비트라인 쌍을 이용하여 기록되고 판독되며, 특히, 비트라인(370,372)은 데이터를 기록 및 판독하기 위해 이용되고, 비트라인(374,376)은 그 보수 데이터를 기록 판독하기 위해 이용된다. 단계(610)에서, 메모리 셀(360,362)에 동일한 데이터를 기록하기 위해 비트라인(370,372)을 이용하여 메모리 셀(360,362)로 동일한 값들이 기록된다. 다음에 단계(620)에서, 비트라인(370,372)이 감산 회로(390)의 입력에 연결되며, 이 감산 회로는 비교기(340,341)와 함께 하나의 비교기 회로를 구성한다. 이에 대응하여, 비트라인(374,376)은 감산 회로(392)의 입력에 연결되며, 이 감산 회로는 비교기(344,345)와 함께 하나의 비교기 회로를 구성한다. 단계(630)에서, 비교기(340,341)의 입력에 연결된 기준 전압 + vref와 비교기(344,345)의 입력에 연결된 기준 전압 -vref가 모두 설정된다. 단계(640)에서는, 메모리 셀(360)로부터의 판독을 위해 비트라인(370,374)을 이용하고, 메모리 셀(362)로부터의 판독을 위해 비트라인(372,376)을 이용하여, 메모리 셀(360,362)에 이미 기록된 데이터와 동일한 데이터 및 보수 데이터가 판독된다. 단계(650)에서, 만일 대응하는 비트라인 쌍(370,372) 또는 비트라인 쌍(374,376)의 전압 레벨에서 실질적인 전압차가 발견되면, 단계(660)에서 이러한 사실의 표시가 래치(342,343,346,347) 중 적절한 래치에 의해 래치된다.

특히, 감산기 회로(390)는 비트라인(372) 상의 전압으로부터 비트라인(370) 상의 전압을 감산하고, 그 결과인 전압차를 나타내는 전압을 비교기(340,341)의 입력으로 출력한다. 만일 비트라인(370,372) 사이의 전압 레벨에 차이가 존재하면, 감산기 회로(390)의 출력은 비트라인(370,372) 중 어떤 비트라인이 더 높은 전압 레벨을 갖고 있는지에 따라 정극성이 되거나 부극성이 되는 넌-제로(non-zero) 전압 레벨이 되게 된다. 비교기(340)는 이러한 감산기 회로(390)의 출력을 비교하여, 만일 이 출력의 전압 레벨이 + vref 보다 높으면, 그러한 사실의 표시가 래치(342)에 의해 래치된다. 이와 마찬가지로, 비교기(341)는 이러한 감산기 회로(390)의 출력을 비교하여, 만일 이 출력의 전압 레벨이 -vref 보다 낮으면, 그러한 사실의 표시가 래치(343)에 의해 래치된다. 이에 대응하여, 감산기 회로(392)는 비트라인(374,376)의 전압 레벨 사이의 차이를 나타내는 출력을 비교기(344,345)의 입력으로 제공하고, 이를 비교기는 아 출력을 + vref 및 -vref와 각각 비교하여, 이 출력의 전압 레벨이 + vref 이상으로 상승했는지 또는 -vref 이하로 하강했는지에 관한 표시가 래치(346,347)에 의해 각각 래치된다.

만일 단계(670)에서, 테스트 할 메모리 셀이 더 있으면, 다른 쌍의 동일한 값들이 다른 쌍의 메모리 셀들로 기록된다. 대안으로, 비트라인(370,372,374,376)이 하나의 테스트를 위해 하이 상태로 프리차지되고, 다음에 다른 테스트를 위해 로우 상태로 프리차지되는 상황에서 메모리 셀(360,362)에 대해 테스트가 반복될 수도 있다.

지금까지 본 발명은 바람직한 실시예를 참조하여 설명되었다. 그러나, 전술한 설명의 견지에서 이 기술분야에 통상의 지식을 가진 자에게는 다양한 대안, 수정, 변형 및 이용이 존재할 수 있다는 것은 명백할 것이다. 또한, 이 기술분야에 통상의 지식을 가진 자는 본 발명이 전자장치의 다른 기능을 지원하여 실시될 수도 있다는 것을 이해할 것이다.

본 발명의 실시예는 부분적으로 비트라인에 의해 액세스 가능한 메모리 셀들의 어레이와 관련하여 설명되었다. 그러나, 본 발명은 다양한 전자장치, 마이크로 전자장치, 마이크로 기계장치에도 적용될 수 있다.

(57) 청구의 범위

청구항 1.

제1 비트라인 및 제2 비트라인에 연결된 제1 메모리 셀;

제3 비트라인 및 제4 비트라인에 연결된 제2 메모리 셀;

상기 제1 및 제2 메모리 셀에 연결되어, 상기 제1 및 제2 메모리 셀에 대한 액세스를 가능하게 하기 위한 어드레스 디코더;

상기 제1 및 제3 비트라인에 연결되어, 상기 제1 비트라인 상의 상기 제1 메모리 셀과 상기 제3 비트라인 상의 상기 제2 메모리 셀로부터 데이터가 출력되는 시간에, 상기 제1 비트라인 상의 전압 레벨을 상기 제3 비트라인 상의 전압 레벨과 비교하기 위한 제1 비교기 회로; 및

상기 제2 및 제4 비트라인에 연결되어, 상기 제1 및 제3 비트라인 상에서 출력되는 데이터의 보수(complement)가 상기 제2 비트라인 상의 상기 제1 메모리 셀과 상기 제4 비트라인 상의 상기 제2 메모리 셀로부터 출력되는 시간에, 상기 제2 비트라인 상의 전압 레벨을 상기 제4 비트라인 상의 전압 레벨과 비교하기 위한 제2 비교기 회로

를 포함하는 장치.

청구항 2.

제1항에 있어서,

상기 어드레스 디코더는 메모리 어드레스의 일부분을 디코드하는

장치.

청구항 3.

제1항에 있어서,

상기 제1 및 제2 메모리 셀은 DRAM 메모리 셀인

장치.

청구항 4.

제1항에 있어서,

상기 제1 및 제2 메모리 셀은 SRAM 메모리 셀인

장치.

청구항 5.

제1항에 있어서,

상기 제1 비교기 회로는 상기 제1 비트라인에 연결된 제1 입력과 상기 제3 비트라인에 연결된 제2 입력을 갖는 단일 비교기(single comparator)를 포함하고, 상기 제2 비교기 회로는 상기 제2 비트라인에 연결된 제1 입력과 상기 제4 비트라인에 연결된 제2 입력을 갖는 단일 비교기를 포함하는

장치.

청구항 6.

제5항에 있어서,

상기 제1 비교기 회로의 출력은 상기 제1 비트라인 상의 전압 레벨이 상기 제3 비트라인 상의 전압 레벨과 실질적으로 다르다는 표시를 저장하기 위해 제1 래치에 연결되고, 상기 제2 비교기 회로의 출력은 상기 제2 비트라인 상의 전압 레벨이 상기 제4 비트라인 상의 전압 레벨과 실질적으로 다르다는 표시를 저장하기 위해 제2 래치에 연결되는

장치.

청구항 7.

제6항에 있어서,

상기 제1 및 제2 래치가 트리거되는 시간은 조정가능한

장치.

청구항 8.

제6항에 있어서,

상기 제1 래치는 상기 제1 비트라인 상의 전압 레벨이 상기 제3 비트라인 상의 전압 레벨과 실질적으로 다르다는 표시를 래치하기 위해 트리거되는 스티키 래치(sticky latch)이고, 상기 제2 래치는 상기 제2 비트라인 상의 전압 레벨이 상기 제4 비트라인 상의 전압 레벨과 실질적으로 다르다는 표시를 래치하기 위해 트리거되는 스티키 래치인

장치.

청구항 9.

제1항에 있어서,

상기 제1 및 제2 비교기 회로는 각각,

상기 제1 비트라인에 연결된 제1 입력과 상기 제2 비트라인에 연결된 제2 입력을 가진 감산 회로;

상기 감산 회로의 출력에 연결된 제1 비교기; 및

상기 감산 회로의 출력에 연결된 제2 비교기를 포함하는

장치.

청구항 10.

제9항에 있어서,

상기 제1 비교기의 출력은 상기 제1 비트라인과 상기 제2 비트라인 사이의 전압 레벨의 차가 제1 기준 전압 이상으로 상승했다는 표시를 저장하기 위해 제1 래치에 연결되고,

상기 제2 비교기의 출력은 상기 제1 비트라인과 상기 제2 비트라인 사이의 전압 레벨의 차가 제2 기준 전압 이하로 하강했다는 표시를 저장하기 위해 제2 래치에 연결되는

장치.

청구항 11.

제10항에 있어서,

상기 제1 및 제2 기준 전압은 조정가능한

장치.

청구항 12.

제10항에 있어서,

상기 제1 및 제2 래치가 트리거되는 시간은 조정가능한

장치.

청구항 13.

제10항에 있어서,

상기 제1 및 제2 래치는 스티키 래치이며, 상기 제1 래치는 상기 제1 비트라인과 상기 제2 비트라인 사이의 전압 레벨의 차가 상기 제1 기준 전압 이상으로 상승했다는 표시를 래치하고, 상기 제2 래치는 상기 제1 비트라인과 상기 제2 비트라인 사이의 전압 레벨의 차가 상기 제2 기준 전압 이하로 하강했다는 표시를 래치하는

장치.

청구항 14.

제1 및 제2 메모리 셀에 동일한 값을 기록하는 단계;

상기 제1 메모리 셀을 제1 비트라인에 연결하는 단계;

상기 제1 메모리 셀을 제2 비트라인에 연결하는 단계;

상기 제2 메모리 셀을 제3 비트라인에 연결하는 단계;

상기 제2 메모리 셀을 제4 비트라인에 연결하는 단계;

상기 제1 및 제3 비트라인을 제1 비교기 회로의 입력에 연결하는 단계;

상기 제2 및 제4 비트라인을 제2 비교기 회로의 입력에 연결하는 단계;

상기 제1 비트라인을 통해 상기 제1 메모리 셀로부터, 그리고 상기 제3 비트라인을 통해 상기 제2 메모리 셀로부터 상기 동일한 값을 판독하는 단계;

상기 제2 비트라인을 통해 상기 제1 메모리 셀로부터, 그리고 상기 제4 비트라인을 통해 상기 제2 메모리 셀로부터, 상기 제1 및 제3 비트라인을 통해 판독된 값의 보수인 상기 동일한 값을 판독하는 단계; 및

상기 제1 및 제3 비트라인 상의 전압 레벨을 비교하는 단계; 및

상기 제2 및 제4 비트라인 상의 전압 레벨을 비교하는 단계

를 포함하는 방법.

청구항 15.

제14항에 있어서,

상기 제1 비트라인의 전압 레벨이 상기 제3 비트라인의 전압 레벨과 실질적으로 다른지의 여부를 나타내는 상기 제1 비교기 회로로부터의 표시를 래치하는 단계; 및 상기 제2 비트라인의 전압 레벨이 상기 제4 비트라인의 전압 레벨과 실질적으로 다른지의 여부를 나타내는 상기 제2 비교기 회로로부터의 표시를 래치하는 단계

를 더 포함하는 방법.

청구항 16.

제14항에 있어서,

상기 제1 비트라인과 상기 제3 비트라인 사이, 및 상기 제2 비트라인과 상기 제4 비트라인 사이의 전압 레벨의 차가 실질적이 되는 정도를 설정하는 단계

를 더 포함하는 방법.

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

메모리 어레이 내의 제1 메모리 셀에 연결된 제1 비트라인;

상기 메모리 어레이 내의 제2 메모리 셀에 연결된 제2 비트라인;

상기 메모리 어레이 내의 상기 제1 메모리 셀에 연결된 제3 비트라인;

상기 제2 및 제3 비트라인에 연결된 멀티플렉서; 및

상기 제1 비트라인에 연결된 제1 입력 및 상기 멀티플렉서에 연결된 제2 입력을 가지며, 상기 멀티플렉서에 의해 선택됨에 따라 상기 제2 비트라인 또는 상기 제3 비트라인 중 하나에 선택적으로 연결되는 비교기

를 포함하는 장치.

청구항 20.

제19항에 있어서,

상기 제1 및 제2 메모리 셀은 DRAM 메모리 셀인

장치.

청구항 21.

제19항에 있어서,

상기 제1 및 제2 메모리 셀은 SRAM 메모리 셀인

장치.

청구항 22.

제19항에 있어서,

상기 비교기의 출력은 상기 제1 비트라인 상의 전압 레벨이 상기 제3 비트라인 상의 전압 레벨과 실질적으로 다르다는 표시를 저장하기 위해 래치에 연결되는

장치.

청구항 23.

제22항에 있어서,

상기 래치가 트리거되는 시간은 조정가능한
장치.

청구항 24.

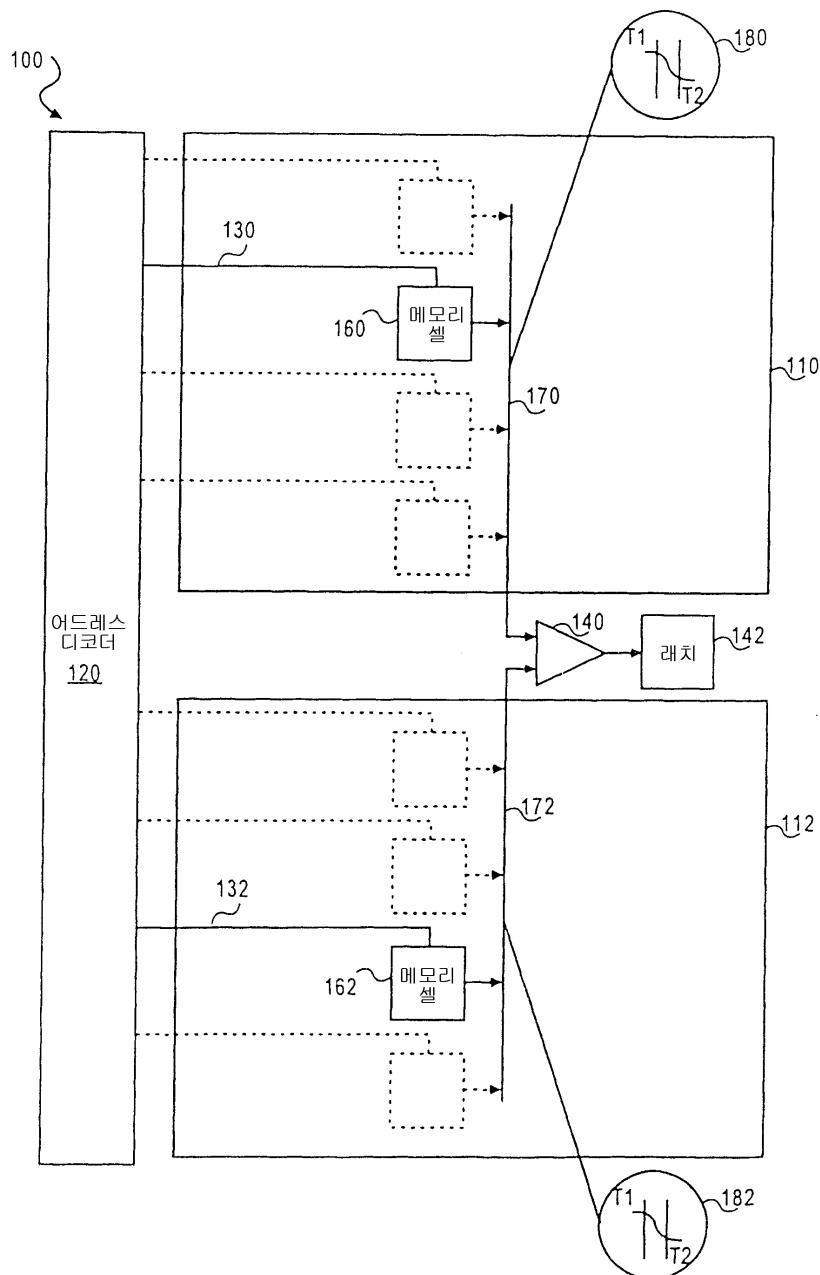
제22항에 있어서,

상기 래치는 상기 제1 비트라인 상의 전압 레벨이 상기 제3 비트라인 상의 전압 레벨과 실질적으로 다르다는 표시를 래치
하기 위해 트리거되는 스티키 래치인

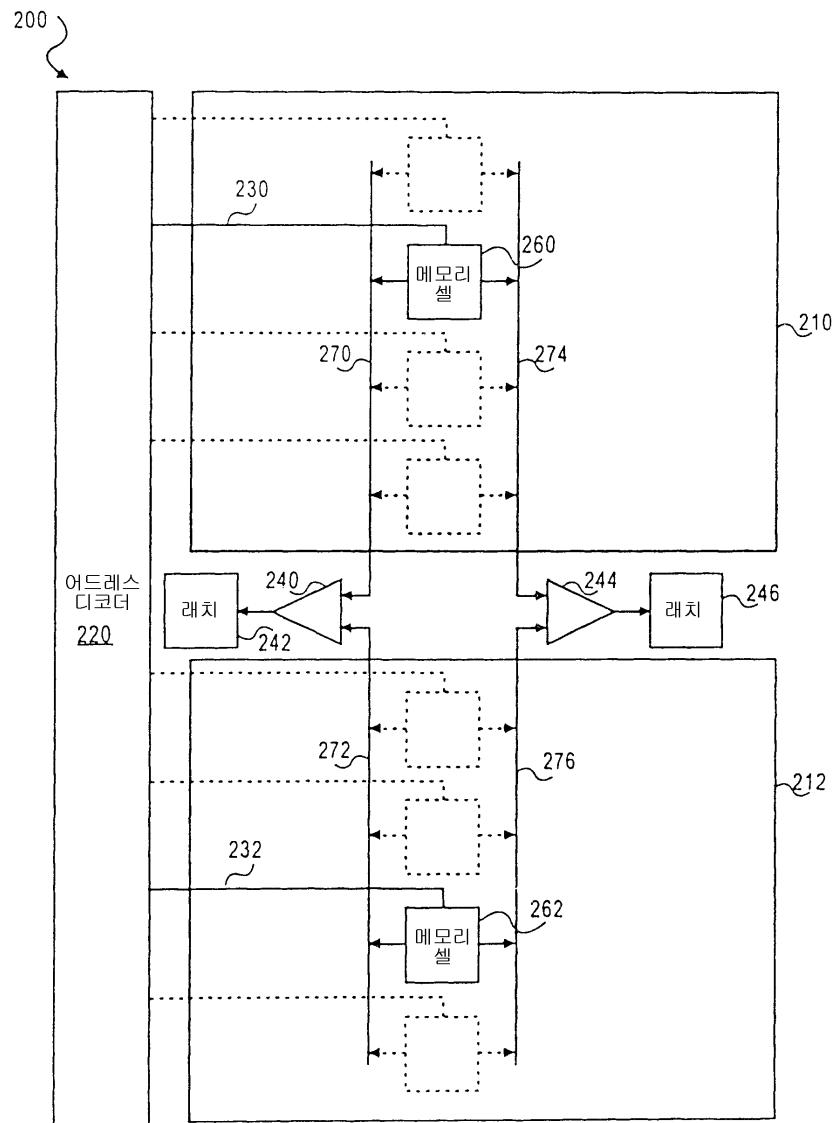
장치.

도면

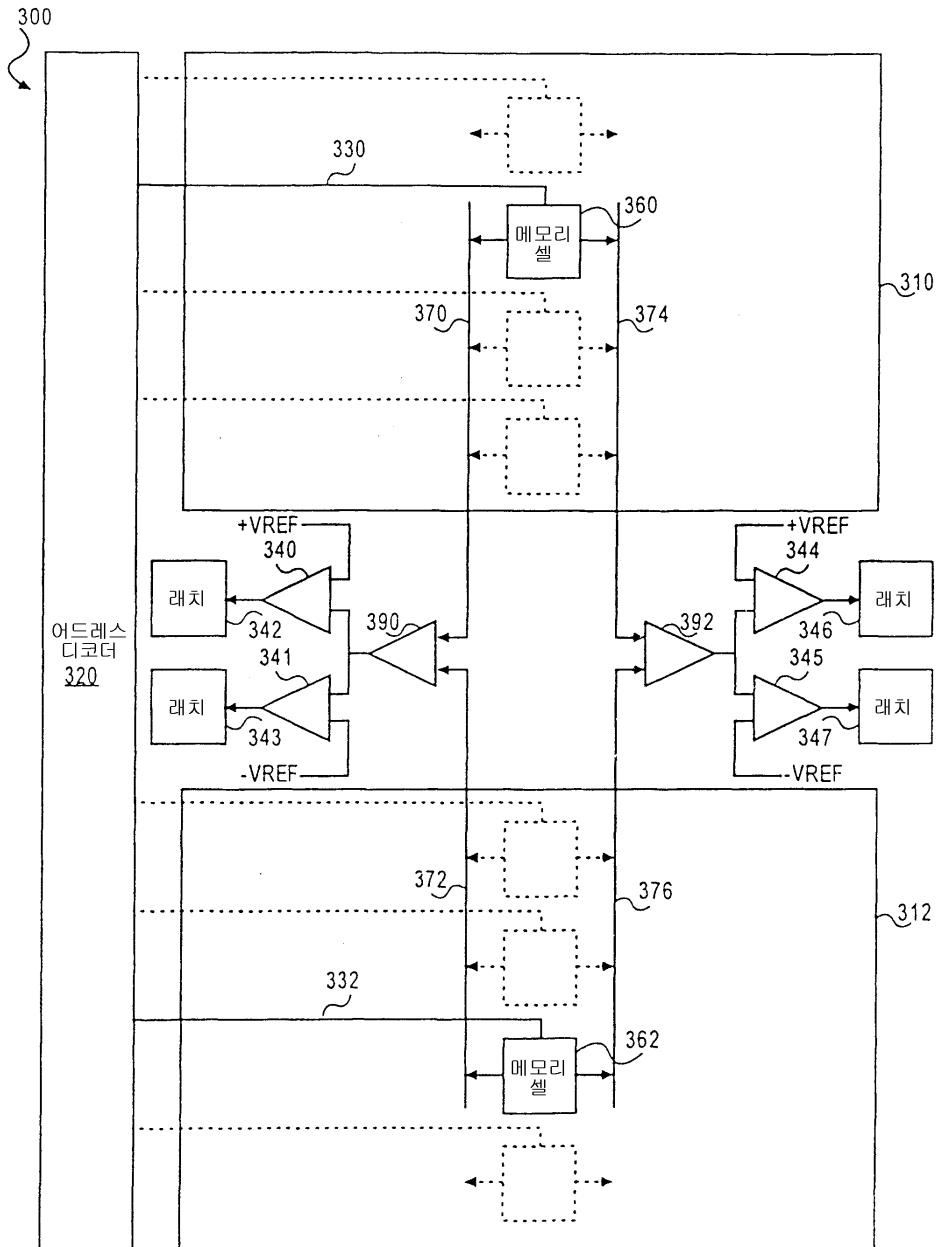
도면1



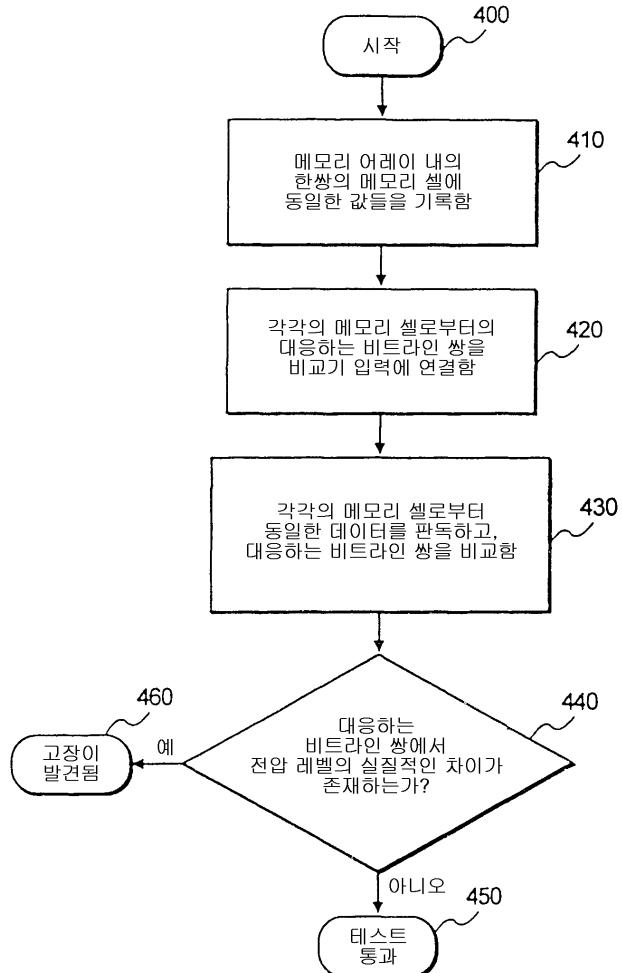
도면2



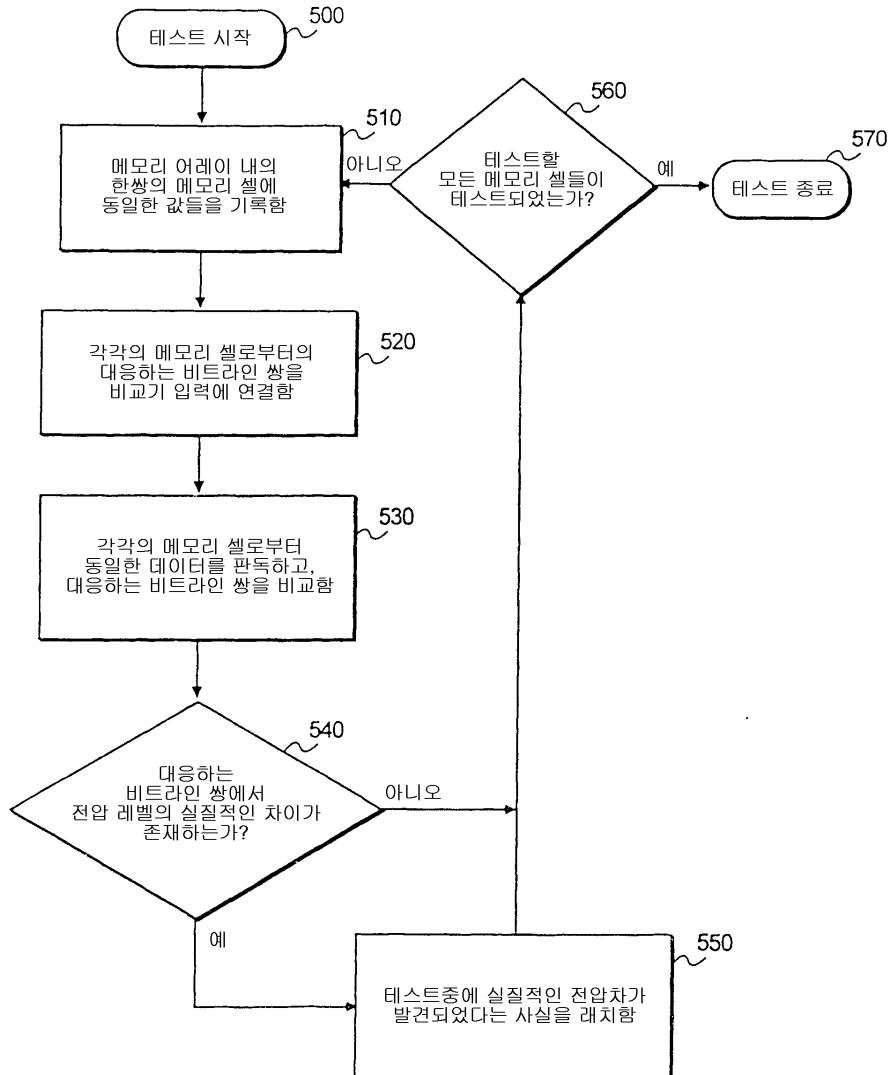
도면3



도면4



도면5



도면6

