



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월09일

(11) 등록번호 10-1480077

(24) 등록일자 2014년12월31일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2013-0074060

(22) 출원일자 2013년06월26일

심사청구일자 2013년06월26일

(65) 공개번호 10-2015-0001217

(43) 공개일자 2015년01월06일

(56) 선행기술조사문헌

JP2011103324 A\*

KR1020000048749 A\*

KR1020120081100 A

US20110169012 A1

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

경북대학교 산학협력단

대구광역시 북구 대학로 80 (산격동, 경북대학교)

(72) 발명자

이정희

대구광역시 수성구 동대구로50길 37 유림노르웨이  
숲 104동 1401호

김륜희

울산광역시 북구 염포로 685 성원상떼빌 110동  
2501호

(뒷면에 계속)

(74) 대리인

정홍식, 이현수, 김태현

전체 청구항 수 : 총 5 항

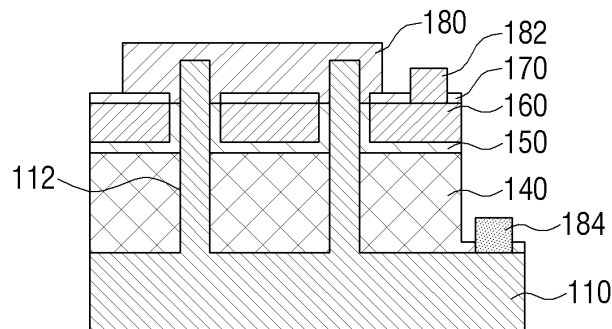
심사관 : 최정민

(54) 발명의 명칭 반도체 소자 및 그의 제조방법

### (57) 요약

반도체 소자 및 그의 제조방법이 개시된다. 본 발명에 따른 반도체 소자는 질화물층, 질화물층 상부에 배치된 제1 산화막, 질화물층으로부터 제1 산화막을 관통하여, 제1 산화막 상부로 돌출된 복수의 기둥 구조, 제1 산화막 상부로 돌출된 복수의 기둥 구조의 측면 및 제1 산화막의 상부 표면을 덮는 게이트 절연층, 게이트 절연층을 덮는 게이트 전극, 게이트 전극 상부에 배치되는 제2 절연층, 제2 절연층 상에 배치되어 복수의 기둥 구조와 연결되는 제1 전극을 포함한다.

대표도 - 도1



(72) 발명자

**강희성**

대구광역시 북구 침산로 153 명성푸르지오아파트  
104동 805호

**김동석**

대구광역시 동구 송라로28길 28 71신암아파트 2동  
15호

**조영우**

대구광역시 서구 국채보상로34길 12 중리롯데캐슬  
아파트 116동 2002호

## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

삭제

### 청구항 9

삭제

### 청구항 10

반도체 소자의 제조 방법에 있어서,

질화물층을 형성하는 단계;

상기 질화물층 상부에 복수의 기둥 구조를 형성하는 단계;

상기 질화물층 상부에 배치되며 상기 복수의 기둥 구조의 제1 높이까지 배치되는 제1 산화막을 형성하는 단계;

상기 제1 산화막의 상부 표면으로부터 돌출된 상기 복수의 기둥 구조의 측면 부분 및 상기 제1 산화막의 상부 표면을 덮는 게이트 절연층을 형성하는 단계;

상기 게이트 절연층을 덮는 게이트 전극을 형성하는 단계;

상기 게이트 전극 상부에 제2 절연층을 형성하는 단계;

상기 제2 절연층 상에서 상기 복수의 기둥 구조와 연결되는 제1 전극을 형성하는 단계; 및

상기 질화물층의 기설정된 영역에 제2 전극을 형성하는 단계;를 포함하며,

상기 복수의 기둥 구조를 형성하는 단계는

상기 질화물층 상부에 제2 산화막을 형성하는 단계;

상기 제2 산화막 상부에 기설정된 패턴으로 금속 박막을 형성하는 단계;

상기 금속 박막을 산소 분위기에서 열처리하여 산화 금속막을 형성하는 단계;

상기 산화 금속막을 마스크로 하여 상기 제2 산화막과 상기 질화물층을 식각하는 단계;

상기 산화 금속막 및 상기 제2 산화막을 제거하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 11

삭제

#### 청구항 12

제10항에 있어서,

상기 게이트 절연층은  $Al_2O_3$ 인 반도체 소자 제조 방법.

#### 청구항 13

제10항에 있어서,

상기 복수의 기둥 구조는 직원기둥 또는 직육면체 형태이며, 윗면의 지름 또는 변의 길이가 0 초과 2 $\mu m$  이하인 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 14

제10항에 있어서,

상기 게이트 전극은 n-타입 도펀트로 도핑된 n-타입 폴리 실리콘 또는 p-타입 도펀트로 도핑된 p-타입 폴리 실리콘인 반도체 소자 제조 방법.

#### 청구항 15

제10항, 제12항, 제13항 또는 제14항에 있어서,

상기 질화물층은 n-타입 도펀트로 도핑된 n-타입 GaN이며,

상기 복수의 기둥 구조는

미도핑 GaN 또는 n-타입 GaN인 것을 특징으로 하는 반도체 소자 제조 방법.

### 명세서

#### 기술분야

[0001] 본 발명은 반도체 소자 및 그의 제조방법에 관한 것으로, 보다 상세하게는 복수의 기둥 구조를 채널 영역으로 하는 트랜지스터 및 그의 제조 방법에 관한 것이다.

#### 배경기술

[0002] 반도체 소자의 집적도가 증가함에 따라 반도체 소자의 구성 요소들에 대한 디자인 룰(design rule)이 엄격해지고 있었다. 특히, 많은 수의 트랜지스터를 필요로 하는 반도체 소자에 있어서 디자인 룰의 표준이 되는 게이트 길이가 감소되고 이에 따라 채널의 길이도 감소되었는데, 트랜지스터의 채널 길이 감소는 이른바 단 채널 효과(short channel effect)를 증가시켰다.

[0003] 단 채널 효과란 드레인 전위의 효과로 인해 트랜지스터의 유효 채널 길이가 감소하여 항복전압(threshold voltage)이 감소하는 것을 말한다. 이러한 단 채널 효과로 인하여, 트랜지스터에 대한 제어가 어려워지고 더불어 트랜지스터의 오프 전류(off current)가 증가하는 경향을 보였다. 그 결과, 트랜지스터의 신뢰성이 나빠지며, 예컨대 메모리 소자의 리프레시(refresh) 특성이 나빠지는 것을 나타내었다.

[0004] 최근에는 종래 평면형 트랜지스터에서 문제가 되는 단채널 효과를 억제하고, 동시에 동작 전류를 높일 수 있는 얇은 핀의 여러 면을 채널로 이용하는 핀-채널 구조의 트랜지스터, 이른바 핀-펫(Fin-FET)을 이용한 반도체 소자가 연구되고 있었다.

[0005] 하지만, 핀-펫(Fin-FET)을 이용한 반도체 소자는 핀의 하면 전체를 채널 영역으로 이용하지 못함으로써 동작 전류의 증가에 한계가 있다는 문제가 있었다. 이에 따라, 핀의 한바퀴 전체 면적, 즉 측면, 상면 및 하면까지 전체를 채널 영역으로 이용할 수 있는 GAA(gate all around) 구조의 핀-펫 및 이를 이용한 다양한 반도체 소자에 대한 필요성이 대두되었다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명은 상술한 필요성에 따른 것으로, 본 발명의 목적은 복수의 기둥 구조를 채널 영역으로 하는 트랜지스터 및 그의 제조 방법을 제공함에 있다.

### 과제의 해결 수단

[0007] 이상과 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자는 질화물층, 상기 질화물층 상부에 배치된 제1 산화막, 상기 질화물층으로부터 상기 제1 산화막을 관통하여, 상기 제1 산화막 상부로 돌출된 복수의 기둥 구조, 상기 제1 산화막 상부로 돌출된 상기 복수의 기둥 구조의 측면 및 상기 제1 산화막의 상부 표면을 덮는 게이트 절연층, 상기 게이트 절연층을 덮는 게이트 전극, 상기 게이트 전극 상부에 배치되는 제2 절연층, 상기 제2 절연층 상에 배치되어 상기 복수의 기둥 구조와 연결되는 제1 전극을 포함한다.

[0008] 이 경우, 본 발명에 따른 반도체 소자는 상기 질화물층의 기설정된 영역에 배치되는 제2 전극을 더 포함할 수 있다.

[0009] 한편, 상기 게이트 절연층은  $Al_2O_3$ 일 수 있다.

[0010] 한편, 상기 복수의 기둥 구조는 직원기둥 또는 직육면체 형태이며, 윗면의 지름 또는 변의 길이가 0 초과  $2\mu m$  이하일 수 있다.

[0011] 한편, 상기 게이트 전극은 n-타입 도펀트로 도핑된 n-타입 폴리 실리콘 또는 p-타입 도펀트로 도핑된 p-타입 폴리 실리콘일 수 있다.

[0012] 한편, 상기 질화물층은 n-타입 도펀트로 도핑된 n-타입 GaN일 수 있다.

[0013] 이 경우, 상기 복수의 기둥 구조는 미도핑 GaN일 수 있다.

[0014] 한편, 상기 복수의 기둥 구조는 n-타입 GaN일 수 있다.

[0015] 이 경우, 상기 복수의 기둥 구조에 있어서, 게이트 전극을 관통하는 영역은 미도핑 GaN 또는 p-타입 GaN일 수 있다.

[0016] 한편, 본 발명에 따른 반도체 소자의 제조 방법은 질화물층을 형성하는 단계, 상기 질화물층 상부에 복수의 기둥 구조를 형성하는 단계, 상기 질화물층 상부에 배치되며 상기 복수의 기둥 구조의 제1 높이까지 배치되는 제1 산화막을 형성하는 단계, 상기 제1 산화막의 상부 표면으로부터 돌출된 상기 복수의 기둥 구조의 측면 부분 및 상기 제1 산화막의 상부 표면을 덮는 게이트 절연층을 형성하는 단계, 상기 게이트 절연층을 덮는 게이트 전극을 형성하는 단계, 상기 게이트 전극 상부에 제2 절연층을 형성하는 단계, 상기 제2 절연층 상에서 상기 복수의 기둥 구조와 연결되는 제1 전극을 형성하는 단계 및 상기 질화물층의 기설정된 영역에 제2 전극을 형성하는 단계를 포함한다.

[0017] 이 경우, 상기 복수의 기둥 구조를 형성하는 단계는 상기 질화물층 상부에 제2 산화막을 형성하는 단계, 상기 제2 산화막 상부에 기설정된 패턴으로 금속 박막을 형성하는 단계, 상기 금속 박막을 산소 분위기에서 열처리하여 산화 금속막을 형성하는 단계, 상기 산화 금속막을 마스크로 하여 상기 제2 산화막과 상기 질화물층을 식각하는 단계, 상기 산화 금속막 및 상기 제2 산화막을 제거하는 단계;를 포함할 수 있다.

[0018] 한편, 상기 복수의 기둥 구조를 형성하는 단계는 상기 질화물층 상부에 제2 산화막을 형성하는 단계, 상기 제2 산화막 상부에 기설정된 패턴으로 금속 박막을 형성하는 단계, 상기 금속 박막을 산소 분위기에서 열처리하여

산화 금속막을 형성하는 단계, 상기 산화 금속막을 마스크로 하여 상기 제2 산화막의 하부에 위치한 상기 질화물층이 노출될 때까지 상기 제2 산화막을 식각하는 단계, 상기 산화 금속막을 제거하는 단계, 상기 식각으로 노출된 질화물층 상부에 상기 복수의 기둥 구조를 성장시키는 단계 및 상기 제2 산화막을 제거하는 단계를 포함할 수 있다.

[0019]

한편, 상기 게이트 절연층은  $Al_2O_3$ 일 수 있다.

[0020]

한편, 상기 복수의 기둥 구조는 직원기둥 또는 직육면체 형태이며, 윗면의 지름 또는 변의 길이가 0 초과  $2\mu m$  이하일 수 있다.

[0021]

한편, 상기 게이트 전극은 n-타입 도펀트로 도핑된 n-타입 폴리 실리콘 또는 p-타입 도펀트로 도핑된 p-타입 폴리 실리콘일 수 있다.

[0022]

한편, 상기 질화물층은 n-타입 도펀트로 도핑된 n-타입 GaN이며, 상기 복수의 기둥 구조는 미도핑 GaN 또는 n-타입 GaN일 수 있다.

[0023]

한편, 상기 질화물층은 n-타입 GaN이며, 상기 식각으로 노출된 질화물층 상부에 상기 복수의 기둥 구조를 성장시키는 단계는 상기 식각으로 노출된 질화물층 상부에 제1 높이까지 n-타입 GaN을 성장시키는 단계, 상기 제1 높이까지 성장된 n-타입 GaN의 상부에 제2 높이까지 미도핑 GaN 또는 p-타입 GaN을 성장시키는 단계 및 상기 제2 높이까지 성장된 미도핑 GaN 또는 p-타입 GaN의 상부에 제3 높이까지 n-타입 GaN을 성장시키는 단계를 포함할 수 있다.

### 도면의 간단한 설명

[0024]

도 1은 본 발명의 일 실시 예에 따른 반도체 소자의 단면을 도시하는 도면,

도 2 내지 도 15는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면, 그리고

도 16은 도 15를 위에서 바라본 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0025]

이하에서, 첨부된 도면을 이용하여 본 발명에 대하여 구체적으로 설명한다.

[0026]

도 1은 본 발명의 실시 예에 따른 반도체 소자의 구조를 설명하기 위한 도면이다.

[0027]

도 1을 참조하면, 본 발명의 실시 예에 따른 반도체 소자는 질화물층(110), 제1 산화막(140), 게이트 절연층(150), 게이트 전극(160), 제2 절연층(170), 기둥 구조(112), 제1 전극(180) 및 제2 전극(184)을 포함한다. 한편, 본 발명의 실시 예에 따른 반도체 소자는 GaN계 화합물 반도체 트랜지스터로서, Si 및 GaAs에 비해 높은 항복 전압 및 높은 전자포화속도를 가지며, 열적, 화학적으로 안정하다는 특성으로 인하여 고출력 RF(Radio Frequency) 전력증폭기와 고전력 스위칭 소자로서 적합하다.

[0028]

또한, 본 발명의 실시 예에 따른 반도체 소자는 복수의 기둥 구조(112)에 복수의 채널이 생길 수 있어, 소자의 동작 시 이용 가능한 전자의 수가 종래의 트랜지스터에 비하여 상대적으로 많다. 이러한 점에서, 상기 기둥 구조(112)의 폭을 작게 제작하더라도, 폭이 작아짐에 따라 이용가능한 전자의 수가 줄어드는 문제는 기둥 구조(112)가 복수 개라는 점으로 상쇄될 수 있다.

[0029]

따라서, 본 발명의 실시 예에 따른 반도체 소자는 채널영역이 생길 기둥 구조(112)의 폭을 충분히 작게 제작하면, 전압 바이어스가 인가되지 않을 때에 완전 공핍(depletion)을 이룰 수 있으므로, 노멀리 오프(Normally-Off) 특성의 구현이 가능하다는 장점이 있다. 아래에서 본 발명의 실시 예에 따른 반도체 소자의 구성에 대해 좀 더 자세히 살펴보도록 한다.

[0030]

질화물층(110)은 반도체 소자의 하부에 위치하며, n-타입 도펀트로 도핑된 n-타입 GaN일 수 있다.

[0031]

제 1 산화막(140)은 질화물층(110) 상부에 배치된다. 그리고 제1 산화막(140)은 본 발명의 실시 예에 따른 반도체 소자 제작시, 복수의 기둥 구조(112)를 둘러싸며 배치되어 복수의 기둥 구조(112)를 보호하는 역할을 하며, 제1 산화막(140)은  $SiO_2$ 일 수 있다. 구체적으로 제1 산화막(140)은 질화물층 상부에 배치되며, 복수의 기둥 구조(112)의 제1 높이까지 배치된다. 여기서 제1 높이란, 도 1에 나타난 바와 같이, 게이트 전극(160)이 형성될 영역의 아래 부분까지의 높이를 의미하는 것으로서, 임의로 설정 가능한 높이이다.

- [0032] 게이트 절연층(150)은 제1 산화막(140) 상부로 돌출된 복수의 기둥 구조(112)의 측면 및 상기 제1 산화막(140)의 상부 표면을 덮도록 배치된다. 구체적으로 게이트 절연층(150)은 게이트 전극(160)과 복수의 기둥 구조(112) 간의 절연을 위하여 복수의 기둥 구조(112)의 기설정된 측면에도 배치된다. 즉, 게이트 절연층(150)은 제1 산화막(140) 상부로 돌출된 복수의 기둥 구조(112)의 측면 및 제1 산화막(140)의 상부 표면을 덮게 된다.
- [0033] 이와 같이, 게이트 절연층(150)이 게이트 전극(160)과 복수의 기둥 구조(112) 간의 절연을 위하여 복수의 기둥 구조(112)의 기설정된 측면을 둘러싸는 형태로 배치됨으로써, 채널 영역이 생길 기둥 구조(112)와 게이트 전극(160)이 전기적으로 접촉하는 것을 방지하여 게이트 전극(160)을 통하여 흐르는 원하지 않는 전류의 누설을 막을 수 있다. 여기서 기설정된 측면이란, 제1 높이에서부터 제1 전극(180)이 형성될 바로 아랫부분 까지를 일컫는 것으로서, 환언하면, 게이트 전극(160)이 형성되는 영역에서의 기둥구조의 측면이다. 구체적으로 게이트 절연층(150)은  $Al_2O_3$ 일 수 있으며, 알루미늄 옥사이드 외의 다른 옥사이드로 구현될 수 있으며 질화막 등 다른 절연막을 이용할 수도 있다.
- [0034] 게이트 전극(160)은 게이트 절연층(150) 상부에 배치된다. 구체적으로, 게이트 전극(160)은 상술한 게이트 절연층(150) 상부에 배치되고, 복수의 기둥 구조(112)를 둘러싸며 배치된 게이트 절연층(150)을 역시 둘러싸는 형태로 배치된다. 이러한 형태로 배치된 게이트 전극(160)은 제1 전극(180)과 제2 전극(184) 또는 소스 전극과 드레인 전극간 전류의 흐름을 게이트 전압으로 제어하는 역할을 한다. 게이트 전극(160)은 폴리 실리콘(poly Si) 박막일 수 있으며, 구체적으로, n-타입 도펀트로 도핑된 n-타입 폴리 실리콘 또는 p-타입 도펀트로 도핑된 p-타입 폴리 실리콘 박막일 수 있다.
- [0035] 제2 절연층(170)은 게이트 전극(160) 상부에 배치된다. 구체적으로 제2 절연층(170)은 폴리 실리콘 박막으로 이루어진 게이트 전극(160)을 산화시켜 형성된 산화막으로서,  $SiO_2$ 로 구현될 수 있다. 그리고 제2 절연층(170)은 제1 전극(180)과 게이트 전극(160)간의 절연을 위한 구성으로서, 제1 전극(180)과 게이트 전극(160) 사이에 배치된다.
- [0036] 제1 전극(180)은 제2 절연층(170) 상부에 배치되어 복수의 기둥 구조(112)와 연결된다. 구체적으로 제1 전극은 제2 절연층(170) 상부에 배치되면서 복수의 기둥 구조(112)의 윗면과 맞닿게 배치되거나, 복수의 기둥 구조(112)를 둘러싸며 맞닿는 형태로 배치될 수 있다. 제1 전극(180)은 소스 전극 또는 드레인 전극으로 구현될 수 있으며, 제1 전극(180)이 소스 전극인 경우 제2 전극(184)은 드레인 전극으로 구현된다.
- [0037] 제2 전극(184)은 질화물층(110)의 기설정된 영역에 배치된다. 여기서 기설정된 영역이란, 도1에 도시된 바와 같이 질화물층(110)의 윗면에 배치될 수 있으며, 질화물층(110)과 맞닿을 수만 있다면, 질화물층(110) 하부에도 위치될 수 있다.
- [0038] 제1 전극(180)과 제2 전극(184)은 각각 캐리어(구체적으로, 전자 또는 홀)를 반도체 소자에 공급하는 소스 전극 또는 소스 전극으로 부터 공급받은 캐리어가 외부 소자로 이동되는 통로역할을 수행하는 드레인 전극일 수 있다. 그리고 제1 전극(180) 및 제2 전극(184)은 티타늄(Ti), 알루미늄(Al), 니켈(Ni) 및 금(Au) 등의 금속으로 이루어 질 수 있다.
- [0039] 복수의 기둥 구조(112)는 제1 산화막(140), 게이트 절연층(150), 게이트 전극(160), 제2 절연층(170)을 관통하여 질화물층(110)과 제1 전극(180)을 연결하도록 배치된다. 그리고 복수의 기둥 구조(112)는 본 발명의 실시 예에 따른 반도체 소자에서 채널 영역이 형성될 부분으로서, 반도체 소자가 복수의 기둥 구조(112)에서 복수 개의 채널 영역을 이용할 수 있도록 하므로 반도체 소자의 동작 시 이용 가능한 전자의 수가 종래의 트랜지스터에 비하여 상대적으로 많다는 장점이 있다. 즉, 본 발명의 실시 예에 따른 반도체 소자는 복수의 기둥 구조(112)를 포함함으로써, 벌크 단위의 전자 채널층 형성이 가능하게 된다. 이러한 점에서, 상기 기둥 구조(112)의 폭을 작게 제작하더라도, 폭이 작아짐에 따라 이용가능한 전자의 수가 줄어드는 문제는 기둥 구조(112)가 복수 개라는 점으로 상쇄될 수 있다.
- [0040] 따라서, 본 발명의 실시 예에 따른 반도체 소자는 채널영역이 생길 기둥 구조(112)의 폭을 충분히 작게 제작하면, 전압 바이어스가 인가되지 않을 때에 완전 공핍(depletion)을 이룰 수 있으므로, 노멀리 오프(Normally-Off) 특성의 구현이 가능하다는 장점이 있다. 구체적으로, 기둥 구조(112)의 폭은 0 초과 2  $\mu m$  이하일 수 있다.
- [0041] 또한 복수의 기둥 구조(112)는 직원기둥 또는 직육면체 형태이며 구체적으로 윗면의 지름 또는 변의 길이가 0 초과 2 $\mu m$  이하일 수 있다. 여기서 직원기둥 또는 직육면체 형태라 함은, 윗면과 아랫면을 잇는 측면의 연장된 선이 곧다(straight)는 것을 의미한다. 즉, 본 발명의 실시 예에 따른 반도체 소자는 복수의 기둥 구조(112) 형

성시, 마스크를 이용하여 복수의 기둥 구조(112)를 성장시키는 방식을 이용하므로, 마스크 영역을 벗어나서 측면으로 과성장될 우려가 적다.

- [0042] 한편, 본 발명에 따른 실시 예와 달리, 마스크 없이 기둥 구조(112)를 형성하는 경우, 일 예로 기둥 구조의 맨 아래 하부의 씨드(seed)를 기초로 bottom-up 방식으로 수직인 구조를 형성하는 경우에 있어선, 수직인 구조를 성장함에 따라 간헐적으로 수직이 아닌 옆으로 과성장될 수 있어, 측면의 표면이 거칠거나 평평하지 않은 형태가 될 수 있으므로 본 발명의 실시 예에 따른 반도체 소자와 같이 측면의 연장 선이 곧은 직원기둥 또는 직육면체의 형태를 얻기 어렵다.
- [0043] 반면에 본원 발명의 실시 예에 따른 반도체 소자와 같이 측면의 표면이 상대적으로 매끄러운 곧은 복수의 기둥 구조(112)를 채널 영역이 생길 부분의 구성으로 이용하게 되면, 채널 영역에서의 우수한 결정도를 얻을 수 있어 결과적으로 전자의 흐름도를 향상시킬 수 있다는 장점이 있다.
- [0044] 구체적으로 복수의 기둥 구조(112)는 n-타입 GaN일 수 있다. 이 경우, 질화물층(110)도 역시 n-타입 GaN으로 이루어진 경우, 복수의 기둥 구조(112)와 질화물층(110)은 같은 물질로 구성되게 된다. 이와 같은 경우, 제조 단계에 있어서 질화물층(110)과 복수의 기둥 구조(112)를 한번에 형성할 수 있어 공정이 단순화될 수 있다.
- [0045] 또 다른 실시 예에서 질화물층(110)이 n-타입 GaN인 경우 복수의 기둥 구조(112)는 미도핑 GaN으로 구현될 수 있다. 복수의 기둥 구조(112)가 미도핑 GaN으로 구현되는 경우, 반도체 소자는 높은 항복 전압을 가질 수 있게 된다.
- [0046] 또 다른 실시 예에서 질화물층(110)이 n-타입 GaN인 경우 복수의 기둥 구조(112)는 도 8d에서 도시된 바와 같이 게이트 전극을 관통하는 영역이 미도핑 GaN 거나 p-타입 GaN인 경우로 구현될 수 있다. 이와 같은 경우, 소스 전극과 드레인 전극과 맞닿는 부분은 n-타입 GaN으로 구현되어 상대적으로 더 많은 전류량이 흐를 수 있으며, 동시에 가운데가 미도핑 GaN 거나 p-타입 GaN이기 때문에 높은 항복 전압을 기대할 수 있게 된다.
- [0047] 이상에서는 본 실시 예에 따른 반도체 소자를 구성하는 구성에 대해서 설명하였으며, 이하에서는 본 실시 예에 따른 반도체 소자의 제조 단계를 설명한다.
- [0048] 이하에서 설명할 각각의 층(layer)을 형성하는 방법은 MOCVD, PECVD, APCVD, LPCVD, UHCVD, PVD, 전자빔 방식, 저항 가열방식 등 다양한 방식에 의해 가능하다. 구체적으로, 질화물을 증착하는 방식에는 유기금속화학기상증착(metalorganic chemical vapor deposition; MOCVD), 할로젠화물 기상 에피택시(halide vapor phase epitaxy; HVPE), 분자 빔 에피택시(molecular beam epitaxy; MBE) 및 원자 층 증착(atomic layer deposition; ALD) 등이 있을 수 있고, 전구체로서 질소를 함유하는 V족 전구체(예를 들어  $\text{NH}_3$ ) 또는 III족-염화물 전구체(예를 들어  $\text{GaCl}$ ,  $\text{GaCl}_2$ ) 등을 이용할 수 있다.
- [0049] 도 1 내지 도 6b는 본 발명의 제1 실시 예에 따른 반도체 소자 제조 방법을 설명하는 도면이다.
- [0050] 도 1 내지 도 5 및 도 7a 내지 도 7d는 본 발명의 제2 실시 예에 따른 반도체 소자 제조 방법을 설명하는 도면이다.
- [0051] 도 1 내지 도 5 및 도 7a 내지 도 7b 및 도 8a 내지 도 8d는 본 발명의 제3 실시 예에 따른 반도체 소자 제조 방법을 설명하는 도면이다.
- [0052] 각각의 실시 예에 따른 반도체 소자 제조방법을 상세히 설명하기 전에 대략적으로 각각의 실시 예에 따른 반도체 소자 제조 방법의 특징을 먼저 설명한다.
- [0053] 제1 실시 예에 따른 제조방법에선, 복수의 기둥 구조(112)를 형성함에 있어서, 질화물층(110)을 식각하여 기둥 구조(112)를 남기는 방식으로 형성하게 된다. 그리고 제2 실시 예에 따른 제조방법에선, 복수의 기둥 구조(112)를 형성함에 있어서, 질화물층(110)위로 복수의 기둥 구조(112)를 재성장시키는 방식으로 형성하게 된다. 따라서 제1 실시 예와 제2 실시 예의 가장 큰 차이점은 제1 실시 예에선 질화물층(110)과 복수의 기둥 구조(112)를 구성하는 물질이 같을 수밖에 없지만, 제2 실시 예에선 복수의 기둥 구조(112)를 별도로 재성장시키므로 복수의 기둥 구조(112)는 질화물층(110)과 같거나 다른 물질로 구성될 수 있다. 그리고 제3 실시 예에 따른 제조방법에선, 복수의 기둥 구조(112)를 형성함에 있어서, 제2 실시 예와 같이 재성장 방식을 이용하되, 복수의 기둥 구조(112)의 중간 부분은 나머지 부분과 다른 물질로 재성장 시켜 복수의 기둥 구조(112)를 완성하는 방식을 이용한다.
- [0054] 이하에선 본 발명의 실시 예에 따른 반도체 소자 제조 방법에 대해 좀 더 상세하게 설명하도록 한다.

- [0055] 도 2를 참조하면 먼저 질화물층(110)을 마련한다. 질화물층(110)은 상술한 바와 같이 할로젠화물 기상 에피택시(halide vapor phase epitaxy; HVPE)등의 방식으로 형성할 수 있다. 그리고 질화물층(110)은 n-타입 GaN을 구성물질로 형성할 수 있다.
- [0056] 그 다음 공정으로, 도 3을 참조하면, 질화물층(110) 상부에 제2 산화막(120)을 형성한다. 구체적으로 제2 산화막(120)은 후술할 금속 박막(130)의 열처리 단계 시 질화물층을 보호하는 역할을 수행하거나 복수의 기둥 구조(112)를 형성하기 위한 마스크로서의 역할을 수행하기 위한 구성으로, SiO<sub>2</sub>등의 옥사이드로 형성될 수 있다.
- [0057] 그 다음 공정으로, 도 4를 참고하면, 제2 산화막(120) 상부에 기설정된 패턴으로 금속 박막(130)을 형성한다. 구체적으로 금속 박막(130)은 니켈(Ni)일 수 있다. 여기서 기설정된 패턴이란, 복수 개의 금속 박막(130)이 1 내지 2 마이크로미터의 간격을 두고, 그 폭은 각각 수 백 나노미터인 패턴일 수 있다. 금속 박막(130)이 형성되지 않고 제2 산화막(120)이 노출된 영역에서 식각 공정이 이루어지게 된다.
- [0058] 금속 박막(130)을 기설정된 패턴은 포토레지스트 및 식각 공정을 순차적으로 적용하여 형성할 수 있다. 구체적으로, 금속 박막(130)의 상부에 포토레지스트(Photo resist)를 도포한다. 그리고 도포된 포토레지스트를 마스크를 통하여 패턴 형태로 노광시켜 노광된 부분의 포토레지스트를 변성시킨 후 현상한다. 현상 후 포토레지스트가 제거된 부위를 습식 또는 건식 식각 하여 최종적인 금속 박막(130) 패턴을 형성한다.
- [0059] 그 다음 공정으로 도 5를 참고하면, 금속 박막(130)을 산소 분위기에서 열처리하여 산화 금속막(132)을 형성한다. 금속 박막(130)이 Ni인 경우, 산소 분위기에서 열처리하여 형성된 산화 금속막(132)은 NiO가 된다. 이와 같은 산화 금속막(132)이 형성된 부분은 후술할 식각 공정에서 마스크 역할을 하게 된다.
- [0060] 그 다음 공정으로, 도 6a를 참고하면, 산화 금속막(132)을 마스크로 하여 제2 산화막(120)과 질화물층(110)을 식각한다. 구체적으로 이와 같이 제2 산화막(120)과 질화물층(110)을 동시에 식각하여 복수의 기둥 구조(112)를 형성한다. 식각 공정은 plasma, RIE, MERIE, ICP, TCR 등의 건식 식각공정을 이용할 수 있다.
- [0061] 이와 같이 식각 공정을 이용하게 되면, 질화물층(110)과 복수의 기둥 구조(112)를 동시에 형성할 수 있어 공정의 단계가 간소화된다는 장점이 있다.
- [0062] 그 다음 공정으로, 도 6b를 참고하면, 산화 금속막(132) 및 제2 산화막(120)을 제거한다. 구체적으로 KOH나 TMAH 같은 산성 용액을 이용한 습식 식각 방식을 이용하거나, plasma, RIE, MERIE, ICP, TCR 등의 건식 식각방식을 이용하여 산화 금속막(132) 및 제2 산화막(120)을 제거할 수 있다.
- [0063] 상술한 바와 같이 도 1 내지 도 6b를 통하여 본 발명의 제1 실시 예에 따른 반도체 소자 제조방법에 의해 복수의 기둥 구조(112)를 형성할 수 있다. 이와 같은 공정은 질화물층(110)과 복수의 기둥 구조(112)가 한 번의 식각 공정으로 형성될 수 있다는 장점이 있다.
- [0064] 이하에선 도 7a 내지 도 7d를 참고하여 도 5에서 이어지는 제2 실시 예에 따른 반도체 소자 제조방법에 대해 설명하겠다.
- [0065] 도 7a를 참고하면, 도 5에서 설명한 공정의 다음 공정으로, 산화 금속막(132)을 마스크로하여 제2 산화막(120)의 하부에 위치한 질화물층(110)이 노출될 때까지 제2 산화막(120)을 식각한다. 제1 실시 예에서 설명한 것과 차이점은, 제1 실시 예에선 제2 산화막 뿐만 아니라 질화물층(110)도 식각하였지만, 여기서 설명하는 제2 실시 예에선 질화물층(110)을 식각하지 않고 제2 산화막(120)만 식각한다. 식각하는 공정은 상술한 제1 실시 예에서 설명한 바와 같다.
- [0066] 그 다음 공정으로, 도 7b를 참고하면, 산화 금속막(132)을 제거한다. 산화 금속막(132)을 제거하는 공정은 상술하였으므로 반복 설명은 하지 않겠다.
- [0067] 그 다음 공정으로, 도 7c를 참고하면, 식각으로 노출된 질화물층(110) 상부에 복수의 기둥 구조(112)를 성장시킨다. 여기서 복수의 기둥 구조(112)는 질화물층(110)이 n-타입 GaN인 경우 질화물층(110)과 같은 n-타입 GaN일 수 있거나, 미도핑된 GaN일 수 있다. 구체적으로, 복수의 기둥 구조(112)는 금속 유기 화학 증착법(metal organic chemical vapor deposition; MOCVD) 또는 분자빔 결정 성장법(molecular beam epitaxy; MBE)등의 공정을 통해 형성할 수 있다. 금속 유기 화학 증착법이란 챔버 안에서 가열된 기관 표면에 증기압이 높은 금속 유기 화합물 증기를 보내어 원하는 박막을 성장시키는 방법으로 증착속도가 빨라서 공정시간을 단축시킬 수 있는 장점이 있다. 그리고, 분자빔 성장법이란, 다양한 성장 재료들을 분자 형태로 쏘아서 증착시킴으로써 원하는 물질을 기관 위에 쌓는 방법으로 성장 속도는 느리지만 품질이 우수하다는 장점이 있다.

- [0068] 이 밖에도, 금속 유기 기상 결정 성장법(metal organic vapor phase epitaxy;MOVPE), HCVD 법(halide chemical vapour deposition), Ga와 NH<sub>3</sub>가 촉매(In, Fe, Ni, Au, NiO 등)와 고온하에 직접 반응하여 증착되는 방법 또는 혼성 기상 결정 성장법(hydride vapor phase epitaxy;HVPE) 등의 다양한 방법을 이용하여 복수의 기둥 구조(112)를 형성할 수 있다. 또한 복수의 기둥 구조(112)를 형성하는데 있어서 Trimethylgallium(TMGa), Trimethylaluminum(TMAI) 또는 암모니아(NH<sub>3</sub>)를 Ga, Al 또는 N의 전구체로 사용할 수 있다.
- [0069] 그 다음 공정으로, 도 7d를 참고하면, 제2 산화막(120)을 제거한다. 제거 공정은 상술하였으므로 반복 설명하지 않겠다. 이와 같이 제2 산화막(120)을 제거함으로써 제2 실시 예에 따른 복수의 기둥 구조(112)가 형성된다. 후술할 공정에선 제3 실시 예에 따른 복수의 기둥 구조(112) 형성 단계에 대해 설명하겠다.
- [0070] 이하에선 도 8a 내지 도 8d를 참고하여 제 2 실시 예에서 설명한 도 7b 에서 이어지는 제3 실시 예에 따른 반도체 소자 제조방법에 대해 설명하겠다.
- [0071] 도 8a를 참고하면, 도 7b에서 설명한 공정의 다음 공정으로, 질화물층(110)이 n-타입 GaN인 경우, 식각으로 노출된 질화물층(110) 상부에 제1 높이까지 n-타입 GaN(10)을 성장시킨다. 여기서 제1 높이란, 도 8a에 나타난 바와 같이, 게이트 전극(160)이 형성될 영역의 아래부분까지의 높이를 의미하는 것으로서, 임의로 설정 가능한 높이이다. 성장 공정은 상술한 바와 같다.
- [0072] 그 다음 공정으로 도 8b를 참고하면, 제1 높이까지 성장된 n-타입 GaN의 상부에 제2 높이까지 '미도핑 GaN 또는 p-타입 GaN(30)'을 성장시킨다. 여기서 제2 높이란, 도 8b에 나타난 바와 같이, 게이트 전극(160)이 형성될 영역까지의 높이를 의미하는 것이다.
- [0073] 그 다음 공정으로, 도 8c를 참고하면, 상기 제2 높이까지 성장된 '미도핑 GaN 또는 p-타입 GaN(30)'의 상부에 제3 높이까지 n-타입 GaN(50)을 성장시킨다. 여기서 제3 높이란 복수의 기둥 구조(112)의 높이와 같다.
- [0074] 그 다음 공정으로, 도 8d를 참고하면, 제2 산화막을 제거한다. 이로써, 제3 실시 예에 따른 반도체 소자 제조방법에 의해 n-타입 GaN(10), '미도핑 GaN 또는 p-타입 GaN(30)' 및 n-타입 GaN(50)가 차례대로 증착된 복수의 기둥 구조를 형성하게 된다.
- [0075] 본원 발명의 실시 예와 달리, 마스크 없이 하부의 씨드(seed)로부터 차곡차곡 기둥 구조를 형성하는 방식에 의할 경우, 측면으로 과성장 되는 것을 막기 위해 정밀한 온도 및 압력 조건을 맞춰주어야 한다는 단점이 있으나, 본원 발명에 따른 제1 내지 제3 실시 예에 의한 제작 방법에 의하면, 측면 과성장을 방지하기 위해 온도 및 압력 조건을 정밀하게 맞출 필요 없이 수직 형태의 나노 사이즈 폭의 기둥 구조를 손쉽게 형성할 수 있다.
- [0076] 이하 도 9부터는 설명의 간소화를 위해 복수 개의 기둥 구조(112)중 두 개의 기둥 구조(112)만을 도시하여 설명하도록 한다.
- [0077] 도 9를 참고하면, 질화물층(110) 상부에 배치되며 복수의 기둥 구조(112)의 제1 높이까지 배치되는 제1 산화막(140)을 형성한다.
- [0078] 제1 산화막은 SiO<sub>2</sub>와 같은 옥사이드로 구성될 수 있다.
- [0079] 그 다음 공정으로, 도 10를 참고하면, 제1 산화막(140)의 윗부분을 평평하게 만든다. 구체적으로 CMP(chemical mechanical polishing)공정을 이용하여 제1 산화막(140)의 윗부분을 평평하게 만든다.
- [0080] CMP 공정은 웨이퍼 표면에 불필요하게 형성된 박막을 평탄하게 연마함으로써, 우수한 반도체 칩을 제조하는 데 핵심이 되는 공정이다. 보통 CMP slurry를 사용하여 공정이 진행되는데, 연마재로서 수십 나노미터 크기의 입자가 안에 대량 포함되어 있다. 실리카, 알루미나, 세리아가 대표적으로 사용되며 기타 텅스텐 입자가 사용될 수 있다.
- [0081] 그 다음 공정으로, 도 11을 참고하면, 상기 제1 산화막(140)의 상부 표면으로부터 돌출된 상기 복수의 기둥 구조(112)의 측면 부분 및 상기 제1 산화막(140)의 상부 표면을 덮는 게이트 절연층(150)을 형성한다. 게이트 절연층(150)은 Al<sub>2</sub>O<sub>3</sub>일 수 있다. 구체적으로 게이트 절연층(150)은 ALD(Atomic Layer Deposition)공정을 통하여 형성할 수 있다. ALD 공정은 반도체 제조 공정 중 화학적으로 달라붙는 단원자층의 현상을 이용한 나노 박막 증착 기술로서, 웨이퍼 표면에서 분자의 흡착과 치환을 번갈아 진행함으로써 원자층 두께의 초미세 층간(layer-by-layer) 증착이 가능하고, 산화물과 금속 박막을 최대한 얇게 쌓을 수 있으며, 가스의 화학반응으로 형성된 입자들을 웨이퍼 표면에 증착시키는 화학 기상 증착(CVD)보다 낮은 온도(500도 이하)에서 막질을 형성할 수 있다.

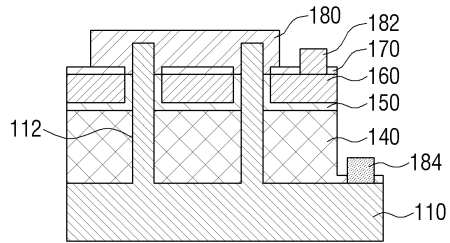
- [0082] 그 다음 공정으로, 도 12를 참고하면, 게이트 절연층(150)을 덮는 게이트 전극(160)을 형성한다. 구체적으로 게이트 전극(160)은 폴리 실리콘(poly Si) 박막으로 형성하며, 구체적으로, n-타입 도펀트로 도핑된 n-타입 폴리 실리콘 또는 p-타입 도펀트로 도핑된 p-타입 폴리 실리콘 박막으로 형성할 수 있다.
- [0083] 그 다음 공정으로, 도 13을 참고하면, 복수의 기둥 구조(112)가 드러나도록 윗부분을 평탄하게 연마한다. 구체적으로, CMP 공정을 통하여 게이트 전극(160)과 게이트 절연층(150)을 연마하여 복수의 기둥 구조(112)가 드러나도록 형성한다.
- [0084] 그 다음 공정으로, 도 14을 참고하면, 게이트 전극(160) 상부에 제2 절연층(170)을 형성한다. 구체적으로 제2 절연층(170)은 폴리 실리콘 박막으로 이루어진 게이트 전극(160)을 산화시켜 형성된 산화막으로서, SiO<sub>2</sub>로 구현될 수 있고, 산소 분위기에서의 열처리 공정을 통해 폴리 실리콘의 표면, 즉 게이트 전극(160)의 표면을 산화시켜 제2 절연층(170)을 얇게 형성한다.
- [0085] 그 다음 공정으로, 도 15를 참고하면, 제2 절연층(170) 상에 배치되어 복수의 기둥 구조(112)와 연결되는 제1 전극을 형성한다. 구체적으로 제1 전극은 제2 절연층(170) 상부에 배치되면서 복수의 기둥 구조(112)의 윗면과 맞닿게 형성하거나, 복수의 기둥 구조(112)를 둘러싸며 맞닿는 형태로 형성할 수 있다. 제1 전극(180)은 소스 전극 또는 드레인 전극으로 구현될 수 있으며, 제1 전극(180)이 소스 전극인 경우 제2 전극(184)은 드레인 전극으로 구현된다.
- [0086] 그리고 도 15를 참고하면, 질화물층(110)의 기설정된 영역에 배치된 제2 전극(184)을 형성한다. 여기서 기설정된 영역이란, 도 15에 도시된 바와 같이 질화물층(110)의 윗면에 배치될 수 있으며, 질화물층(110)과 맞닿을 수만 있다면, 질화물층(110) 하부에도 위치될 수 있다.
- [0087] 제1 전극(180) 및 제2 전극(184)은 티타늄(Ti), 알루미늄(Al), 니켈(Ni) 및 금(Au) 등의 금속으로 이루어질 수 있다.
- [0088] 그리고 도 15를 참고하면, 외부 소자와 연결되도록 게이트 전극의 연결 단자(182)를 형성할 수 있다. 도 15에 도시된 것과 같이, 게이트 전극의 연결 단자(182)와 제2 전극(184)은 제2 절연층(170) 또는 제1 산화막(140)에 콘택홀을 형성하고 콘택홀에 게이트 전극의 연결 단자(182)와 제2 전극(184)을 형성한다. 구체적으로, 콘택홀 및 게이트 전극의 연결 단자(182)와 제2 전극(184)을 형성하기 위해서 통상의 포토리소그래피 공정 및 식각 공정을 차례로 수행할 수 있다.
- [0089] 도 16는 도 15를 위에서 바라본 모습이다. 구체적으로 A-A'를 자른 단면이 도 15에 도시된 바와 같다.
- [0090] 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안 될 것이다.

## 부호의 설명

- [0091]
- |              |             |
|--------------|-------------|
| 질화물층(110)    | 제1 산화막(140) |
| 게이트 절연층(150) | 게이트 전극(160) |
| 제2 절연층(170)  | 제1 전극(180)  |

도면

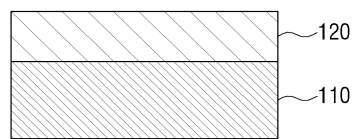
도면1



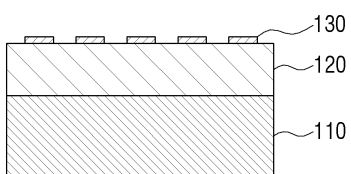
도면2



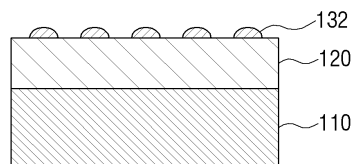
도면3



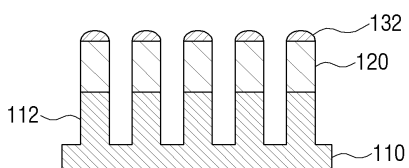
도면4



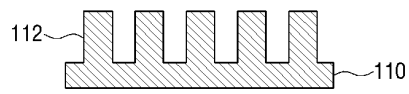
도면5



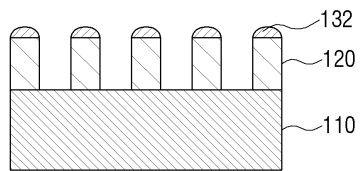
도면6a



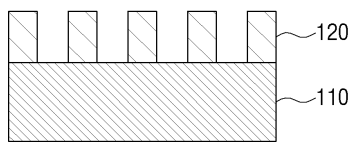
도면6b



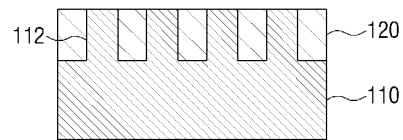
도면7a



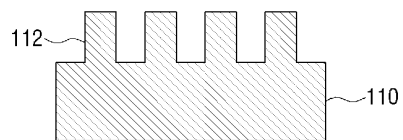
도면7b



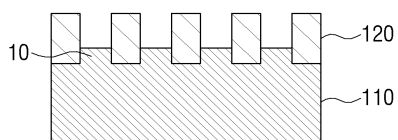
도면7c



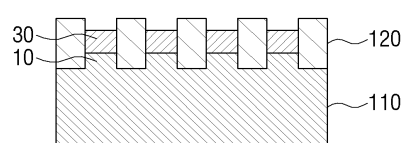
도면7d



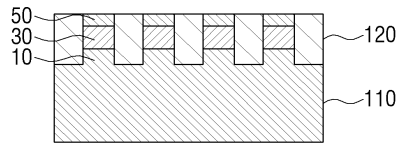
도면8a



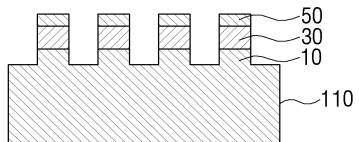
도면8b



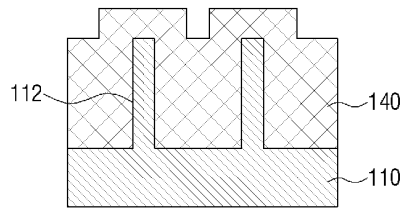
도면8c



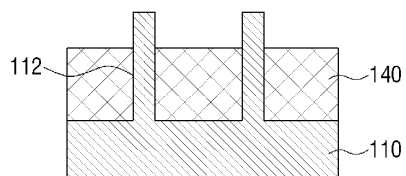
도면8d



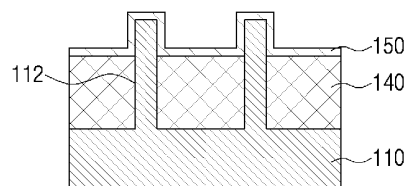
도면9



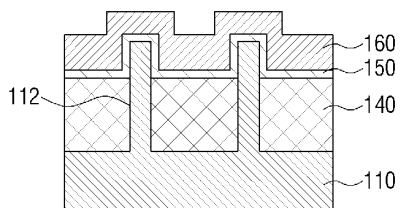
도면10



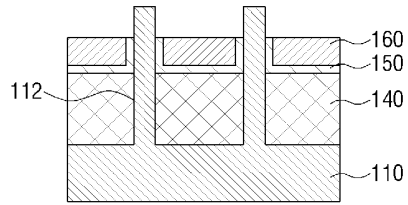
도면11



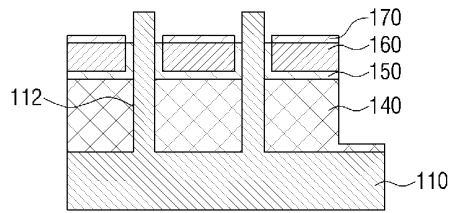
도면12



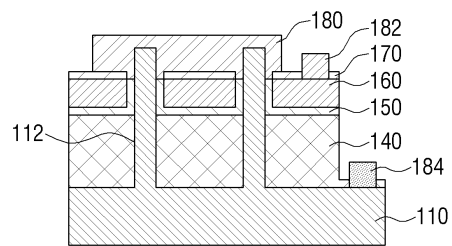
도면13



도면14



도면15



도면16

