

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6141330号  
(P6141330)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月12日(2017.5.12)

(51) Int. Cl.	F I
GO 1 N 27/00 (2006.01)	GO 1 N 27/00 Z
GO 1 N 27/30 (2006.01)	GO 1 N 27/30 A
HO 1 L 23/00 (2006.01)	GO 1 N 27/30 Z
HO 5 K 9/00 (2006.01)	HO 1 L 23/00 C
	HO 5 K 9/00 Q

請求項の数 19 (全 12 頁)

(21) 出願番号	特願2014-556549 (P2014-556549)	(73) 特許権者	512205865
(86) (22) 出願日	平成24年12月14日(2012.12.14)		ジェニア・テクノロジーズ・インコーポレーテッド
(65) 公表番号	特表2015-509658 (P2015-509658A)		GENIA TECHNOLOGIES INCORPORATED
(43) 公表日	平成27年3月30日(2015.3.30)		アメリカ合衆国 カリフォルニア州94043, マウンテン・ビュー, ミドルフィールド・ロード, 325
(86) 国際出願番号	PCT/US2012/069911	(74) 代理人	110000028
(87) 国際公開番号	W02013/122672		特許業務法人明成国際特許事務所
(87) 国際公開日	平成25年8月22日(2013.8.22)	(72) 発明者	チェン・ロジャー・ジェイ・エイ.
審査請求日	平成26年10月17日(2014.10.17)		アメリカ合衆国 カリフォルニア州94043 マウンテン・ビュー, ログ・アベニュー, 320
審査番号	不服2015-17869 (P2015-17869/J1)		
審査請求日	平成27年10月1日(2015.10.1)		
(31) 優先権主張番号	13/396, 522		
(32) 優先日	平成24年2月14日(2012.2.14)		
(33) 優先権主張国	米国 (US)		
早期審査対象出願			最終頁に続く

(54) 【発明の名称】 生化学的用途での超低電流測定のためのノイズ遮蔽技術

(57) 【特許請求の範囲】

【請求項 1】

一 体型ノイズシールドを有するデバイスであって、

第 1 の導電水平層および第 2 の導電水平層と、

半導体デバイスを実質的に囲む複数の垂直シールド構造であって、前記半導体デバイスは、生物サンプルを検知するためのナノ細孔半導体デバイスを備え、垂直シールド構造は、前記第 1 の導電水平層および前記第 2 の導電水平層を接続する垂直ビアを備える、垂直シールド構造と、

前記半導体デバイスの上方にあり、導電性流体で実質的に満たされた開口部と、

前記第 1 の導電水平層と、前記第 2 の導電水平層と、前記垂直シールド構造と、を前記導電性流体から絶縁する酸化物層と、を備え、

前記複数の垂直シールド構造および前記導電性流体は、前記半導体デバイスを周囲放射から遮蔽している、デバイス。

【請求項 2】

請求項 1 に記載のデバイスであって、さらに、前記半導体デバイスを周囲放射から遮蔽する導電性底部シールドを前記半導体デバイスの下方に備える、デバイス。

【請求項 3】

請求項 2 に記載のデバイスであって、前記導電性底部シールドは金属層を備える、デバイス。

【請求項 4】

10

20

請求項 2 に記載のデバイスであって、前記導電性底部シールドは基板層を備える、デバイス。

【請求項 5】

請求項 1 に記載のデバイスであって、前記開口部は、前記生物サンプルを前記半導体デバイス内に導入することを可能にするよう構成されている、デバイス。

【請求項 6】

請求項 1 に記載のデバイスであって、  
前記複数の垂直シールド構造は、前記垂直ビアを複数、備え、  
前記複数の垂直ビアは、前記半導体デバイスを囲む 1 つの同心リング内に配列されている、デバイス。

10

【請求項 7】

請求項 1 に記載のデバイスであって、  
前記複数の垂直シールド構造は、前記垂直ビアを複数、備え、  
前記複数の垂直ビアは、複数の同心リング内に配列され、垂直ビアの第 1 のリング内の前記垂直ビアは、垂直ビアの第 2 のリング内の前記垂直ビアからオフセットされている、デバイス。

【請求項 8】

請求項 1 に記載のデバイスであって、前記導電性流体は電解質を含む、デバイス。

【請求項 9】

請求項 1 に記載のデバイスであって、前記ナノ細孔半導体デバイスは、ナノ細孔アレイの単一セルを備える、デバイス。

20

【請求項 10】

請求項 1 に記載のデバイスであって、  
前記第 1 の導電水平層は、前記一体型ノイズシールドの一部を形成し、前記第 1 の導電水平層は、前記複数の垂直シールド構造の上方にあり、前記第 1 の導電水平層は、前記複数の垂直シールド構造から水平方向かつ半径方向外向きに拡張されて、前記複数の垂直シールド構造の間の複数のギャップを通らないように周囲放射を遮蔽する、デバイス。

【請求項 11】

請求項 1 に記載のデバイスであって、さらに、  
前記一体型ノイズシールドの一部を形成する第 3 の導電水平層を備え、  
前記デバイスは、さらに、前記第 2 の導電水平層と前記第 3 の導電水平層の間の酸化物層を備え、前記第 2 の導電水平層と前記第 3 の導電水平層の間の前記酸化物層は、コンデンサを形成するよう構成されている、デバイス。

30

【請求項 12】

請求項 1 に記載のデバイスであって、前記第 1 の導電水平層を前記導電性流体から絶縁する前記酸化物層は、コンデンサを形成するよう構成されている、デバイス。

【請求項 13】

デバイスをノイズから遮蔽するための方法であって、  
第 1 の導電水平層および第 2 の導電水平層を提供する工程と、  
半導体デバイスを実質的に囲む複数の垂直シールド構造であって、前記半導体デバイスは、生物サンプルを検知するためのナノ細孔半導体デバイスを備え、垂直シールド構造は、前記第 1 の導電水平層および前記第 2 の導電水平層を接続する垂直ビアを備える、垂直シールド構造を提供する工程と、

40

前記半導体デバイスの上方にあり、導電性流体で実質的に満たされた開口部を提供する工程と、

前記第 1 の導電水平層と、前記第 2 の導電水平層と、前記垂直シールド構造と、を前記導電性流体から絶縁する酸化物層を提供する工程と、  
を備え、

前記複数の垂直シールド構造および前記導電性流体は、前記半導体デバイスを周囲放射から遮蔽する、方法。

50

## 【請求項 14】

請求項 13 に記載の方法であって、さらに、前記半導体デバイスを周囲放射から遮蔽する導電性底部シールドを前記半導体デバイスの下方に提供する工程を備える、方法。

## 【請求項 15】

請求項 13 に記載の方法であって、前記開口部は、前記生物サンプルを前記半導体デバイス内に導入することを可能にするよう構成されている、方法。

## 【請求項 16】

請求項 13 に記載の方法であって、  
前記複数の垂直シールド構造は、前記垂直ビアを複数、備え、  
前記複数の垂直ビアは、前記半導体デバイスを囲む 1 つの同心リング内に配列されている、方法。 10

## 【請求項 17】

請求項 13 に記載の方法であって、  
前記複数の垂直シールド構造は、前記垂直ビアを複数、備え、  
前記複数の垂直ビアは、複数の同心リング内に配列され、垂直ビアの第 1 のリング内の前記垂直ビアは、垂直ビアの第 2 のリング内の前記垂直ビアからオフセットされている、方法。

## 【請求項 18】

請求項 13 に記載の方法であって、前記導電性流体は電解質を含む、方法。

## 【請求項 19】

請求項 13 に記載の方法であって、前記ナノ細孔半導体デバイスは、ナノ細孔アレイの単一セルを備える、方法。 20

## 【発明の詳細な説明】

## 【背景技術】

## 【0001】

近年の半導体産業での超小型化の進展により、生物工学研究者が、従来は大きかった検知ツールをますます小さいフォームファクタにパッケージする、つまり、いわゆるバイオチップにパッケージすることが可能になった。デバイス寸法が縮小しているため、バイオチップのための高感度測定技術を開発することが望ましい。

## 【図面の簡単な説明】

## 【0002】

以下の詳細な説明と添付の図面において、本発明の様々な実施形態を開示する。

## 【0003】

【図 1】積分増幅器を用いたバイオセンサアレイの 1 つのセル内で、電流、電圧、または、電荷などの物理的特性を測定するためのセンサ回路 100 の一実施形態を示すブロック図。

## 【0004】

【図 2】一体型ノイズシールドを備えた半導体デバイス 200 の一実施形態を示す断面図。

## 【0005】

【図 3A】垂直シールド構造 218 の構成例の上面図を示す図。 40

## 【0006】

【図 3B】垂直シールド構造 218 の別の構成例の上面図を示す第 2 の図。

## 【0007】

【図 4】一体型ノイズシールドを備えた半導体デバイス 400 の一実施形態を示す断面図。

## 【発明を実施するための形態】

## 【0008】

本発明は、処理、装置、システム、物質の組成、コンピュータ読み取り可能な格納媒体上に具現化されたコンピュータプログラム製品、および/または、プロセッサ（プロセッ 50

サに接続されたメモリに格納および/またはそのメモリによって提供される命令を実行するよう構成されたプロセッサ)を含め、様々な形態で実装されうる。本明細書では、これらの実装または本発明が取りうる任意の他の形態を、技術と呼ぶ。一般に、開示された処理の工程の順序は、本発明の範囲内で変更されてもよい。特に言及しない限り、タスクを実行するよう構成されるものとして記載されたプロセッサまたはメモリなどの構成要素は、ある時間にタスクを実行するよう一時的に構成された一般的な構成要素として、または、タスクを実行するよう製造された特定の構成要素として実装されてよい。本明細書では、「プロセッサ」という用語は、1または複数のデバイス、回路、および/または、コンピュータプログラム命令などのデータを処理するよう構成された処理コアを指すものとする。

10

**【0009】**

以下では、本発明の原理を示す図面を参照しつつ、本発明の1または複数の実施形態の詳細な説明を行う。本発明は、かかる実施形態に関連して説明されているが、どの実施形態にも限定されない。本発明の範囲は、特許請求の範囲によってのみ限定されるものであり、多くの代替物、変形物、および、等価物を含む。以下の説明では、本発明の完全な理解を提供するために、多くの具体的な詳細事項が記載されている。これらの詳細事項は、例示を目的としたものであり、本発明は、これらの具体的な詳細事項の一部または全てがなくとも特許請求の範囲に従って実施可能である。簡単のために、本発明に関連する技術分野で周知の技術事項については、本発明が必要以上にわかりにくくならないように、詳細には説明していない。

20

**【0010】**

内径が1ナノメートルのオーダーの細孔サイズを有するナノ細孔膜デバイスが、高速ヌクレオチド配列決定での有望性を示した。ナノ細孔は、非常に小さい孔であり、孔形成タンパク質によって形成されてもよいし、シリコンまたはグラフェンなどの合成材料内の孔として形成されてもよい。導電性流体に浸漬されたナノ細孔にわたって電圧ポテンシャルが印加されると、ナノ細孔においてイオンの伝導から生じる小さいイオン電流を観察できる。分子(DNAまたはRNA分子など)がナノ細孔を通過する時、分子は、ナノ細孔を部分的または完全に塞ぎうる。イオン電流の大きさは細孔サイズの影響を受けるので、DNAまたはRNA分子によるナノ細孔の閉塞は、ナノ細孔を通る電流の大きさの変化を引き起こす。イオン電流の妨害は、DNA分子の塩基対配列と関連しうることを示されている。

30

**【0011】**

しかしながら、ナノ細孔膜デバイスを用いた分子の特性評価は、様々な難題に直面している。難題の1つは、非常に低レベルの信号の測定である：ナノ細孔を通るイオン電流の大きさは非常に小さく、通例、数十ないし数百ピコアンペア(pA)のオーダーである。したがって、ナノ細孔を通るかかる低レベル電流の任意の変化を検出することは、非常に困難になる。

**【0012】**

低レベル電流測定のための1つの効果的な回路技術は、積分増幅器を用いることである。積分増幅器を用いて低レベル電流を測定することには、いくつかの利点がある。積分増幅器は、多くの測定期間にわたる電流を平均し、それが、或る程度までノイズの影響を低減するのに役立つ。また、積分増幅器は、さらなるフィルタリングを必要とすることなしに帯域幅を目標の帯域幅に制限する。さらに、測定場所での積分増幅器のための回路は、他の測定技術に対応するものと比較して小さいため、大規模な測定セルのアレイを備えたバイオセンサアレイの製造が実現可能になり、かかるアレイは、一本鎖DNAの特性評価などの用途で分子を特定するのに非常に望ましい。

40

**【0013】**

図1は、積分増幅器を用いたバイオセンサアレイの1つのセル内で、電流、電圧、または、電荷などの物理的特性を測定するためのセンサ回路100の一実施形態を示すブロック図である。図1に示すように、物理的特性は、検出信号104として検出器102によ

50

って検出される。センサ回路 100 は、以下で詳述するように、サンプリングなしに検出信号 104 の平均値を測定するために用いられてよい。

#### 【0014】

いくつかの実施形態において、開始フラグ 106 が、積分増幅器 108 をリセットし、経時的に検出信号 104 の連続積分を開始する。積分出力 110 は、比較器 112 を用いてトリップ閾値 114 と比較される。積分出力 110 がトリップ閾値 114 に達すると、トリップフラグ 116 が、検出信号 104 の積分を終了させるための積分増幅器 108 へのフィードバック信号として用いられてよい。例えば、トリップフラグ 116 が「オン」すなわちアサートされた時に、積分が終了される。開始フラグ 106 のアサーションとトリップフラグ 116 のアサーションとの間の持続時間は、検出信号 104 の平均値（例えば、電流の平均値）に比例する。したがって、トリップフラグ 116 の「オン」および「オフ」（1ビットのみの情報）が、検出信号 104 の平均値を計算するためにセルから外部プロセッサに送信されてよい。あるいは、「オン/オフ」情報は、遅延処理のためにセルから外部ストレージに送信されてもよい。例えば、開始フラグ 106 およびトリップフラグ 116 がそれぞれアサートされたクロックサイクルが、外部ストレージに記録されてよい。次いで、2つのアサートされたフラグの間のクロックサイクルの数が、後に検出信号 104 の平均値を決定するために用いられてよい。

10

#### 【0015】

いくつかの実施形態において、複数の積分サイクルにわたって検出信号 104 を積分することによって、より正確な結果が得られうる。例えば、検出信号 104 の決定された平均値は、複数の積分サイクルにわたってさらに平均されてよい。いくつかの実施形態において、開始フラグ 106 は、少なくとも部分的にトリップフラグ 116 に基づいている。例えば、開始フラグ 106 は、トリップフラグ 116 がアサートされたことに応答して再アサートされてよい。この例において、トリップフラグ 116 は、積分増幅器 108 を再初期化するためのフィードバック信号として用いられ、結果として、検出信号 104 の別の積分サイクルが、前の積分サイクルの終了後すぐに開始しうる。トリップフラグ 116 がアサートされた直後に開始フラグ 106 を再アサートすることで、積分されないために測定されない信号を検出器 102 が生成する時間の一部が削減される。積分は、信号が利用可能である時間のほぼ全体にわたって行われる。結果として、信号の情報の大部分が得られることにより、測定信号の平均値を取得する時間が最小化される。

20

30

#### 【0016】

センサ回路 100 の感度は、サンプリングなしに検出信号 102 を連続積分することによって最大化される。これは、測定信号の帯域幅を制限するよう機能する。続いて、図 1 を参照すると、トリップ閾値 114 および積分係数 A が、測定信号の帯域幅を設定する。積分係数 A が減少またはトリップ閾値 114 が増加すると、測定信号の帯域幅は減少する。

#### 【0017】

しかしながら、低電流測定回路は、外部ノイズ源および測定回路自体の内部のノイズ源など、様々なノイズ源の影響を受けやすい。低電流測定回路の性能に影響する外部ノイズ源は、交流（AC）ラインノイズ、蛍光灯設備からの安定器ノイズ、電磁干渉（EMI）など、数多く存在する。

40

#### 【0018】

低電流測定回路の性能に影響する内部ノイズ源は、積分増幅器からの電圧およびノイズ成分と、測定源からの抵抗ノイズとを含む。これらの成分は、積分器のノイズゲイン（ $= (1 + C_{in} / C_{fb})$ ）によって増幅され、ここで、 $C_{in}$  は総入力容量であり、 $C_{fb}$  は積分コンデンサ（すなわち、積分増幅器のためのフィードバックコンデンサ（ $C_{fb}$ ））である。

#### 【0019】

図 2 は、一体型ノイズシールドを備えた半導体デバイス 200 の一実施形態を示す断面図である。いくつかの実施形態において、半導体デバイス 200 は、ナノ細孔アレイの 1 つのセル内のナノ細孔デバイスであり、一体型ノイズシールドは、外部ノイズ源および内

50

部ノイズ源の両方からナノ細孔デバイスを遮蔽する。いくつかの実施形態において、本明細書に開示された一体型ノイズシールドは、様々なノイズ源の影響を受けやすい低レベル信号測定が行われるバイオセンサ半導体アレイなど、他のタイプのバイオセンサ半導体アレイに組み込むこともできる。以下では、ナノ細孔デバイスを半導体デバイス200の一例として用いることとする。しかしながら、ナノ細孔デバイスは、例示のためだけに選択されたものであり、したがって、本願は、この具体的な例のみに限定されない。

#### 【0020】

一体型ノイズシールドは、様々なノイズ源の影響を受けやすい半導体デバイス200の部分を囲んで保護する。例えば、続いて図2を参照すると、ノイズの影響を受けやすい半導体デバイス200の部分は、生物サンプル202、測定電極204、その他の測定集積回路（図示せず）などを含み、半導体デバイス200のこれらの部分は、一体型ノイズシールドによって囲まれて保護される。一体型ノイズシールドは、任意の導電材料を用いて形成することができる。

10

#### 【0021】

一体型ノイズシールドは、底部シールドを含む。続けて図2を参照すると、底部シールドは、ノイズの影響を受けやすい半導体デバイス200の部分の下方に配置される1または複数の導電層（206Aおよび206B）を備える。いくつかの実施形態において、導電層206Aは、金属層5（M5）であり、半導体デバイス200の上部金属層208（M6）の下方の金属層である。導電層206Bは、金属層5'（M5'またはMIMキャップ層）であり、酸化層210を挟んでM5の上部に配置された金属層である。いくつかの実施形態において、底部シールドは、多結晶シリコンなどを含む金属以外の導電材料を用いて形成される。いくつかの実施形態において、半導体デバイス200は、基板の層など他の導電層を備える。基板の層は、通例、厚くて導電性があるので、半導体基板200の底部シールド層として機能する。

20

#### 【0022】

一体型ノイズシールドは、上部シールドを含む。上部シールドは、開口部212を備えた導電層208を備える。続けて図2を参照すると、上部シールドの導電層208は、ノイズの影響を受けやすい半導体デバイス200の部分の上方に配置された金属層である。いくつかの実施形態において、導電層208は、金属層6（M6）であり、半導体デバイス200の上部金属層である。いくつかの実施形態において、開口部212は、生物サンプル202を半導体デバイス200によって試験または分析できるように、生物サンプル202を半導体デバイス200に導入することを可能にする。

30

#### 【0023】

上部シールドは、さらに、ノイズの影響を受けやすい半導体デバイス200の部分に堆積されて覆う導電液体シールド214を備える。導電液体シールド214がなければ、開口部212は、様々なノイズ源に半導体デバイス200を曝す。さらに、導電層208（例えば、M6）は、導電液体シールド214と接触しえない。したがって、導電層208は、導電液体シールド214から絶縁するために、酸化層216で被覆されている。いくつかの実施形態において、導電液体シールド214は、電解質を導電性にする自由イオンを含む電解質である。

40

#### 【0024】

一体型ノイズシールドは、さらに、側面シールドを含む。側面シールドは、半導体デバイス200のノイズに敏感な部分を実質的に囲む側壁を形成する複数の垂直シールド構造218を備える。図2では、2つの垂直シールド構造218のみを示していることに注意されたい。しかしながら、垂直シールド構造218の数は、3以上であってもよい。いくつかの実施形態において、垂直シールド構造218は、ビアを備える。ビアは、絶縁材料に孔をエッチングしてエッチング孔にタングステンまたはその他の導電材料を蒸着することによって形成される。ビアは、半導体デバイス200の様々な金属層またはその他の導電層の間の垂直導電接続を行うために用いられる。例えば、図2を参照すると、ビア218は、導電層208および導電層206Aを相互接続する。

50

## 【 0 0 2 5 】

複数の垂直シールド構造 2 1 8 は、最大の遮蔽を達成するために様々な構成で配置される。図 3 A は、垂直シールド構造 2 1 8 の構成例の上面図である。図 3 A に示すように、複数の垂直シールド構造 2 1 8 (例えば、ビア)は、半導体デバイス 2 0 0 の測定電極 2 0 4 およびその他のノイズに敏感な部分を囲む長方形レイアウトに配列されてよい。ただし、他の構成の形状も用いることができる。例えば、複数の垂直シールド構造 2 1 8 は、半導体デバイス 2 0 0 の測定電極 2 0 4 およびその他のノイズに敏感な部分を囲む同心リングに配列されてもよい。

## 【 0 0 2 6 】

図 3 B は、垂直シールド構造 2 1 8 の別の構成例の上面図を示す第 2 の図である。この構成では、複数の垂直シールド構造 2 1 8 が、複数の同心の正方形またはリング(例えば、2 つの同心の正方形など)に配置される。いくつかの実施形態において、或るリング内の垂直シールド構造 2 1 8 は、別のリング内の垂直シールド構造 2 1 8 からオフセットされており、すなわち、垂直シールド構造 2 1 8 のリングは整列されていない。半導体デバイス 2 0 0 のノイズに敏感な部分を囲む単一の連続的なシールド壁が、良好な遮蔽を提供しうるが、かかるシールド壁の実装は、様々な設計または技術的制約によって実現可能でない場合がある。図 3 B に示すように、垂直シールド構造 2 1 8 の 1 つのリングを別のリングからオフセットすることにより、遮蔽効果は、半導体デバイス 2 0 0 のノイズに敏感な部分を囲む単一の連続的なシールド壁を形成することによって達成される効果に近くなる。

## 【 0 0 2 7 】

続いて図 2 を参照すると、導電層 2 0 8 は、上部シールドの一部であり、それぞれ矢印 2 1 8 および 2 2 0 によって示す方向に水平方向かつ半径方向外向きに拡張することができる。このように導電層 2 0 8 を外側に拡張すると、ルーフエッジまたはオーニング (awning) によるシールドが形成され、干渉の一部が複数の垂直シールド構造 2 1 8 の間の複数のギャップを通過することをさらに防ぐことができる。

## 【 0 0 2 8 】

いくつかの実施形態において、上述の導電層 2 0 8 の拡張量は、複数の垂直シールド構造 2 1 8 の密度とトレードオフされうる。ビアは、通例、タングステンで形成されており、ビアがより高密度で実装される場合、タングステンの研磨がより困難になる。したがって、いくつかの実施形態において、複数の垂直シールド構造 2 1 8 は、干渉の一部が複数の垂直シールド構造 2 1 8 の間に侵入するのを防ぐために導電層 2 0 8 がさらに外側に拡張されて拡張ルーフエッジまたはオーニングを形成する場合、さらに間隔を空けられてよい。

## 【 0 0 2 9 】

いくつかの実施形態において、半導体デバイス 2 0 0 の一体型シールドを形成する導電層または酸化物層の一部は、コンデンサを形成するために用いられる。例えば、図 2 に示すように、M 5 ' および M 5 の間の酸化物層 2 1 0 は、コンデンサ 2 2 2 を形成する。いくつかの実施形態において、半導体デバイス 2 0 0 は、様々な目的のためにコンデンサを必要とする。例えば、半導体デバイス 2 0 0 内の積分増幅器は、コンデンサを必要としうるが、それはコンデンサ 2 2 2 によって提供されうる。

## 【 0 0 3 0 】

図 4 は、一体型ノイズシールドを備えた半導体デバイス 4 0 0 の一実施形態を示す断面図である。一体型ノイズシールドは、様々なノイズ源の影響を受けやすい半導体デバイス 4 0 0 の部分を囲んで遮蔽する。

## 【 0 0 3 1 】

一体型ノイズシールドは、底部シールドを含む。続いて図 4 を参照すると、底部シールドは、能動半導体回路を含む層 4 0 4 など、ノイズの影響を受けやすい半導体デバイス 4 0 0 の部分の下方に配置された基板層 4 0 2 を備える。

## 【 0 0 3 2 】

10

20

30

40

50

一体型ノイズシールドは、上部シールドを含む。この実施形態において、上部シールドは、生物サンプル202などノイズの影響を受けやすい半導体デバイス400の部分の上に堆積されてそれらの部分を覆う導電液体シールド214を備える。導電層406（例えば、M6）は、導電液体シールド214と接触しえない。したがって、導電層406は、導電液体シールド214から絶縁するために、酸化物層216で被覆されており、液体シールドは、先に述べたように、電解質水溶液であってよい。

【0033】

一体型ノイズシールドは、さらに、側面シールドを含む。側面シールドは、半導体デバイス400のノイズに敏感な部分を実質的に囲む側壁を形成する複数の垂直シールド構造218（例えば、ビア）を備える。

10

【0034】

複数の垂直シールド構造218は、最大の遮蔽を達成するために様々な構成で配置される。例えば、図3Aおよび図3Bと同様の構成が用いられてよい。

【0035】

続いて図4を参照すると、導電層406は、それぞれ矢印408および410によって示す方向に半径方向外向きに拡張することができる。このように導電層406を外側に拡張すると、ルーフエッジまたはオーニングが形成され、干渉の一部が複数の垂直シールド構造218の間に侵入することを防ぐことができる。いくつかの実施形態において、上述の導電層406の拡張量は、複数の垂直シールド構造218の密度とトレードオフされる。

20

【0036】

上述の実施形態は、理解しやすいようにいくぶん詳しく説明されているが、本発明は、提供された詳細事項に限定されるものではない。本発明を実施する多くの代替方法が存在する。開示された実施形態は、例示であり、限定を意図するものではない。

本発明は、たとえば、以下のような態様で実現することもできる。

[ 適用例 1 ]

一体型ノイズシールドを有するデバイスであって、  
半導体デバイスを実質的に囲む複数の垂直シールド構造と、  
前記半導体デバイスの上方にあり、導電性流体で実質的に満たされた開口部と、  
を備え、  
前記複数の垂直シールド構造および前記導電性流体は、前記半導体デバイスを周囲放射から遮蔽する、デバイス。

30

[ 適用例 2 ]

適用例1のデバイスであって、さらに、前記半導体デバイスを周囲放射から遮蔽する導電性底部シールドを前記半導体デバイスの下方に備える、デバイス。

[ 適用例 3 ]

適用例2のデバイスであって、前記導電性底部シールドは金属層を備える、デバイス。

[ 適用例 4 ]

適用例2のデバイスであって、前記導電性底部シールドは基板層を備える、デバイス。

40

[ 適用例 5 ]

適用例1のデバイスであって、前記開口部は、生物サンプルを前記半導体デバイス内に導入することを可能にするよう構成されている、デバイス。

[ 適用例 6 ]

適用例1のデバイスであって、前記垂直シールド構造は複数のビアを備え、前記複数のビアの各々は、2以上の導電層を接続する、デバイス。

[ 適用例 7 ]

適用例6のデバイスであって、前記複数のビアは、前記半導体デバイスを囲む1つの同心リング内に配列されている、デバイス。

[ 適用例 8 ]

50

適用例 6 のデバイスであって、前記複数のビアは、複数の同心リング内に配列され、ビアの第 1 のリング内の前記ビアは、ビアの第 2 のリング内の前記ビアからオフセットされている、デバイス。

[ 適用例 9 ]

適用例 1 のデバイスであって、前記導電性流体は電解質を含む、デバイス。

[ 適用例 10 ]

適用例 1 のデバイスであって、前記デバイスはナノ細孔デバイスを含み、前記ナノ細孔デバイスは、ナノ細孔アレイの単一セルを備える、デバイス。

[ 適用例 11 ]

適用例 1 のデバイスであって、さらに、前記一体型ノイズシールドの一部を形成する導電層を備え、前記導電層は、前記複数の垂直シールド構造の上方にあり、前記導電層は、前記複数の垂直シールド構造から水平方向かつ半径方向外向きに拡張されて、前記複数の垂直シールド構造の間の複数のギャップを通らないように周囲放射を遮蔽する、デバイス。

10

[ 適用例 12 ]

適用例 1 のデバイスであって、さらに、前記一体型ノイズシールドの一部を形成する 2 以上の導電層と、前記 2 以上の導電層の間の酸化層と、を備え、前記酸化層は、コンデンサを形成するよう構成されている、デバイス。

[ 適用例 13 ]

適用例 1 のデバイスであって、さらに、導電層を前記導電性流体から絶縁する酸化層を備える、デバイス。

20

[ 適用例 14 ]

適用例 13 のデバイスであって、前記酸化層は、コンデンサを形成するよう構成されている、デバイス。

[ 適用例 15 ]

デバイスをノイズから遮蔽するための方法であって、  
半導体デバイスを実質的に囲む複数の垂直シールド構造を提供する工程と、  
前記半導体デバイスの上方にあり、導電性流体で実質的に満たされた開口部を提供する工程と、  
を備え、

30

前記複数の垂直シールド構造および前記導電性流体は、前記半導体デバイスを周囲放射から遮蔽する、方法。

[ 適用例 16 ]

適用例 15 の方法であって、さらに、前記半導体デバイスを周囲放射から遮蔽する導電性底部シールドを前記半導体デバイスの下方に提供する工程を備える、方法。

[ 適用例 17 ]

適用例 15 の方法であって、前記開口部は、生物サンプルを前記半導体デバイス内に導入することを可能にするよう構成されている、方法。

[ 適用例 18 ]

適用例 15 の方法であって、前記垂直シールド構造は複数のビアを備え、前記複数のビアの各々は、2 以上の導電層を接続する、方法。

40

[ 適用例 19 ]

適用例 18 の方法であって、前記複数のビアは、前記半導体デバイスを囲む 1 つの同心リング内に配列されている、方法。

[ 適用例 20 ]

適用例 18 の方法であって、前記複数のビアは、複数の同心リング内に配列され、ビアの第 1 のリング内の前記ビアは、ビアの第 2 のリング内の前記ビアからオフセットされている、方法。

[ 適用例 21 ]

適用例 15 の方法であって、前記導電性流体は電解質を含む、方法。

50

[ 適用例 2 2 ]

適用例 1 5 の方法であって、前記デバイスはナノ細孔デバイスを含み、前記ナノ細孔デバイスは、ナノ細孔アレイの単一セルを備える、方法。

【 図 1 】

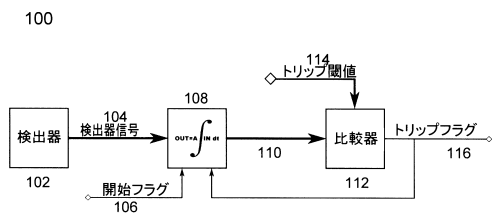


FIG. 1

【 図 2 】

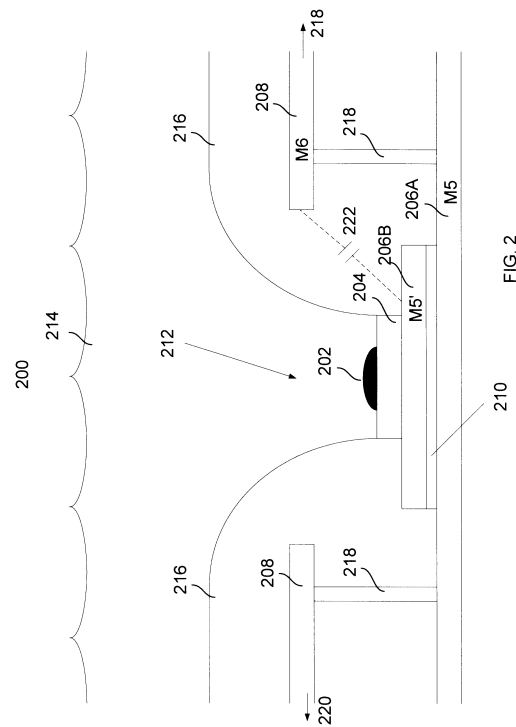


FIG. 2

【 図 3 A 】

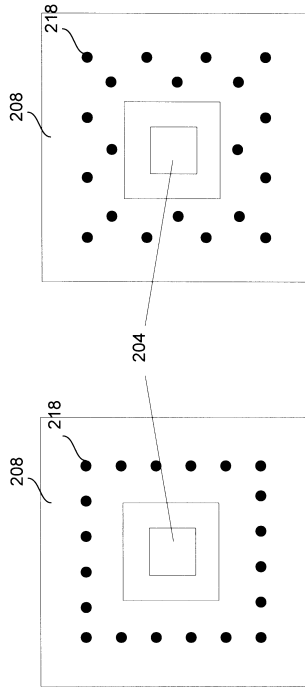


FIG. 3A

【 図 3 B 】

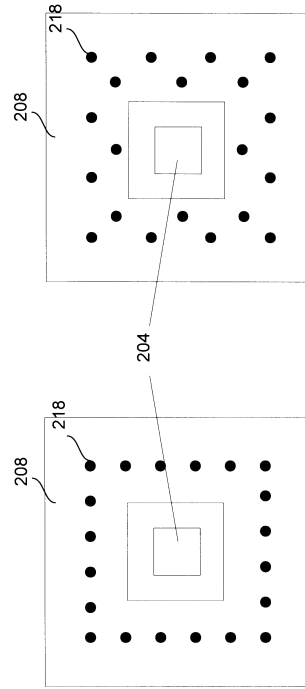


FIG. 3A

FIG. 3B

【 図 4 】

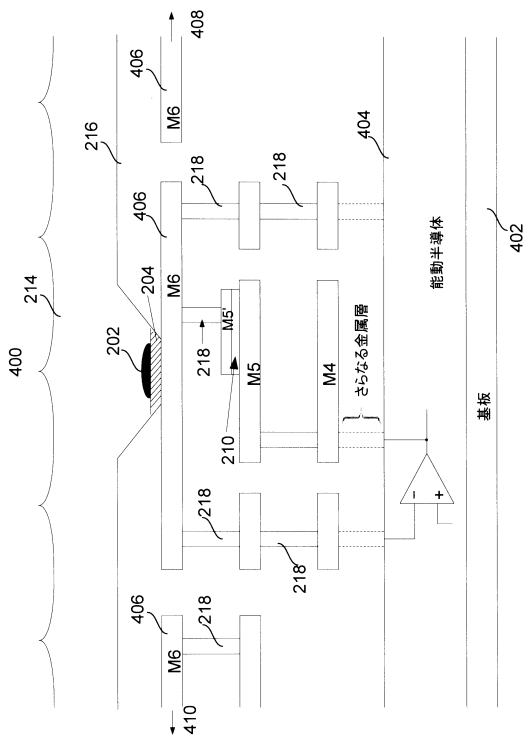


FIG. 4

---

フロントページの続き

合議体

審判長 三崎 仁

審判官 田中 洋介

審判官 高 見 重雄

- (56)参考文献 特表平03 - 505785 (JP, A)  
特開2007 - 047135 (JP, A)  
特開2011 - 003584 (JP, A)  
特開2010 - 238925 (JP, A)  
特開2004 - 258018 (JP, A)  
国際公開第2011 / 097028号 (WO, A1)  
特表2013 - 519088 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

G01N 27/00-27/49