

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月14日(14.01.2016)



(10) 国際公開番号
WO 2016/006115 A1

- (51) 国際特許分類:
G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2014/068635
- (22) 国際出願日: 2014年7月11日(11.07.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: 吉田浩 (YOSHIDA, Hiroshi); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町8番地20 二番町ビル3F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

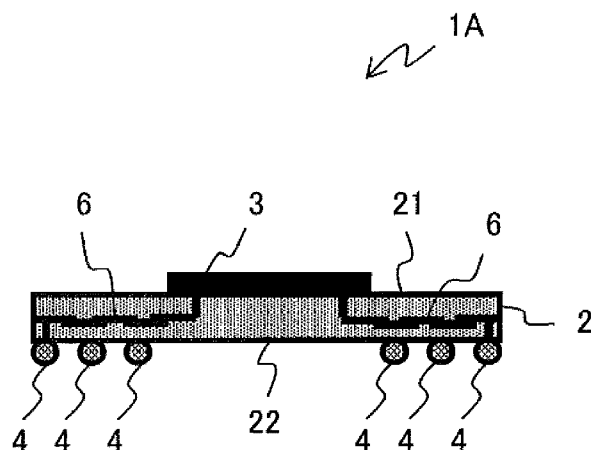
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: DESIGN PROGRAM, DESIGN DEVICE, AND DESIGN METHOD

(54) 発明の名称: 設計プログラム、装置及び方法



(57) Abstract: Disclosed is a design program whereby: a signal line for connecting a semiconductor integrated circuit and an external connection terminal is formed in a meandering shape by having conductive bodies partially overlap each other on the basis of data to be used for the purpose of manufacturing a semiconductor device, said semiconductor integrated circuit and external connection terminal constituting the semiconductor device; a delay value of the signal line is calculated; the delay value and an inputted request delay value are compared with each other; and the signal line is outputted as a simulation result in the cases where the delay value matches the request delay value.

(57) 要約: 半導体装置を製造するために用いられるデータに基づいて、導体を部分的に重なり合わせることで、半導体装置を構成する半導体集積回路と外部接続端子を接続する信号線をミランダ形状に形成し、信号線のディレイ値を算出し、ディレイ値と入力された要求ディレイ値とを比較し、ディレイ値が要求ディレイ値と一致した場合、信号線をシミュレーション結果として出力する。



WO 2016/006115 A1

明 細 書

発明の名称：設計プログラム、装置及び方法

技術分野

[0001] 本発明は、半導体装置を設計する設計プログラム、設計装置及び設計方法に関する。

背景技術

[0002] 半導体装置は、半導体集積回路素子と、半導体集積回路素子を搭載したプリント基板とを備える。半導体装置は、一般的には設計プログラムを搭載したコンピューターシステムである設計装置によって設計される。半導体装置の設計は、半導体集積回路素子の配列に関するだけではなく信号伝送経路にも関する。

[0003] 図1は、一般的な半導体装置の断面図である。図2は、一般的な半導体装置の平面図である。

[0004] 図1及び図2において、半導体装置1は、プリント基板2の一の表面（上面）21に半導体集積回路素子3が実装されている。また、プリント基板2の他の表面（下面）22には外部接続端子4が形成されている。そして、半導体集積回路素子3は、複数の信号線5により外部接続端子4と接続されている。

[0005] 例えば、半導体装置1の設計工程において、論理回路動作を確認するタイミング検証のシミュレーションを実行することがある。このタイミング検証は、算出した信号伝達経路の遅延時間に基づいて、信号が供給される半導体集積回路素子3の動作を確認するものである。この際、クロック信号に時間差（クロックスキュー）が生じる場合がある。これは、信号線51と信号線52の経路長の相違に起因するものである。クロックスキューが生じた場合、遅延時間の調整（スキュー調整）が行われる。

[0006] 近年、信号伝送の高速化により、2つの信号間の時間差に対する要求は厳しい。そのため、半導体装置1における遅延時間の調整は非常に重要である

。

[0007] 従来、半導体装置 1 における遅延時間の調整は、配線にミアンダ形状を採用することにより、信号線 5 1 と信号線 5 2 の信号ディレイを一致させていた。ミアンダ形状の配線とは、ジグザグ状の配線パターンの配線であり、一方向と反対の他方向とに交互に折り返しながら敷設された配線である。

[0008] 図 3 は、ミアンダ形状の信号線を示す図である。

図 3 に示すように、例えば、図 2 の信号線 5 2 をミアンダ形状のミアンダ信号線 5 2 A にする。これにより、信号線 5 1 とミアンダ信号線 5 2 A のクロック信号の時間差が調整される。

[0009] 図 4 は、従来の設計処理の流れを示すフローチャートである。

図 4 に示す設計処理は、設計プログラムを搭載したコンピューターシステムである設計装置によって実行される。例えば、パソコン上で動作する C A D (Computer Aided Design) ツールとして実行される。

[0010] まず、ステップ S 4 0 1 において、半導体装置を製造するために用いられるデータを入力する。入力するデータは、C A D ツールの半導体集積回路素子及びプリント基板の接続端子の位置情報を含む。ステップ S 4 0 2 において、半導体集積回路素子の接続端子とプリント基板の接続端子を結線する。

[0011] そして、ステップ S 4 0 3 において、結線された信号線間でディレイが一致するか否かを判断する。

[0012] 一致すれば（ステップ S 4 0 3 : Y e s）、本設計処理を終了する。他方、一致しなければ（ステップ S 4 0 3 : N o）、ステップ S 4 0 4 において、各信号間でディレイが一致するように、信号線を配線面でミアンダ形状に形成する。

[0013] ステップ S 4 0 5 において、ミアンダ形状が形成された信号線間でディレイが一致するか否かを判断する。

[0014] 一致すれば（ステップ S 4 0 5 : Y e s）、本設計処理を終了する。他方、一致しなければ（ステップ S 4 0 5 : N o）、ステップ S 4 0 6 において、各信号間でディレイが一致するように、信号線を他の層に乗り換えるよう

に形成する。

[0015] ステップS407において、複数の層に渡って形成された信号線間でレイが一致するか否かを判断する。

[0016] 一致すれば（ステップS407：Yes）、本設計処理を終了する。他方、一致しなければ（ステップS407：No）、ステップS408において、他の方法で調整できないかを検討し、他の方法で調整可能であればその方法を実行し、本設計処理を終了する。

[0017] また、以下のような従来技術が開示されている。

配線レイアウトの自由度を高め、伝送信号の劣化を抑制するために、2つの配線を立体的に交差する技術が開示されている。例えば、下記のように構成されている。配線基板は、順に第1、第3、第2の3層を有する。1つ目の配線は、第1領域においては第1の層のみで形成されている。第1領域周辺の第2領域においては第1乃至第3の層で形成されている。2つ目の配線は、第1領域においては第1乃至第3の層で形成されている。第2領域においては第1の層のみで形成されている。そして、1つ目の配線と2つ目の配線は、第1の領域で交差する（例えば、特許文献1を参照。）。

[0018] また、2層の導体間を垂直電極で接続し、立体的に配線を交差する構造が開示されている（例えば、特許文献2を参照。）。

[0019] また、互いに並行して配線される2本の差動信号線対の屈曲部を一度分断させ、そこに所定板厚の遅延配線体を実装した迂回部を設け、信号伝送の遅延時間差を解消した配線基板装置が開示されている（例えば、特許文献3を参照。）。

先行技術文献

特許文献

[0020] 特許文献1：特開2011-100871号公報

特許文献2：特開2012-199904号公報

特許文献3：特開2009-224489号公報

発明の概要

発明が解決しようとする課題

[0021] しかしながら、上述した従来の技術には、以下のような問題がある。

導体を3層使用して立体交差を実現した場合、3層部分と1層部分とでインピーダンスの乖離が発生してしまうため、信号品質が悪化してしまう。

[0022] また、導体パターンとの間に垂直電極を設けている場合、2層間を垂直電極で接続するため、ディレイが大きくなり、木目細かなディレイ調整ができない。

[0023] また、製造された基板において差動信号線対の屈曲部を分断させている場合、基板改版が発生し、後工程において手戻りが発生してしまう。

[0024] 1つの側面において、本発明の目的は、伝送信号の遅延時間のばらつきを防止してスキューを低減する半導体装置の設計において、半導体装置内での電気特性の劣化を防ぐとともに木目細かなディレイ調整を可能とする半導体装置を設計する設計プログラム、設計装置及び設計方法を提供することを目的とする。

課題を解決するための手段

[0025] 1つの案では、設計プログラムは、半導体装置を設計する設計装置のコンピュータに、前記半導体装置を製造するために用いられるデータに基づいて、導体を部分的に重なり合わせるにより、前記半導体装置を構成する半導体集積回路と外部接続端子を接続する信号線をミアンダ形状に形成し、前記信号線のディレイ値を算出し、前記ディレイ値と入力された要求ディレイ値とを比較し、前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する処理を実行させることを特徴とする。

発明の効果

[0026] 実施形態の設計プログラムによれば、半導体装置内での電気特性の劣化を防ぐとともに木目細かなディレイ調整を行うことができる。

図面の簡単な説明

[0027] [図1]一般的な半導体装置の断面図である。

[図2]一般的な半導体装置の平面図である。

[図3]ミアンダ形状の信号線を示す図である。

[図4]従来の設計処理の流れを示すフローチャートである。

[図5]ミアンダ形状の信号線を有する半導体装置の断面図である。

[図6]本実施の形態におけるミアンダ形状を説明するための図である。

[図7]重なり幅及び配線幅を説明するための図である。

[図8]本実施の形態の全体像を示す図である。

[図9]本実施の形態の設計装置の機能ブロックを示す図である。

[図10]本実施の形態の設計処理の流れを示すフローチャート（その１）である。

[図11]初期設計を説明する図である。

[図12]本実施の形態の設計処理の流れを示すフローチャート（その２）である。

[図13]第１詳細設計を説明する図である。

[図14]第２詳細設計を説明する図である。

[図15]第１の具体例を示す図である。

[図16]第２の具体例を示す図である。

[図17]第３の具体例を示す図である。

[図18]本実施の形態の設計処理により設計された半導体装置の製造過程を説明する図である。

[図19]情報処理装置の構成図である。

発明を実施するための形態

[0028] 以下、図面を参照しながら、実施形態を詳細に説明する。

図５は、ミアンダ形状の信号線を有する半導体装置の断面図である。

[0029] 図５において、半導体装置１Ａは、本実施の形態の設計処理により設計される。半導体装置１Ａは、プリント基板２の一の表面（上面）２１に半導体集積回路素子３が実装されている。また、プリント基板２の他の表面（下面

） 2 2 には外部接続端子 4 が形成されている。そして、半導体集積回路素子 3 は、複数のミアンダ信号線 6 により外部接続端子 4 と接続されている。ミアンダ信号線 6 は、本実施の形態の設計処理により設計されたミアンダ形状を形成している。

[0030] 図 6 は、本実施の形態におけるミアンダ形状を説明するための図である。

図 6 において、ミアンダ信号線 6 1 は、同一層内で導体を部分的に重なり合わせることでミアンダ形状が形成されている。

[0031] 図 7 は、重なり幅及び配線幅を説明するための図である。

図 7 において、導体 6 1 A と導体 6 1 B は、部分的に重なり合わせられ、図 6 に示したミアンダ信号線 6 1 が形成される。図 7 (A) は、半導体装置の平面 (X Y 平面) でのミアンダ信号線 6 1 を示す。ミアンダ信号線 6 1 を構成する導体 6 1 A と導体 6 1 B の幅方向の配線幅を矢印で示す。図 7 (B) は、半導体装置の断面でのミアンダ信号線 6 1 を示す。ミアンダ信号線 6 1 を構成する導体 6 1 A と導体 6 1 B の長さ方向の重なり幅 (o v 幅) を矢印で示す。

[0032] 図 8 は、本実施の形態の全体像を示す図である。

図 8 において、基板情報 DB (Data Base) 8 1 は、基板外形、層数、材料、厚さ、S V G (信号、電源、G N D) 種別、電気特性、ドリル径、パッド径、逃げ径等の基本情報を格納する。搭載部品情報 DB 8 2 は、ダイ (Die) ピン定義、B G A (Ball Grid Array) ピン定義、コンデンサなど部品定義等の搭載部品情報を格納する。接続情報 DB 8 3 は、Die-B G A 間接続などの Netlist 定義等の接続情報を格納する。D R C (Design Rule Check) 情報 DB 8 4 は、ライン-ビア-シェイプ間のクリアランス、ライン幅とレイヤーの制限 (配線不可指定)、差動配線ルール、製造性ルール等のデザインルールチェック情報を格納する。

[0033] 基本パターン設計は、基板情報 DB 8 1 に格納された基本情報、搭載部品情報 DB 8 2 に格納された搭載部品情報、接続情報 DB 8 3 に格納された接続情報、及び D R C 情報 DB 8 4 に格納されたデザインルールチェック情報

に基づいて実行される。電源プレーンの作成や配線の追加が行われることもある。基本パターン設計の後、伝送解析、電源解析等のシミュレーションを実行する。その後、レイヤー及びビアの追加や削除、更に、配線及びプレーンの修正を行い、再度、基本パターン設計を実行する。そして、デザインルールのチェックを実行し、G B Rファイル等の基板製造用データ、部品実装データ（マウンタ位置情報）、基板実装図（基板外形寸法、パッド寸法、予備半田仕様など）を出力する。

[0034] 図9は、本実施の形態の設計装置の機能ブロックを示す図である。

図9において、設計装置90は、信号線形成部91、ディレイ値算出部92、第1ディレイ値比較部93、結果出力部94、第2ディレイ値比較部95、重なり幅変更部96、第3ディレイ値比較部97及び重なり配線幅変更部98を備える。設計装置90は、設計プログラムを搭載したコンピューターシステムであり、半導体集積回路素子及び、その半導体集積回路素子を搭載したプリント基板を備えた半導体装置を設計する。

[0035] 信号線形成部91は、前記半導体装置を製造するために用いられるデータに基づいて、導体を部分的に重なり合わせることにより、前記半導体装置を構成する半導体集積回路と外部接続端子を接続する信号線をミアンダ形状に形成する。ディレイ値算出部92は、前記信号線形成部91によって形成された信号線のディレイ値を算出する。第1ディレイ値比較部93は、前記ディレイ値算出部92によって算出されたディレイ値と入力された要求ディレイ値とを比較する。結果出力部94は、前記第1ディレイ値比較部93による比較の結果、前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する。第2ディレイ値比較部95は、前記ディレイ値が前記要求ディレイ値と一致しなかった場合、前記ディレイ値と所定範囲の第1許容ディレイ値とを比較する。重なり幅変更部96は、前記第2ディレイ値比較部95による比較の結果、前記ディレイ値が前記第1許容ディレイ値の範囲内の場合、前記導体の長さ方向の重なり幅を変更する。第3ディレイ値比較部97は、前記重なり幅の変更後に算出した前

記ディレイ値が前記要求ディレイ値と一致しなかった場合、前記重なり幅の変更後に算出した前記ディレイ値と所定範囲の第2許容ディレイ値とを比較する。重なり配線幅変更部98は、前記第3ディレイ値比較部97による比較の結果、前記ディレイ値が前記第2許容ディレイ値の範囲内の場合、前記導体の重なり部分の幅方向の配線幅を変更する。

[0036] また、前記ディレイ値算出部92は、前記重なり幅の変更後の前記信号線のディレイ値を算出する。前記第1ディレイ値比較部93は、前記重なり幅の変更後に算出した前記ディレイ値と入力された要求ディレイ値とを比較する。前記結果出力部94は、前記重なり幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する。

[0037] また、前記ディレイ値算出部92は、前記配線幅の変更後の前記信号線のディレイ値を算出する。前記第1ディレイ値比較部93は、前記配線幅の変更後に算出した前記ディレイ値と入力された要求ディレイ値とを比較する。前記結果出力部94は、前記配線幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する。

[0038] ここで、前記第2許容ディレイ値は、前記第1許容ディレイ値の範囲内であることが望ましい。前記信号線は、前記半導体装置の同一層内で形成されることが望ましい。前記要求ディレイ値は、所定の連続的数値範囲を有することが望ましい。

[0039] 図9を用いて説明した設計装置90は、設計プログラムにより設計処理を実行する。従来は限定的にしか行えなかったミアンダ形状によるディレイ調整であったが、本設計処理により木目細かなディレイ調整を行うことができる。

[0040] 本実施の形態では、層乗り換えせずにZ軸方向のミアンダ配線を形成し、初期設計、第1詳細設計及び第2詳細設計の3段階設計によって、導体の長さ方向の重なり部分である重なり幅や、導体の幅方向の重なり部分である配

線幅を変更することにより、木目細かなディレイ調整することを可能とした。

- [0041] 図10及び図12は、本実施の形態の設計処理の流れを示すフローチャートである。図11は、初期設計を説明する図である。図13は、第1詳細設計を説明する図である。図14は、第2詳細設計を説明する図である。
- [0042] 図10のステップS401乃至S405は、図4を用いて説明した従来の設計処理のステップS401乃至S405と同様であるので、説明を省略する。
- [0043] ステップS405で、ミアンダ形状が形成された信号線間でディレイが一致しないと判断された場合（ステップS405：No）、ステップS1001において、同一層に上部及び下部の導体パターンが形成できるように、CADツール上で層定義を行う。
- [0044] ステップS1002において、ステップS401で入力した接続端子の位置情報に基づいて、ステップS1001で定義した同一層内のXYZ面でミアンダ形状の信号線を形成する。このとき、Z軸方向のミアンダ形状の信号線は、図11の横軸に示す初期値で上部の導体パターンと下部の導体パターンを重ね合わせるように交互に接続する。
- [0045] ステップS1003において、ステップS1002で形成したミアンダ形状の信号線のディレイ値を算出する。算出したディレイ値は、図11の縦軸に示す初期値となる。
- [0046] ステップS1004において、ステップS1003で算出したディレイ値が、予め入力された要求ディレイ値を満足するか否かを判断する。要求ディレイ値は、図11に示すように、所定の幅を有する。
- [0047] 算出したディレイ値が要求ディレイ値を満足する場合（ステップS1004：Yes）、本設計処理を終了する。他方、図11に示すように、算出したディレイ値が要求ディレイ値を満足しない場合（ステップS1004：No）、ステップS1005において、最小の重なり幅（ov幅min）におけるディレイ値である第1下限値と、最大の重なり幅（ov幅max）にお

けるディレイ値である第1上限値を計算する。

[0048] そして、ステップS1006において、要求ディレイ値がステップS1005で計算した第1上限値と第1下限値の間にあるか否かを判断する。

[0049] 要求ディレイ値が第1上限値と第1下限値の間でない場合（ステップS1006：No）、ステップS1001に戻る。以上のステップS1001乃至S1006の処理を初期設計と呼ぶ。

[0050] 以下に説明するステップS1201乃至S1208の処理を第1詳細設計と呼ぶ。第1詳細設計では、重なり幅（o v 幅）を調整することで、木目細かなディレイ調整を行う。例えば、重なり幅（o v 幅）を増加することにより、重なり部分の容量が増加するためディレイ値が増加する。また、重なり幅（o v 幅）を減少することにより、重なり部分の容量が減少するためディレイ値が減少する。

[0051] 要求ディレイ値が第1上限値と第1下限値の間にある場合（ステップS1006：Yes）、図12のステップS1201において、上述の初期設計のディレイ値と重なり幅を取り込み、ステップS1202において、第1詳細設計でターゲットとする要求ディレイ値を取り込む。通常は、初期設計での要求ディレイ値と同様の値である。

[0052] ステップS1203において、変更する重なり幅（o v 幅）を求める。初期設計で算出したディレイ値が要求ディレイ値に満たない場合には、重なり幅（o v 幅）を増加させる。他方、初期設計で算出したディレイ値が要求ディレイ値を超える場合には、重なり幅（o v 幅）を減少させる。図13に示した例では、重なり幅（o v 幅）を増加させている。

[0053] ステップS1204において、変更した重なり幅（o v 幅）の信号線のディレイ値を算出し、要求ディレイ値を満足するか否かを判断する。

[0054] 算出したディレイ値が要求ディレイ値を満足する場合（ステップS1204：Yes）、ステップS1205において、ステップS1203で求めた重なり幅（o v 幅）で決定した後、本設計処理を終了する。他方、図13に示すように、算出したディレイ値が要求ディレイ値を満足しない場合（ステ

ップS 1 2 0 4 : N o) 、ステップS 1 2 0 6において、最小の重なり幅 (o v 幅 m i n) におけるディレイ値である第2下限値と、最大の重なり幅 (o v 幅 m a x) におけるディレイ値である第2上限値を計算する。

[0055] そして、ステップS 1 2 0 7において、要求ディレイ値がステップS 1 2 0 6で計算した第2上限値と第2下限値の間にあるか否かを判断する。

[0056] 要求ディレイ値が第2上限値と第2下限値の間でない場合 (ステップS 1 2 0 7 : N o) 、ステップS 1 2 0 3に戻る。他方、要求ディレイ値が第2上限値と第2下限値の間にある場合 (ステップS 1 2 0 7 : Y e s) 、ステップS 1 2 0 8において、ステップS 1 2 0 3で求めた重なり幅 (o v 幅) で決定する。

[0057] 以下に説明するステップS 1 2 0 9乃至S 1 2 1 3の処理を第2詳細設計と呼ぶ。第2詳細設計では、配線幅 (o v 配線幅) を調整することで、木目細かなディレイ調整を行う。例えば、配線幅 (o v 配線幅) を増加する (太らせる) ことにより、重なり部分の容量が増加するためディレイ値が増加する。また、配線幅 (o v 配線幅) を減少する (細らせる) ことにより、重なり部分の容量が減少するためディレイ値が減少する。

[0058] 要求ディレイ値が第2上限値と第2下限値の間にある場合 (ステップS 1 2 0 7 : Y e s) 、ステップS 1 2 0 8で重なり幅 (o v 幅) が決定した後、ステップS 1 2 0 9において、上述の第1詳細設計のディレイ値と重なり幅を取り込む。そして、ステップS 1 2 1 0において、第2詳細設計でターゲットとする要求ディレイ値を取り込む。通常は、第1詳細設計での要求ディレイ値と同様の値である。

[0059] ステップS 1 2 1 1において、変更する配線幅 (o v 配線幅) を求める。第1詳細設計で算出したディレイ値が要求ディレイ値に満たない場合には、配線幅 (o v 配線幅) を増加させる。他方、第1詳細設計で算出したディレイ値が要求ディレイ値を超える場合には、配線幅 (o v 配線幅) を減少させる。図14に示した例では、配線幅 (o v 配線幅) を増加させている。

[0060] ステップS 1 2 1 2において、変更した重なり幅 (o v 幅) の信号線のデ

ィレイ値を算出し、要求ディレイ値を満足するか否かを判断する。

[0061] 算出したディレイ値が要求ディレイ値を満足する場合（ステップS 1 2 1 2 : Y e s）、ステップS 1 2 1 3において、ステップS 1 2 1 1で求めた配線幅（o v配線幅）で決定した後、本設計処理を終了する。他方、図1 4に示すように、算出したディレイ値が要求ディレイ値を満足しない場合（ステップS 1 2 1 2 : N o）、図1 0のステップS 1 0 0 1に戻り、初期設計から再設計を行う。

[0062] 以上の設計処理により、後工程での追加工数を発生させることなく、また、他配線にも影響させることなく、木目細かなディレイ調整と可能となる。

[0063] 図1 5は、第1の具体例を示す図である。

図1 5（A）は、第1の具体例の断面図である。

[0064] 図1 5（B）に示すように、絶縁層厚（b）= 7 5マイクロメートル（ μ m）、導体厚（t）= 1 5 μ m、上部導体と上部GND面間距離（h 1）= 2 2 . 5 μ m、下部導体と下部GND面間距離（h 2）= 2 2 . 5 μ m、M点からN点までの距離を2 0 6 0 μ mの断面構造とする。

[0065] 重なり部分の長さ（ Δ l）を6 0 μ m、8 0 μ m、1 0 0 μ m、2 0 0 μ m、5 0 0 μ m、1 0 6 0 μ mとした場合、M点からN点までのディレイ値を算出すると、6 0 μ m = 1 3 . 7 1 1ピコ秒（p s）（+ 0 . 0 0 0 p s）、8 0 μ m = 1 3 . 7 6 8 p s（+ 0 . 0 5 7 p s）、1 0 0 μ m = 1 3 . 8 5 p s（+ 0 . 1 3 9 p s）、2 0 0 μ m = 1 4 . 2 4 5 p s（+ 0 . 5 3 4 p s）、5 0 0 μ m = 1 4 . 7 9 7 p s（+ 1 . 0 8 6 p s）、1 0 6 0 μ m = 1 5 . 1 6 4 p s（+ 1 . 4 5 3 p s）となる。これは、 Δ lを長くすることにより、容量が大きくなるためである。このように重なり部分の長さを任意に変えることで、ディレイ値の調整と可能である。

[0066] 図1 6は、第2の具体例を示す図である。

図1 6（A）及び（B）は、第2の具体例であり、図1 6（C）及び（D）は従来例である。

[0067] 図1 6（A）の断面図に示したように、第2の具体例に示す導体の積層数

は、図16(C)に示す従来例の導体の積層数よりも1層多い、3層構造となっている。図16(B)に示すように、第2の具体例は、絶縁層厚(b) = $75\ \mu\text{m}$ 、導体厚(t) = $15\ \mu\text{m}$ 、上部導体と上部GND面間距離(h_1) = $22.5\ \mu\text{m}$ 、下部導体と下部GND面間距離(h_2) = $22.5\ \mu\text{m}$ の断面構造である。一方、図16(D)に示すように、従来の技術では、絶縁層厚(b) = $75\ \mu\text{m}$ 、導体厚(t) = $15\ \mu\text{m}$ 、上部導体と上部GND面間距離(h_1) = $15\ \mu\text{m}$ 、下部導体と下部GND面間距離(h_2) = $15\ \mu\text{m}$ の断面構造である。重なり部分(Δl) (オーバーラップ部)とその前後(l_a 、 l_b)のインピーダンス(Z_o)について、両者を比較する。インピーダンス(Z_o)は、インダクタンスとキャパシタンスの商の平方根で算出されるため、差が生じる。 Δl 部と l_a 、 l_b 部の Z_o の差が、第2の具体例は、図16(B)に示すように、 $\Delta 11.55\ \Omega$ である。これに対して、従来例は、図16(D)に示すように、 $\Delta 16.82\ \Omega$ となる。このことにより、本実施の形態は、インピーダンス不連続を抑制することが可能とある。

[0068] 重なり部分とその前後でのインピーダンス不連続を解決するためには、重なり部分の導体厚を薄くすることで解決する。これにより、従来例よりもインピーダンスの乖離を抑制し、信号品質の劣化を抑えることが可能となる。

[0069] 図17は、第3の具体例を示す図である。

図17(A)は、第3の具体例の断面図である。

[0070] 図17(B)に示すように、絶縁層厚(b) = $75\ \mu\text{m}$ 、導体厚(t) = $15\ \mu\text{m}$ 、上部導体と上部GND面間距離(h_1) = $22.5\ \mu\text{m}$ 、下部導体と下部GND面間距離(h_2) = $22.5\ \mu\text{m}$ 、M点からN点までの距離を $2060\ \mu\text{m}$ の断面構造とする。重なり部分の長さ(l)を $60\ \mu\text{m}$ 及び $200\ \mu\text{m}$ とした場合、重なり部分の配線幅(Δw)を変化したときのM点からN点までのディレイ値を算出した。 $l = 60\ \mu\text{m}$ 時では、 $\Delta w = 15\ \mu\text{m}$ 基準としたときに、 $\Delta w = 20\ \mu\text{m}$ で $\Delta t = 0.005\ \text{ps}$ 、 $\Delta w = 40\ \mu\text{m}$ で $\Delta t = 0.096\ \text{ps}$ となり、配線幅は2倍の変化に対し、ディレイ

値は19.2倍の変化となる。

[0071] また、図17(C)に示すように、 $l = 200 \mu\text{m}$ の時は、 $\Delta w = 15 \mu\text{m}$ 基準としたときに、 $\Delta w = 20 \mu\text{m}$ で $\Delta t = 0.015 \text{ps}$ 、 $\Delta w = 40 \mu\text{m}$ で $\Delta t = 0.218 \text{ps}$ となり、配線幅の2倍変化に対し、ディレイ値は14.5倍の変化となる。これは、配線幅を太くすることで、容量が大きくなるためである。このように重なり部分の配線幅を任意に変えることで、ディレイ値の微調整が可能となる。

[0072] 図18は、本実施の形態の設計処理により設計された半導体装置の製造過程を説明する図である。

[0073] 上述のようにして設計された半導体装置は、図18に示すようにして製造することが出来る。

[0074] まず、図18(A)に示すように、コア層である第一導体の上に樹脂を積層し第一絶縁層を形成する。図18(B)に示すように、第一絶縁層の上に第二下部導体を形成する。図18(C)に示すように、第二下部導体の上に樹脂を積層し第二下部絶縁層を形成する。図18(D)に示すように、樹脂を研磨し第二下部導体を露出させる。図18(E)に示すように、露出した第二下部導体に第二上部導体を形成し、上下の導体を接続させる。図18(F)に示すように、第二上部導体の上に第三絶縁層を形成する。そして、図18(G)に示すように、第三絶縁層の上に第三導体を形成する。

[0075] このようにして製造された半導体装置の構造により、垂直電極を使用せずに、第二上部導体と第二下部導体を重ね合わせて接続できるため、半導体装置の板厚を薄くすることが可能となる。

[0076] 以上説明したように、本実施の形態は、層乗り換えをせずに同一層内でXYZ面(X面：基板横方向、Y：基板奥行方向、Z：基板断面方向)で信号線をミアンダ形状にした。このときの、Z軸のミアンダ形状は、垂直電極を使用せずに、上部導体パターンと下部導体パターンを、相互に重ね合わせて接続する構造とした。これにより、木目細かなディレイ調整が可能となった。

- [0077] また、基板リリース直前でディレイ値の微調整が必要な場合でも、重ね合わせの量を変えることによりディレイ調整が可能であるため、他配線の設計変更を行わずに、手戻りを最小限で調整することが可能である。
- [0078] また、重ねあわせ部分の導体厚を薄くすることにより、インピーダンス不連続を抑制することもできる。
- [0079] 以上説明したように、３次元ミアンダ形状を有することにより、本実施の形態の設計処理は、効率的に、木目細かなディレイ調整が可能となる。
- [0080] 図９の設計装置９０は、ハードウェア回路として実装することもでき、図１９に示すような情報処理装置（コンピュータ）を用いて実現することもできる。
- [0081] 図１９の情報処理装置は、Central Processing Unit（ＣＰＵ）１９０１、メモリ１９０２、入力装置１９０３、出力装置１９０４、外部記録装置１９０５、媒体駆動装置１９０６、及びネットワーク接続装置１９０７を備える。これらの構成要素はバス１９０８により互いに接続されている。
- [0082] メモリ１９０２は、例えば、Read Only Memory（ＲＯＭ）、Random Access Memory（ＲＡＭ）、フラッシュメモリ等の半導体メモリであり、設計処理に用いられるプログラム及びデータを格納する。
- [0083] ＣＰＵ１９０１（プロセッサ）は、例えば、メモリ１９０２を利用して設計プログラムを実行することにより、図９の信号線形成部９１、ディレイ値算出部９２、第１ディレイ値比較部９３、結果出力部９４、第２ディレイ値比較部９５、重なり幅変更部９６、第３ディレイ値比較部９７及び重なり配線幅変更部９８として動作する。
- [0084] 入力装置１９０３は、例えば、キーボード、ポインティングデバイス等であり、ユーザ又はオペレータからの指示や情報の入力に用いられる。出力装置１９０４は、例えば、表示装置、プリンタ、スピーカ等であり、ユーザ又はオペレータへの問い合わせや処理結果の出力に用いられる。
- [0085] 外部記録装置１９０５は、例えば、磁気ディスク装置、光ディスク装置、光磁気ディスク装置、テープ装置等である。外部記録装置１９０５は、ハー

ドディスクドライブであってもよい。情報処理装置は、外部記録装置 1905 にプログラム及びデータを格納しておき、それらをメモリ 1902 にロードして使用することができる。

[0086] 媒体駆動装置 1906 は、可搬型記録媒体 1909 を駆動し、その記録内容にアクセスする。可搬型記録媒体 1909 は、メモリデバイス、フレキシブルディスク、光ディスク、光磁気ディスク等である。可搬型記録媒体 1909 は、Compact Disk Read Only Memory (CD-ROM)、Digital Versatile Disk (DVD)、又は Universal Serial Bus (USB) メモリであってもよい。ユーザ又はオペレータは、この可搬型記録媒体 1909 にプログラム及びデータを格納しておき、それらをメモリ 1902 にロードして使用することができる。

[0087] このように、処理に用いられるプログラム及びデータを格納するコンピュータ読み取り可能な記録媒体には、メモリ 1902、外部記録装置 1905、及び可搬型記録媒体 1909 のような、物理的な（非一時的な）記録媒体が含まれる。

[0088] ネットワーク接続装置 1907 は、Local Area Network (LAN)、インターネット等の通信ネットワークに接続され、通信に伴うデータ変換を行う通信インタフェースである。情報処理装置は、プログラム及びデータを外部の装置からネットワーク接続装置 1907 を介して受け取り、それらをメモリ 1902 にロードして使用することもできる。

[0089] なお、情報処理装置が図 19 のすべての構成要素を含む必要はなく、用途や条件に応じて一部の構成要素を省略することも可能である。例えば、ユーザ又はオペレータとのインタフェースが不要の場合は、入力装置 1903 及び出力装置 1904 を省略してもよい。また、情報処理装置が可搬型記録媒体 1909 にアクセスしない場合は、媒体駆動装置 1906 を省略してもよい。

[0090] 開示の実施形態とその利点について詳しく説明したが、当業者は、特許請求の範囲に明確に記載した本発明の範囲から逸脱することなく、様々な変更

、追加、省略をすることができるであろう。

請求の範囲

- [請求項1] 半導体装置を設計する設計装置のコンピュータに、
- 前記半導体装置を製造するために用いられるデータに基づいて、導体を部分的に重なり合わせることにより、前記半導体装置を構成する半導体集積回路と外部接続端子を接続する信号線をミアンダ形状に形成し、
- 前記信号線のディレイ値を算出し、
- 前記ディレイ値と入力された要求ディレイ値とを比較し、
- 前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する、
- 処理を実行させることを特徴とする設計プログラム。
- [請求項2] 前記ディレイ値が前記要求ディレイ値と一致しなかった場合、前記ディレイ値と所定範囲の第1許容ディレイ値とを比較し、
- 前記ディレイ値が前記第1許容ディレイ値の範囲内の場合、前記導体の長さ方向の重なり幅を変更し、
- 前記重なり幅の変更後の前記信号線のディレイ値を算出し、
- 前記重なり幅の変更後に算出した前記ディレイ値と入力された要求ディレイ値とを比較し、
- 前記重なり幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する、
- 処理を実行させることを特徴とする請求項1に記載の設計プログラム。
- [請求項3] 前記重なり幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致しなかった場合、前記重なり幅の変更後に算出した前記ディレイ値と所定範囲の第2許容ディレイ値とを比較し、
- 前記ディレイ値が前記第2許容ディレイ値の範囲内の場合、前記導体の重なり部分の幅方向の配線幅を変更し、

前記配線幅の変更後の前記信号線のディレイ値を算出し、

前記配線幅の変更後に算出した前記ディレイ値と入力された要求ディレイ値とを比較し、

前記配線幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する、

処理を実行させることを特徴とする請求項2に記載の設計プログラム。

[請求項4] 前記第2許容ディレイ値は、前記第1許容ディレイ値の範囲内である、

ことを特徴とする請求項3に記載の設計プログラム。

[請求項5] 前記信号線は、前記半導体装置の同一層内で形成される、

ことを特徴とする請求項1乃至4の何れか1項に記載の設計プログラム。

[請求項6] 前記要求ディレイ値は、所定の連続的数値範囲を有する、

ことを特徴とする請求項1乃至5の何れか1項に記載の設計プログラム。

[請求項7] 半導体装置を設計する設計装置のコンピュータが実行する設計方法であって、

前記半導体装置を製造するために用いられるデータに基づいて、導体を部分的に重なり合わせることで、前記半導体装置を構成する半導体集積回路と外部接続端子を接続する信号線をミランダ形状に形成し、

前記信号線のディレイ値を算出し、

前記ディレイ値と入力された要求ディレイ値とを比較し、

前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する、

ことを特徴とする設計方法。

- [請求項8] 前記ディレイ値が前記要求ディレイ値と一致しなかった場合、前記ディレイ値と所定範囲の第1許容ディレイ値とを比較し、
- 前記ディレイ値が前記第1許容ディレイ値の範囲内の場合、前記導体の長さ方向の重なり幅を変更し、
- 前記重なり幅の変更後の前記信号線のディレイ値を算出し、
- 前記重なり幅の変更後に算出した前記ディレイ値と入力された要求ディレイ値とを比較し、
- 前記重なり幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する、
- ことを特徴とする請求項7に記載の設計方法。
- [請求項9] 前記重なり幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致しなかった場合、前記重なり幅の変更後に算出した前記ディレイ値と所定範囲の第2許容ディレイ値とを比較し、
- 前記ディレイ値が前記第2許容ディレイ値の範囲内の場合、前記導体の重なり部分の幅方向の配線幅を変更し、
- 前記配線幅の変更後の前記信号線のディレイ値を算出し、
- 前記配線幅の変更後に算出した前記ディレイ値と入力された要求ディレイ値とを比較し、
- 前記配線幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する、
- ことを特徴とする請求項8に記載の設計方法。
- [請求項10] 半導体装置を設計する設計装置において、
- 前記半導体装置を製造するために用いられるデータに基づいて、導体を部分的に重なり合わせることにより、前記半導体装置を構成する半導体集積回路と外部接続端子を接続する信号線をミアンド形状に形成する信号線形成部と、

前記信号線形成部によって形成された信号線のディレイ値を算出するディレイ値算出部と、

前記ディレイ値算出部によって算出されたディレイ値と入力された要求ディレイ値とを比較する第1ディレイ値比較部と、

前記第1ディレイ値比較部による比較の結果、前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する結果出力部と、

を備えることを特徴とする設計装置。

[請求項11]

前記ディレイ値が前記要求ディレイ値と一致しなかった場合、前記ディレイ値と所定範囲の第1許容ディレイ値とを比較する第2ディレイ値比較部と、

前記第2ディレイ値比較部による比較の結果、前記ディレイ値が前記第1許容ディレイ値の範囲内の場合、前記導体の長さ方向の重なり幅を変更する重なり幅変更部と、

を更に備え、

前記ディレイ値算出部は、前記重なり幅の変更後の前記信号線のディレイ値を算出し、

前記第1ディレイ値比較部は、前記重なり幅の変更後に算出した前記ディレイ値と入力された要求ディレイ値とを比較し、

前記結果出力部は、前記重なり幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する、

ことを特徴とする請求項10に記載の設計装置。

[請求項12]

前記重なり幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致しなかった場合、前記重なり幅の変更後に算出した前記ディレイ値と所定範囲の第2許容ディレイ値とを比較する第3ディレイ値比較部と、

前記第3ディレイ値比較部による比較の結果、前記ディレイ値が前

記第 2 許容ディレイ値の範囲内の場合、前記導体の重なり部分の幅方向の配線幅を変更する重なり配線幅変更部と、

を更に備え、

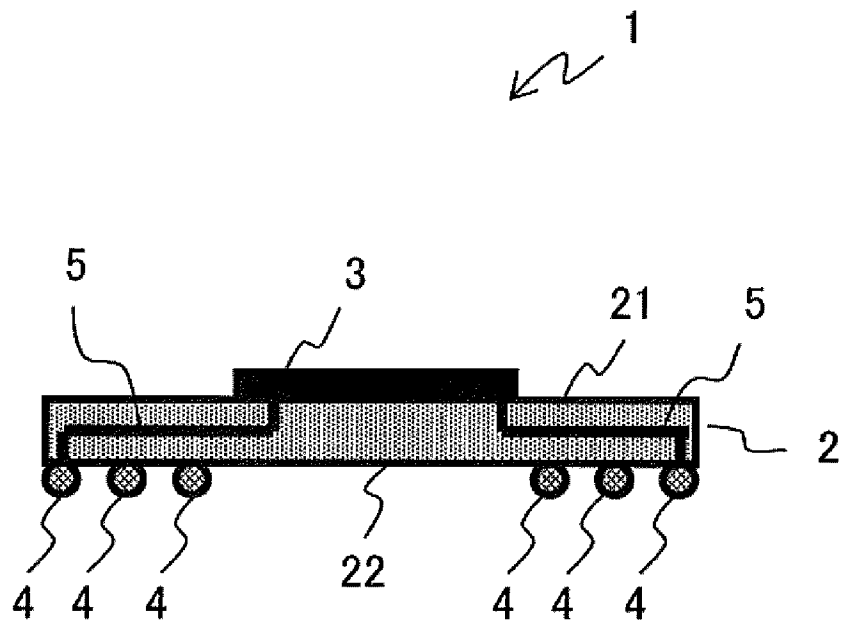
前記ディレイ値算出部は、前記配線幅の変更後の前記信号線のディレイ値を算出し、

前記第 1 ディレイ値比較部は、前記配線幅の変更後に算出した前記ディレイ値と入力された要求ディレイ値とを比較し、

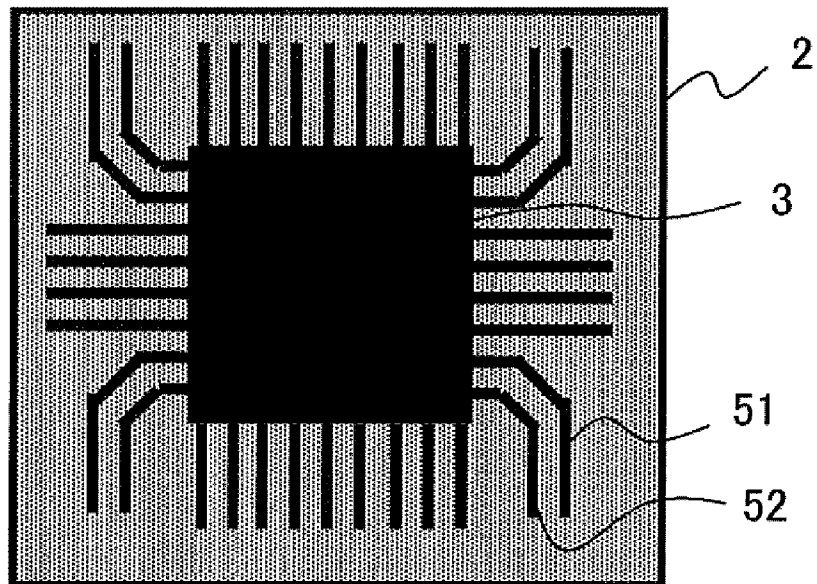
前記結果出力部は、前記配線幅の変更後に算出した前記ディレイ値が前記要求ディレイ値と一致した場合、前記信号線をシミュレーション結果として出力する、

ことを特徴とする請求項 1 1 に記載の設計装置。

[図1]



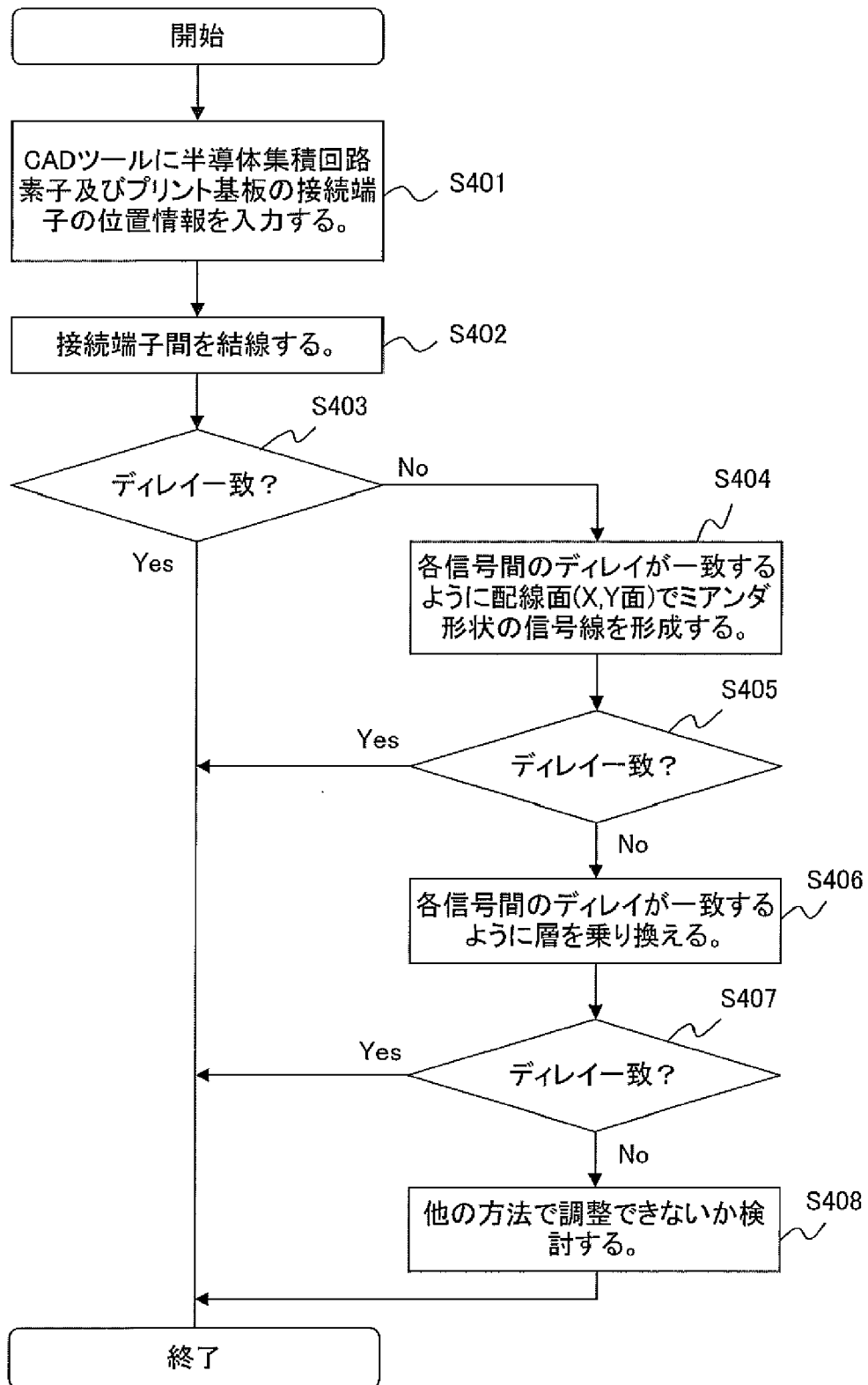
[図2]

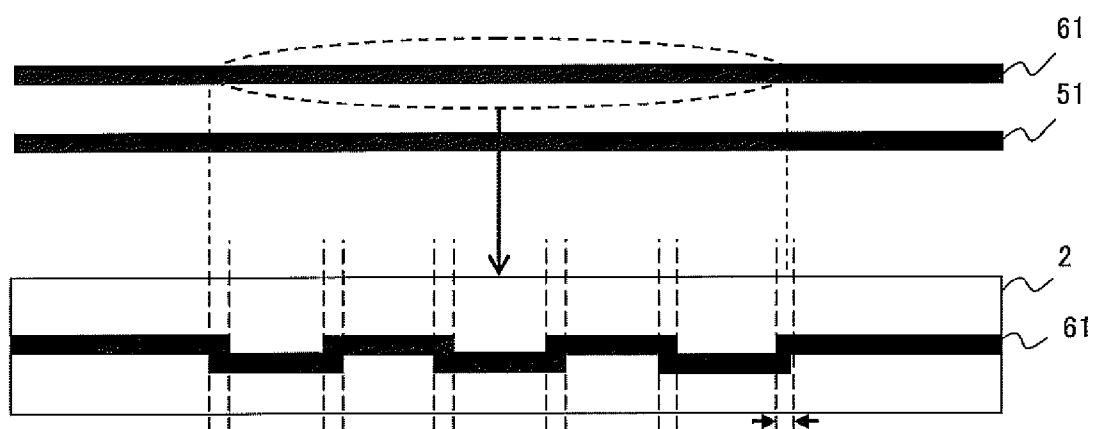
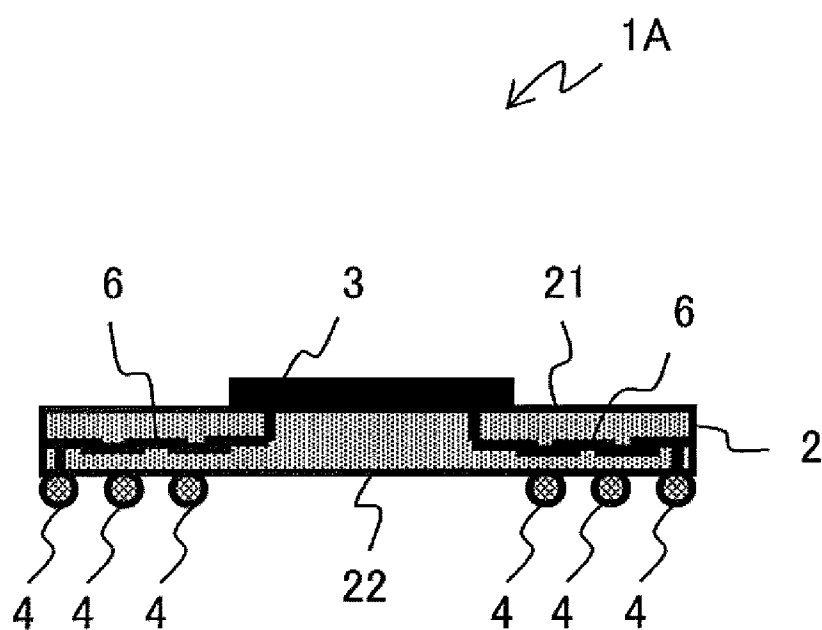


[図3]



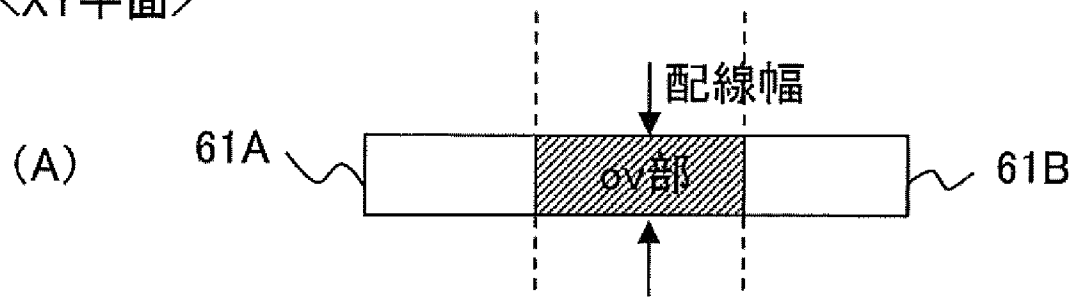
[図4]



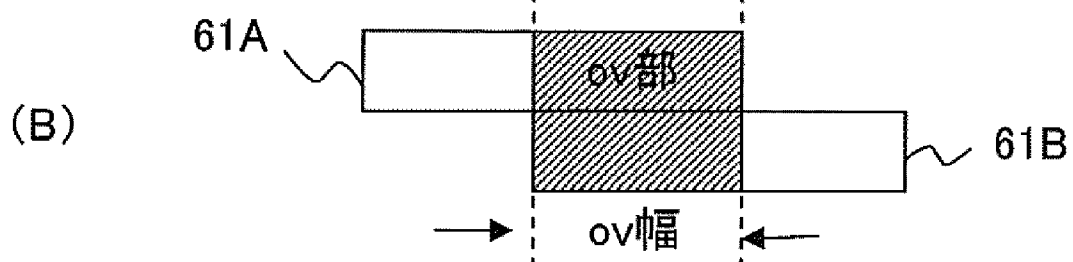


[図7]

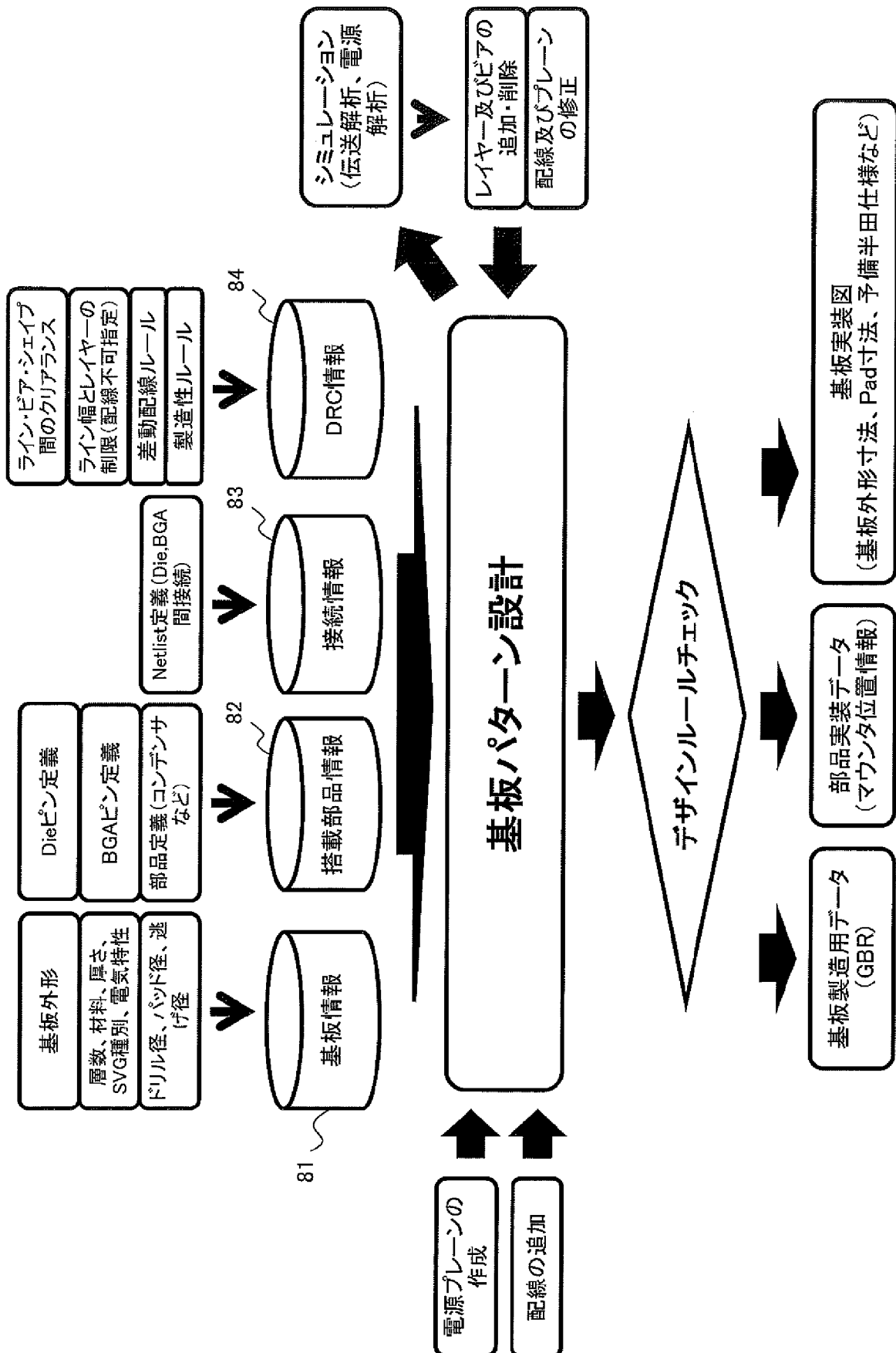
<XY平面>



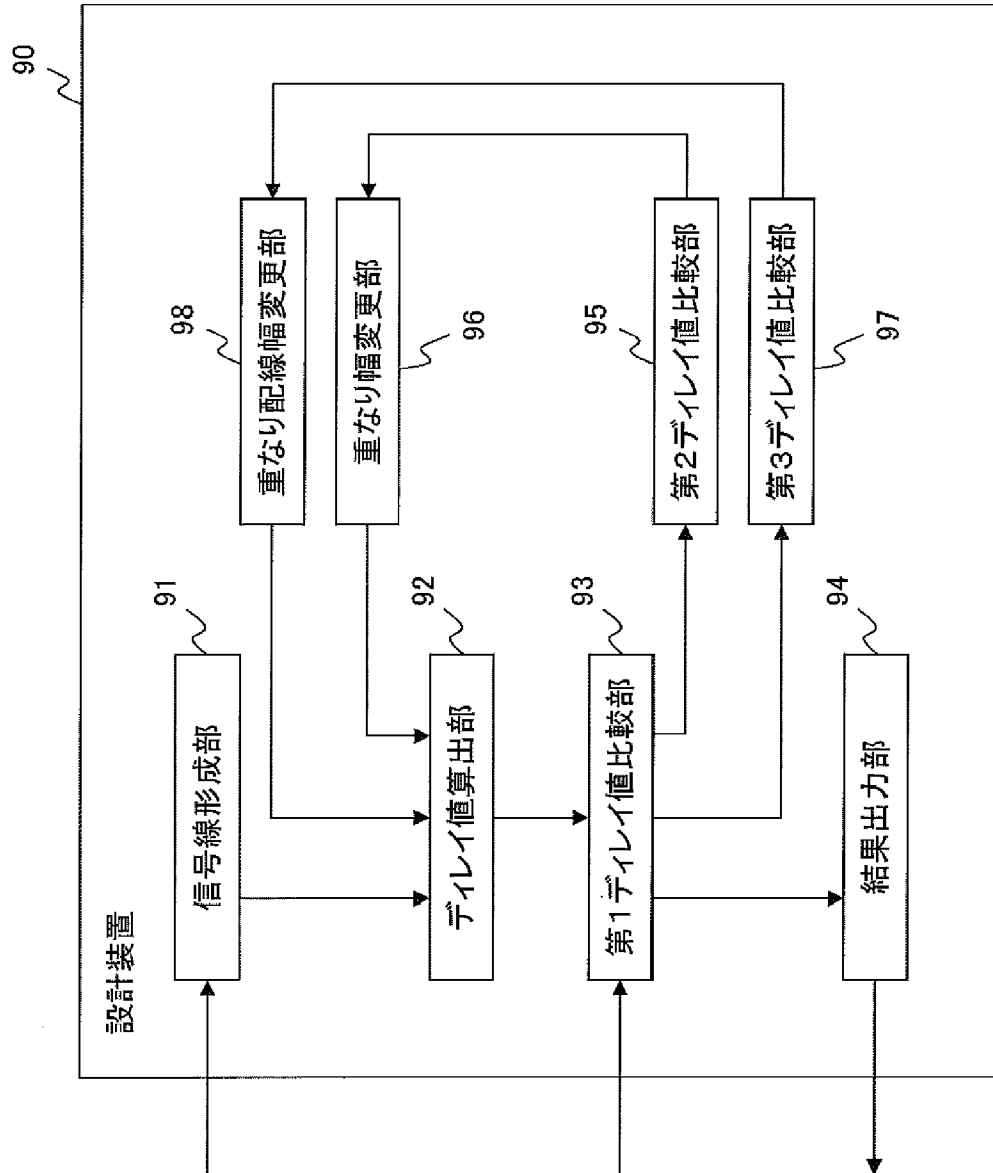
<断面>



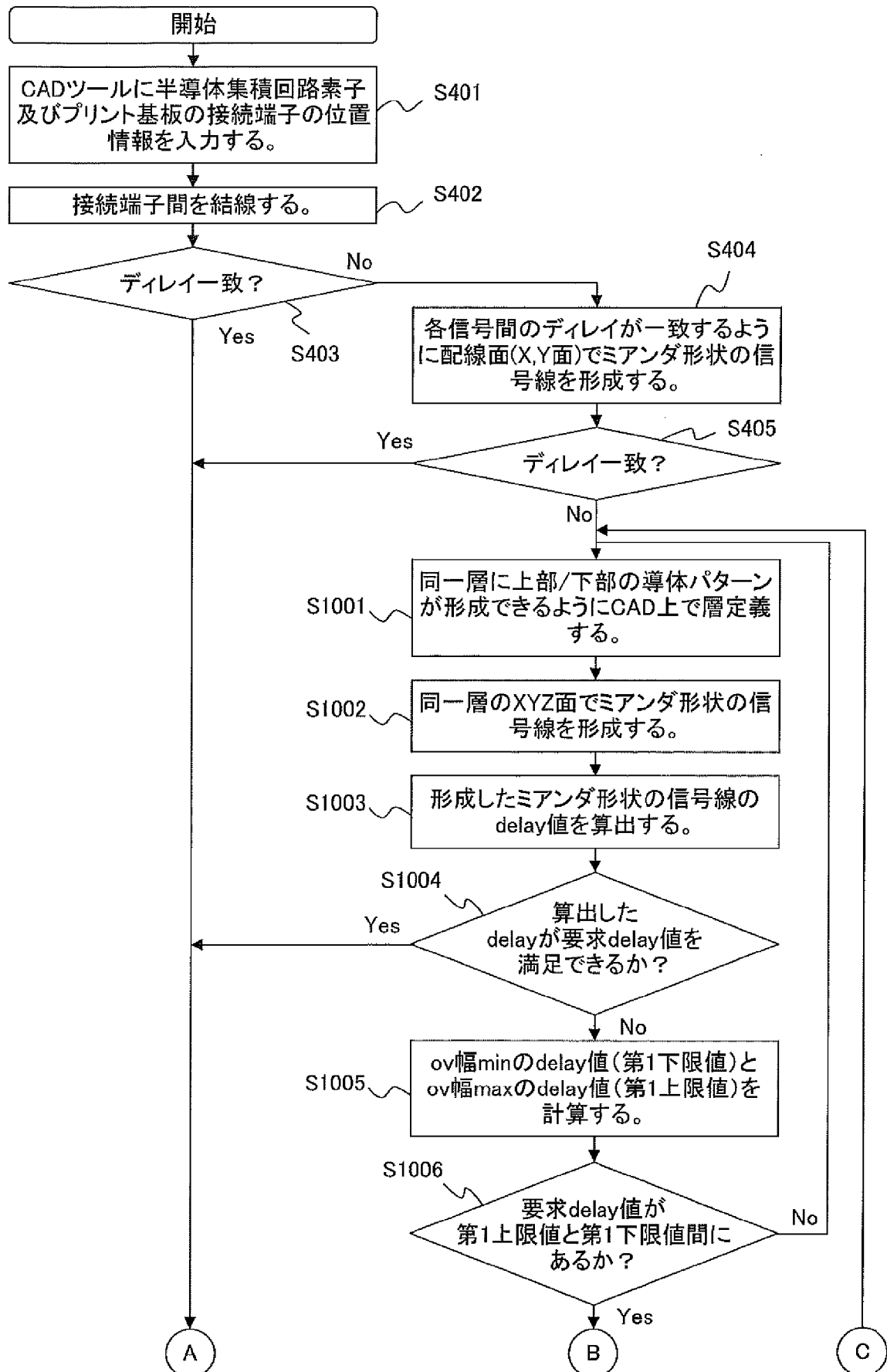
[図8]



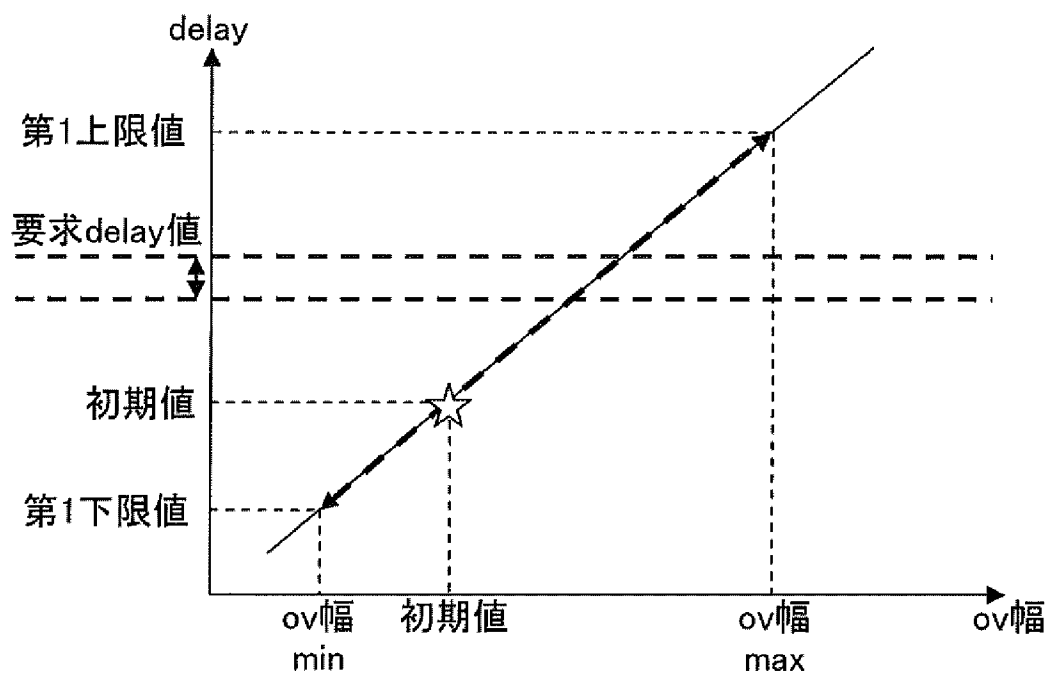
[図9]



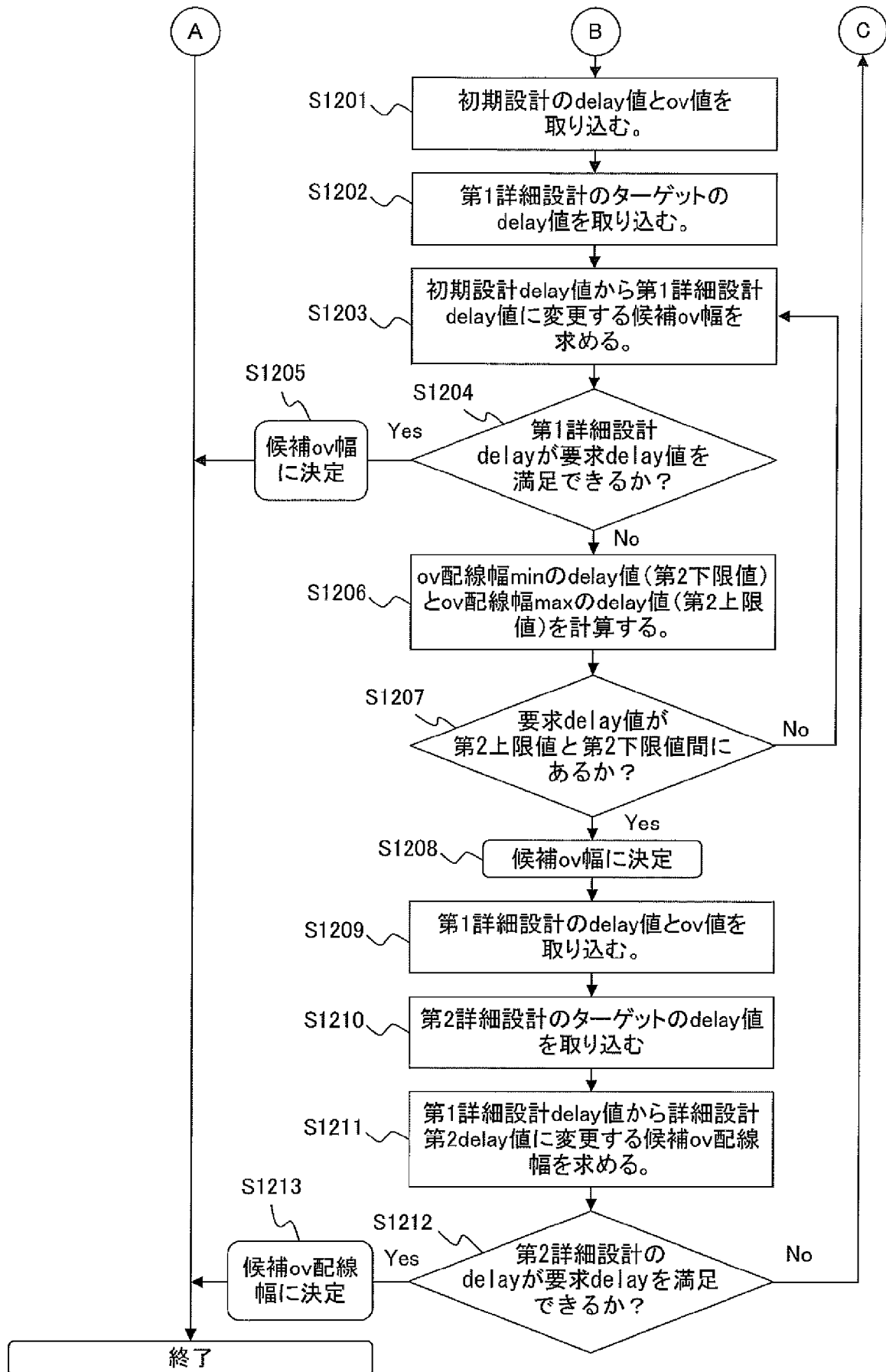
[図10]



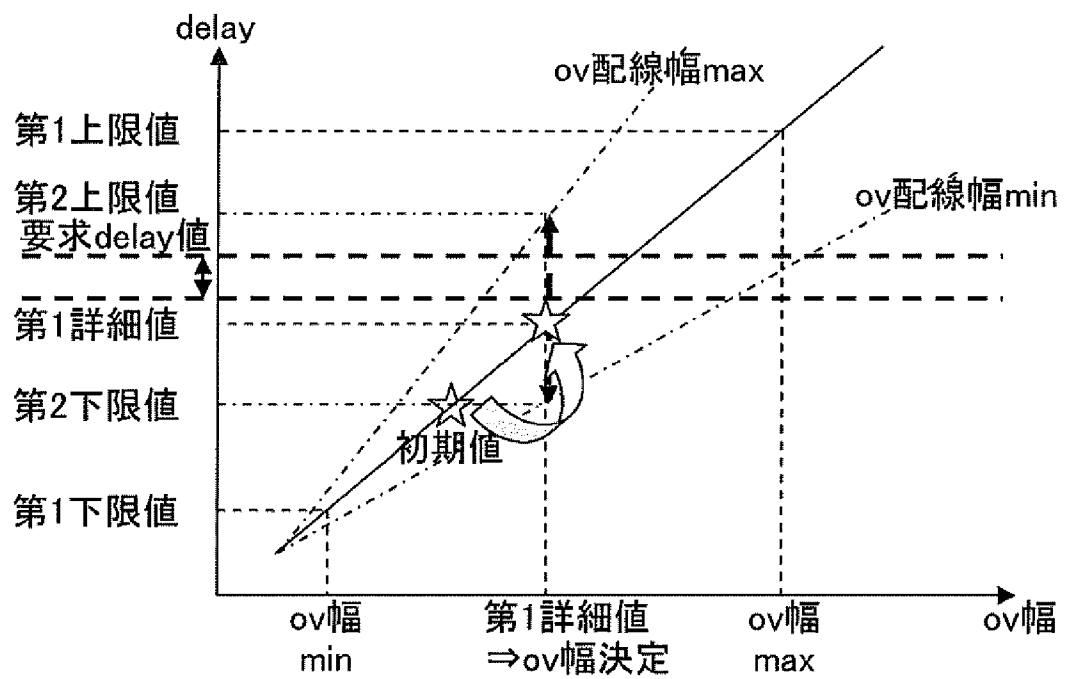
[図11]



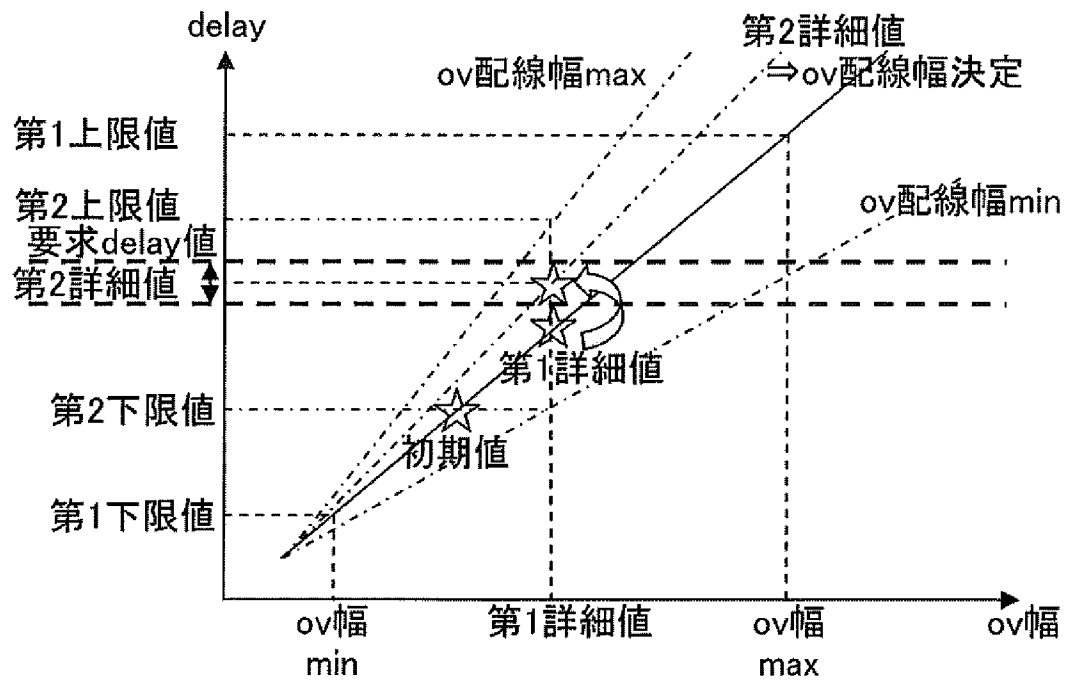
[図12]



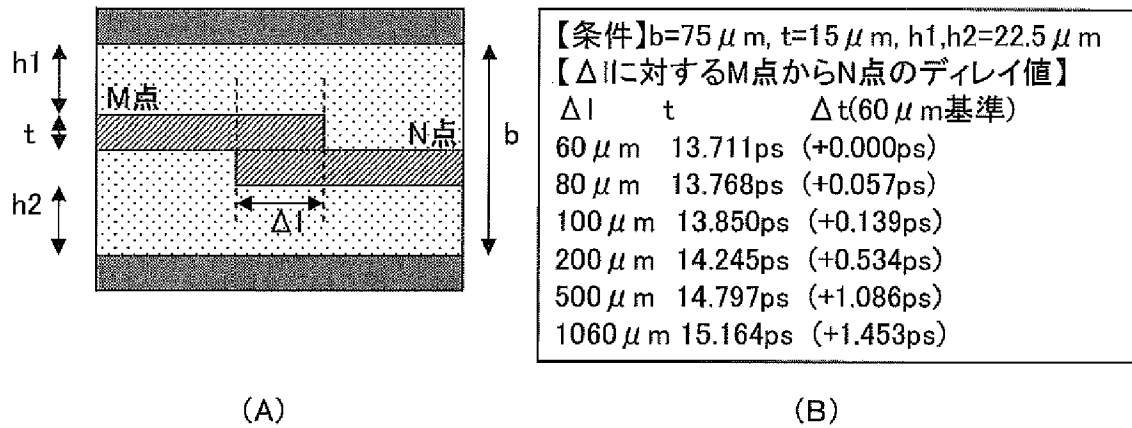
[図13]



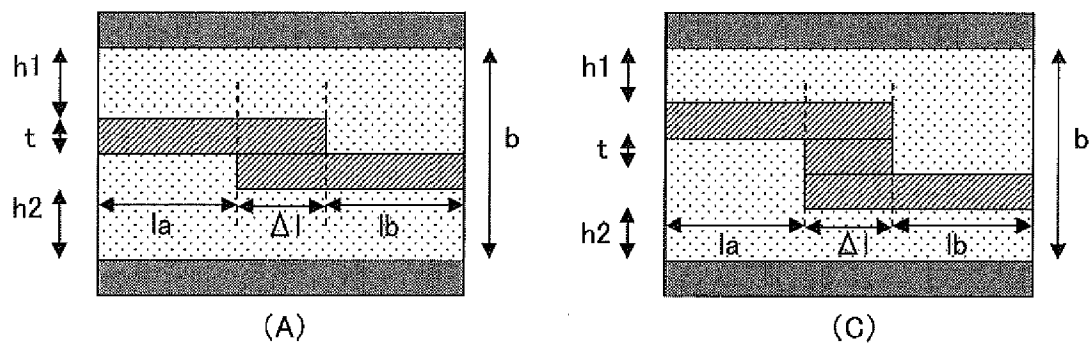
[図14]



[図15]



[図16]



【条件】 $b=75\ \mu\text{m}$, $t=15\ \mu\text{m}$, $h_1, h_2=22.5\ \mu\text{m}$,
 $l_a=200\ \mu\text{m}$, $l=60\ \mu\text{m}$, $l_b=200\ \mu\text{m}$

【インピーダンス】

l_a/l_b 部 Δl 部(オーバーラップ部)
 Z_o 48.79 Ω 37.24 Ω
 ($\Delta Z_o=48.79-37.24=11.55\ \Omega$)

(B)

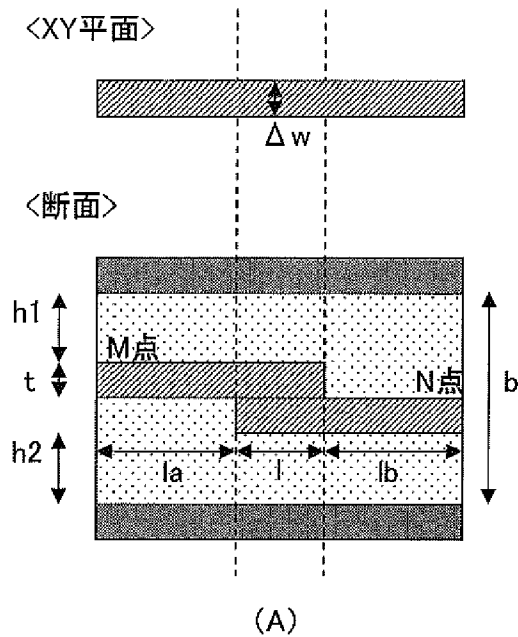
【条件】 $b=75\ \mu\text{m}$, $t=15\ \mu\text{m}$, $h_1, h_2=15\ \mu\text{m}$,
 $l_a=200\ \mu\text{m}$, $l=60\ \mu\text{m}$, $l_b=200\ \mu\text{m}$

【インピーダンス】

l_a/l_b 部 Δl 部(オーバーラップ部)
 Z_o 43.44 Ω 26.62 Ω
 ($\Delta Z_o=43.44-26.62=16.82\ \Omega$)

(D)

[図17]



【条件】 $b=75\text{ }\mu\text{m}$, $t=15\text{ }\mu\text{m}$, $h_1, h_2=22.5\text{ }\mu\text{m}$,
 $l_a, l_b=1000\text{ }\mu\text{m}$, $l=60\text{ }\mu\text{m}$

【 Δw に対するM点からN点のディレイ値】

Δw t $\Delta t(15\text{ }\mu\text{m}$ 基準)

$15\text{ }\mu\text{m}$ 13.7105ps $(+0.000\text{ps})$

$20\text{ }\mu\text{m}$ 13.7110ps $(+0.005\text{ps})$

$25\text{ }\mu\text{m}$ 13.7123ps $(+0.018\text{ps})$

$30\text{ }\mu\text{m}$ 13.7149ps $(+0.044\text{ps})$

$40\text{ }\mu\text{m}$ 13.7201ps $(+0.096\text{ps})$

⇒配線幅2倍に変化に対し、ディレイ増加分
 は19.2倍変化。

(B)

【条件】 $b=75\text{ }\mu\text{m}$, $t=15\text{ }\mu\text{m}$, $h_1, h_2=22.5\text{ }\mu\text{m}$,
 $l_a, l_b=930\text{ }\mu\text{m}$, $l=200\text{ }\mu\text{m}$

【 Δw に対するM点からN点のディレイ値】

Δw t $\Delta t(15\text{ }\mu\text{m}$ 基準)

$15\text{ }\mu\text{m}$ 14.2435ps $(+0.000\text{ps})$

$20\text{ }\mu\text{m}$ 14.2450ps $(+0.015\text{ps})$

$25\text{ }\mu\text{m}$ 14.2468ps $(+0.033\text{ps})$

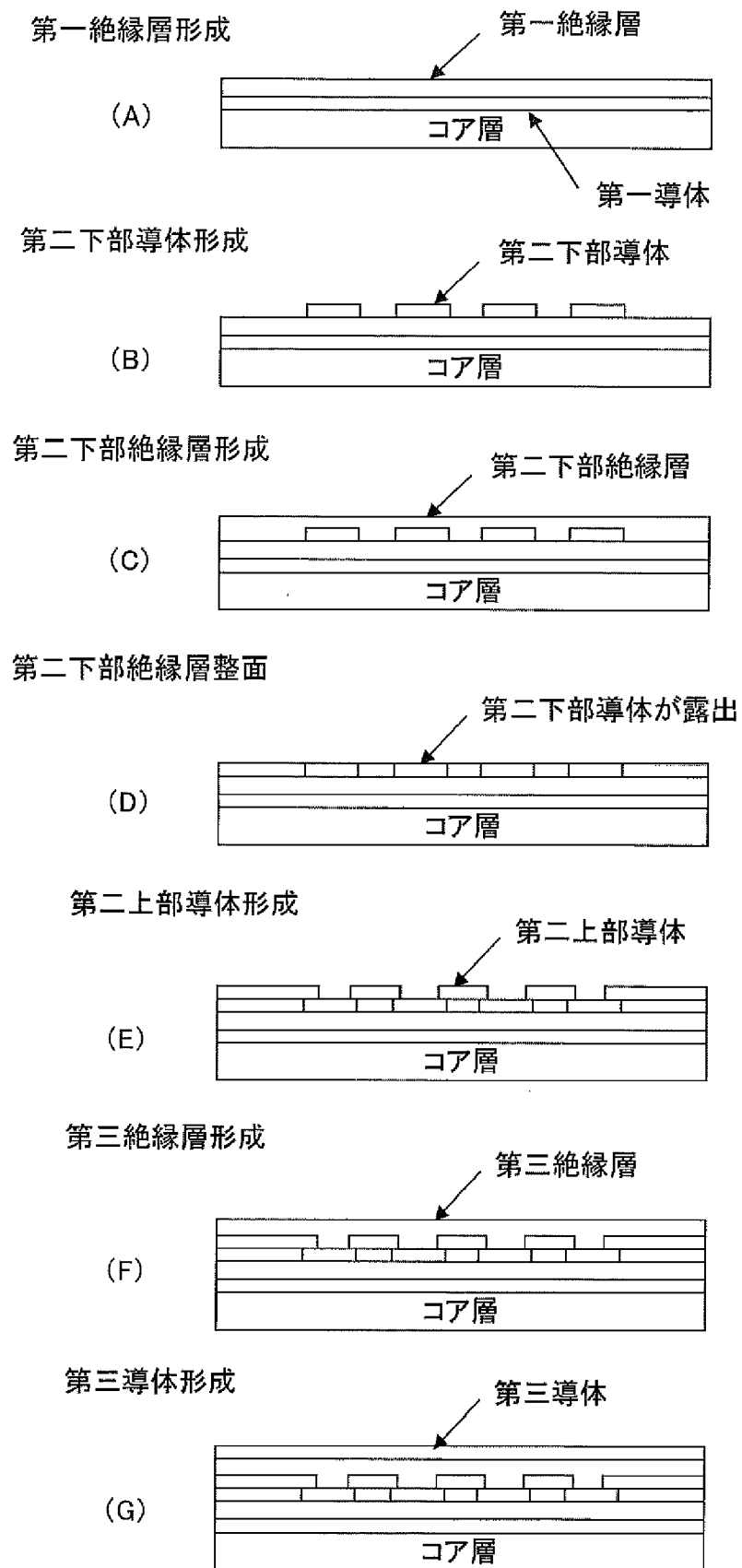
$30\text{ }\mu\text{m}$ 14.2506ps $(+0.071\text{ps})$

$40\text{ }\mu\text{m}$ 14.2653ps $(+0.218\text{ps})$

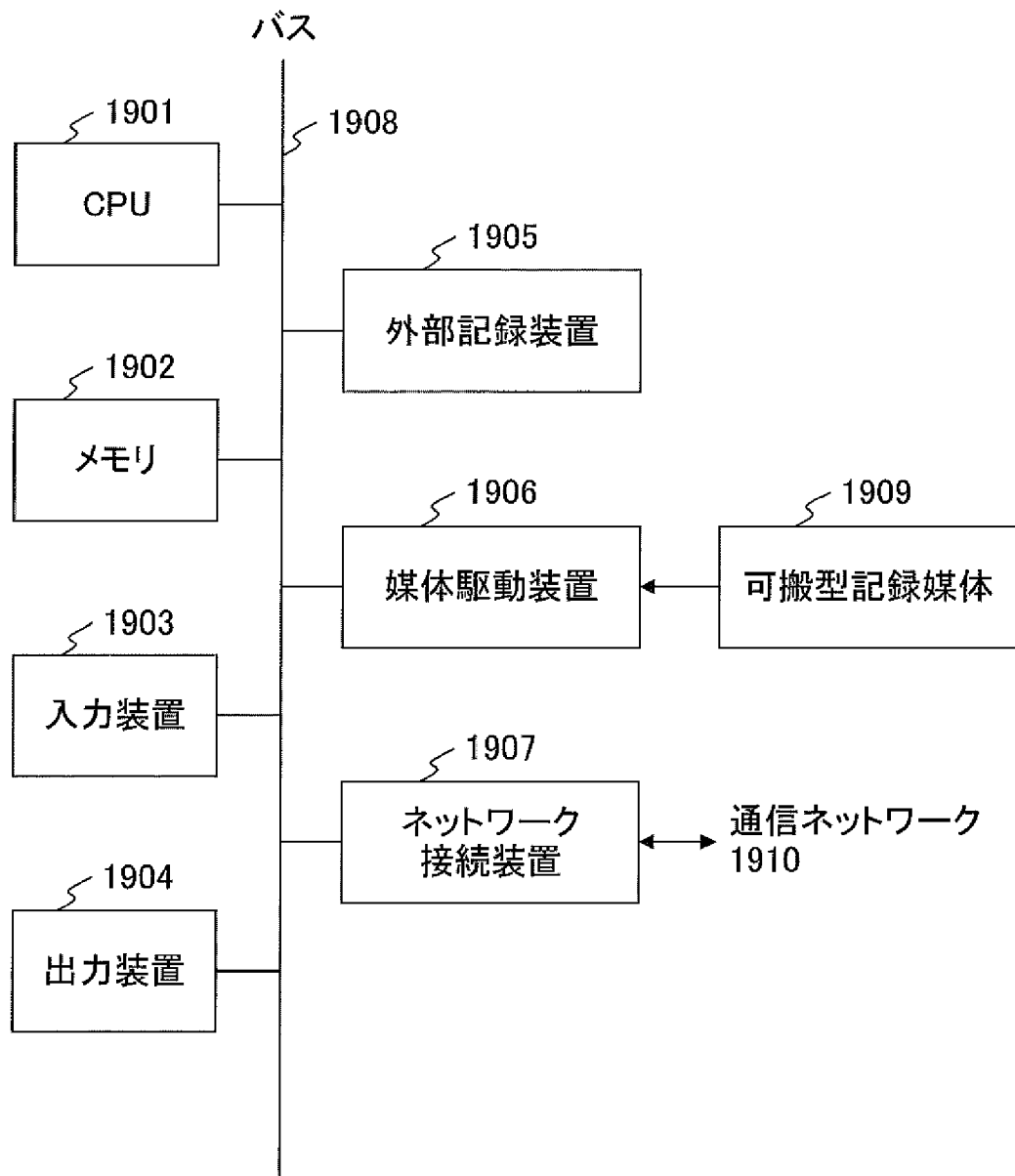
⇒配線幅2倍に変化に対し、ディレイ増加分
 は14.5倍変化。

(C)

[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/068635

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore, CiNii, JSTPlus(JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 9-213806 A (Fujitsu Ltd.), 15 August 1997 (15.08.1997), paragraphs [0009] to [0010], [0038] to [0063]; fig. 4, 9 (Family: none)	1, 6-7, 10 5 2-4, 8-9, 11-12
Y A	JP 2006-270026 A (Tokyo University of Science), 05 October 2006 (05.10.2006), paragraphs [0051] to [0058] (Family: none)	5 1-4, 6-12
A	JP 2009-104503 A (Funai Electric Co., Ltd.), 14 May 2009 (14.05.2009), paragraph [0032] & US 2009/0108893 A1 & EP 2053487 A2 & CN 101419482 A	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 October, 2014 (06.10.14)

Date of mailing of the international search report
14 October, 2014 (14.10.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F17/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore, CiNii, JSTPlus(JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 9-213806 A（富士通株式会社） 1997.08.15, 段落【0009】 - 【0010】 , 【0038】 - 【0063】 , 第4,9図 (ファミリーなし)	1, 6-7, 10 5 2-4, 8-9, 11-12
Y A	JP 2006-270026 A（学校法人東京理科大学） 2006.10.05, 段落【0051】 - 【0058】 (ファミリーなし)	5 1-4, 6-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 0 . 2 0 1 4

国際調査報告の発送日

1 4 . 1 0 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

合田 幸裕

5 M

4 6 8 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-104503 A (船井電機株式会社) 2009.05.14, 段落【0032】 & US 2009/0108893 A1 & EP 2053487 A2 & CN 101419482 A	1-12