

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/30

H01L 21/027 G02F 1/13

G02F 1/136

[12] 发明专利申请公开说明书

[21] 申请号 99124817.1

[43]公开日 2000年6月21日

[11]公开号 CN 1257304A

[22]申请日 1999.11.18 [21]申请号 99124817.1

[30]优先权

[32]1998.12.12 [33]KR [31]54583/1998

[32]1998.12.28 [33]KR [31]63913/1998

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 宋俊昊 朴云用

[74]专利代理机构 柳沈知识产权律师事务所

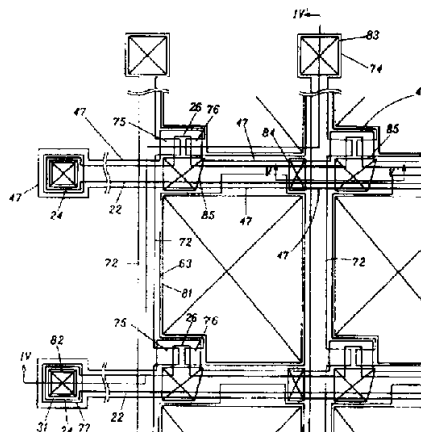
代理人 李晓舒

权利要求书 8 页 说明书 20 页 附图页数 40 页

[54]发明名称 供液晶显示器用薄膜晶体管阵列面板及其制造方法

[57]摘要

利用第一光刻步骤,在基板上形成栅线,并连续淀积栅绝缘层和半导体层。淀积可硅化的金属层,从而在半导体层上形成硅化物层,清除剩下的金属层或淀积细微结晶化的经掺杂的非晶硅层,从而形成欧姆接触层。利用第二光刻步骤,将欧姆接触层、半导体层及栅绝缘层图案化。此时在栅连接区上形成暴露栅连接区的接触孔。连续淀积 ITO 层和金属层后,利用第三光刻步骤将其图案化,从而形成数据线路、像素电极及冗余栅连接区。之后,清除没有被 ITO 层或金属层覆盖的欧姆接触层部分。淀积钝化层,再利用第四光刻步骤将其图案化,然后,清除没以被钝化层覆盖的像素电极、冗余栅连接区及数据连接区的金属层和半导体层,从而分离相邻两数据线下部的半导体层。



ISSN 1008-4274



权 利 要 求 书

1.一种供液晶显示器用薄膜晶体管阵列面板的制造方法，包括如下步骤：

5 利用第一光刻过程在绝缘基板上形成栅线路；

利用第二光刻过程形成包括位于栅线路上的一栅绝缘层图案、一半导体层图案和一欧姆接触层图案的层图案；

利用第三光刻过程形成具有包括一下部导体层及一上部导体层的二重层结构的导体图案；

10 蚀除没有被导体层图案覆盖的欧姆接触层图案部分；

利用第四光刻过程形成钝化层；和

蚀除没有被钝化层覆盖的导体图案的上部导体层部分。

2.按照权利要求 1 所述的方法，其特征在于，所述欧姆接触层图案是由硅化物制成。

15 3.按照权利要求 1 所述的方法，其特征在于，所述欧姆接触层图案是由微晶硅制成。

4.按照权利要求 1 所述的方法，其特征在于，在形成所述层图案的阶段，所述栅绝缘层图案、半导体层图案及欧姆接触层图案以相同的形状形成。

20 5.按照权利要求 4 所述的方法，其特征在于，形成所述层图案，包括如下步骤：

依次淀积一栅绝缘层及一半导体层；

在半导体层上淀积一可硅化的金属层，从而形成一硅化物欧姆接触层；

清除金属层；及

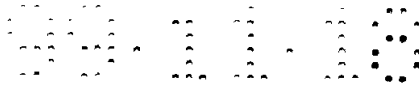
25 利用第二光刻过程将所述欧姆接触层、半导体层及栅绝缘层图案化，从而形成欧姆接触层图案、半导体层图案及栅绝缘层图案。

6.按照权利要求 4 所述的方法，其特征在于，形成所述层图案，包括如下步骤：

依次淀积一栅绝缘层及一半导体层；

30 利用第二光刻过程将所述半导体层及栅绝缘层图案化，从而形成半导体层图案及栅绝缘层图案；

在半导体层图案上淀积一可硅化的金属层，从而形成一硅化物欧姆接触



层图案；及

清除金属层。

7.按照权利要求 6 所述的方法，其特征在于，所述栅线路包括一下部层及其上的上部层。

5 8.按照权利要求 7 所述的方法，其特征在于，栅线路的下部层是由铝或铝合金制成，而栅线路的上部层是由钼或钼合金制成，及金属层是由铬制成。

9.按照权利要求 7 所述的方法，其特征在于，栅线路的下部层是由铬制成，栅线路的上部层是由铝或铝合金制成，及金属层是由钼或钼合金制成。

10 10.按照权利要求 4 所述的方法，其特征在于，形成所述层图案，包括如下步骤：

依次淀积一栅绝缘层及一非晶硅的半导体层；

在半导体层上淀积一经掺杂的非晶硅层，从而形成一欧姆接触层；

微结晶欧姆接触层；及

15 利用第二光刻过程将所述欧姆接触层、半导体层及栅绝缘层图案化，从而形成欧姆接触层图案、半导体层图案及栅绝缘层图案。

11.按照权利要求 1 所述的方法，其特征在于，所述层图案是这样形成，使得在形成所述层图案的步骤中，至少所述栅绝缘层图案、半导体层图案及欧姆接触层图案之一具有不同于其他的形状。

20 12.按照权利要求 11 所述的方法，其特征在于，形成所述层图案包括如下步骤：

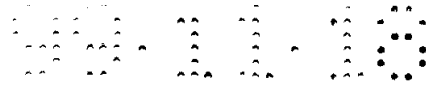
依次淀积一栅绝缘层、一半导体层及一欧姆接触层；

在欧姆接触层上涂覆一光致抗蚀层；

25 将光致抗蚀层曝光及显影，形成一具有第一部分、比第一部分厚的第二部分及比第二部分厚的第三部分的光致抗蚀图案；及

蚀刻第一部分下部的欧姆接触层、半导体层及栅绝缘层部分，以及第二部分下部的欧姆接触层及半导体层部分，从而形成欧姆接触层图案、半导体层图案及栅绝缘层图案。

30 13.按照权利要求 12 所述的方法，其特征在于，所述光致抗蚀图案，是通过使用一光掩模而形成，光掩模至少包括一第一区、一第二区及一第三区，其分别对应于第一部分、第二部分及第三部分，且分别具有不同的透过



率。

14.按照权利要求 13 所述的方法，其特征在于，所述光致抗蚀图案是用一正光致抗蚀剂制成，且所述第二区的透过率小于第一区的透过率而大于第三区的透过率。

5 15.按照权利要求 14 所述的方法，其特征在于，所述光掩模包括一光掩模基材及至少一设于光掩模基材上的光掩模层，且第二区及第三区的透过率差，是通过形成部分光掩模层于不同透过率的第二、第三区中而取得。

16.按照权利要求 14 所述的方法，其特征在于，所述光掩模包括一光掩模基材及至少一设于光掩模基材上的光掩模层，且第二区及第三区的透过率
10 差异，是通过使第二、第三区中的光掩模层部分厚度不同而取得。

17.按照权利要求 14 所述的方法，其特征在于，所述光掩模具有小于曝光设备的解析度的一缝隙或一栅条图案。

18.按照权利要求 14 所述的方法，其特征在于，所述光掩模至少包括两片，其在第一至第三区中至少具有两个区。

15 19.按照权利要求 1 所述的方法，其特征在于，所述下部导体层是由透明导体材料制成。

20.按照权利要求 1 所述的方法，其特征在于，所述栅线路包括多个栅线、多个做为栅线支线的栅极及多个连接于栅线且自外部电路传送扫描信号到栅线的栅连接区，

20 导体图案包括一数据线路及多个像素电极，及

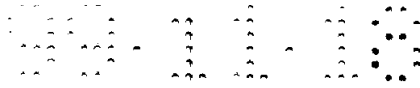
所述层图案与钝化层分别具有多个接触孔及多个第一开孔，用于将栅连接区电连接到外部电路。

21.按照权利要求 20 所述的方法，其特征在于，所述导体图案进一步包括多个通过接触孔而与所述栅连接区连接的冗余栅连接区，及通过所述第一
25 开孔暴露所述冗余栅连接区的下部导体层。

22.按照权利要求 21 所述的方法，其中：

所述欧姆接触层图案包括多个相分离的两部分；

数据线路包括相交于栅线的多个数据线、多个连接于数据线且形成于欧姆接触层图案一部分上的源极、多个形成于关于栅极处于所述源极对面的欧姆接触层图案另一部分上且与所述源极相分离的漏极，以及多个连接于数据
30 线且自一外部电路传送图像信号至数据线的数据连接区；



像素电极与漏极相连接；及

钝化层具有多个暴露像素电极下部导体层的第二开孔及多个暴露数据连接区下部导体层的第三开孔。

23.按照权利要求 22 所述的方法，其特征在于，所述钝化层具有多个暴露相邻数据线之间栅线上的栅绝缘层图案部分的第四开孔；及

进一步包括清除半导体层图案中未被钝化层覆盖部分的步骤。

24.按照权利要求 23 所述的方法，其特征在于，所述像素电极与相邻的栅线相重叠，且处于像素电极与栅线之间的半导体层图案部分为孤立状。

25.一种供液晶显示器用薄膜晶体管阵列面板的制造方法，包括如下步骤：

以第一光刻过程，在一绝缘基板上形成一栅线路，栅线路包括一栅线、一栅极及一栅连接区；

在栅线路上依次淀积栅绝缘层、半导体层及欧姆接触层；

以第二光刻过程，将所述半导体层及所述欧姆接触层与所述栅绝缘层一起图案化，从而形成一具有暴露栅连接区的接触孔的栅绝缘层图案、一半导体层图案及一欧姆接触层图案；

形成具有包括下部导体层和上部导体层的双重层结构的导体层图案；

以第三光刻过程，将所述导体层图案化，从而形成一包括数据线、源极、漏极及数据连接区的数据线路，以及一连接于漏极的像素电极、及一通过接触孔连接于栅连接区的冗余栅连接区；

蚀刻未被数据线路、像素电极及冗余栅连接区覆盖的欧姆接触层图案的一部分；

在基板上淀积一钝化层；

以第四光刻过程，蚀刻钝化层，从而形成一具有分别暴露所述冗余栅连接区、数据连接区及像素电极的第一至第三开孔的钝化层图案；及

清除未被钝化层覆盖的上部导体层。

26.按照权利要求 25 所述的方法，其特征在于，所述像素电极的一边缘是通过第三开孔而暴露，及进一步包括将接近于像素电极边缘的栅绝缘层一部分清除的步骤。

27.按照权利要求 25 所述的方法，其特征在于，所述欧姆接触层是由硅化物、微晶硅或经掺杂的非晶硅制成。



28.按照权利要求 25 所述的方法，其特征在于，在形成所述层图案的步骤中，所述栅绝缘层图案、半导体层图案及欧姆接触层图案形成的具有互不相同的形状。

29.按照权利要求 28 所述的方法，其中与所述栅绝缘层一起图案化所述
5 半导体层及欧姆接触层图案的步骤包括：

在欧姆接触层上涂覆一光致抗蚀层；

将所述光致抗蚀层曝光及显影，从而形成一具有一第一部分、一比第一部分厚的第二部分及比第二部分厚的第三部分的光致抗蚀图案；

10 蚀刻所述第一部分下部的所述欧姆接触层、半导体层及栅绝缘层部分及蚀刻所述第二部分下部的所述欧姆接触层、半导体层部分，从而形成欧姆接触层图案，半导体层图案及栅绝缘层图案。

30.按照权利要求 29 所述的方法，其特征在于，所述光致抗蚀图案是通过使用一个光掩模而形成，光掩模至少包括一第一区、一第二区及一第三区，其分别对应于第一部分、第二部分及第三部分，且具有不同的透过率。

15 31.按照权利要求 30 所述的方法，其特征在于，所述光掩模包括一光掩模基材及至少一设于光掩模基材上的光掩模层，且第二区与第三区之间的透过率差，是通过形成部分光掩模层于不同透过率的第二、第三区中而取得。

20 32.按照权利要求 30 所述的方法，其特征在于，所述光掩模包括一光掩模基材及至少一设于光掩模基材上的光掩模层，且第二区与第三区之间的透过率差，是通过使第二、第三区中的光掩模层部分厚度不同而取得。

33.按照权利要求 30 所述的方法，其特征在于，所述光掩模具有小于曝光设备的解析度的一缝隙或一栅条图案。

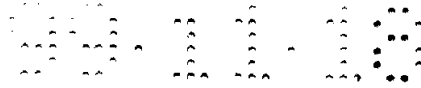
34.按照权利要求 30 所述的方法，其特征在于，所述光掩模至少包括两片，其在第一至第三区中，具有至少两区。

25 35.按照权利要求 29 所述的方法，其特征在于，所述第一及第三部分，分别位于接触孔及半导体层图案上部。

36.按照权利要求 28 所述的方法，其中与所述栅绝缘层一起图案化半导体层及欧姆接触层图案的步骤包括：

在欧姆接触层上涂覆一光致抗蚀层；

30 将所述光致抗蚀层曝光及显影，从而形成一具有一第一部分、一比第一部分厚的第二部分及一比第二部分厚的第三部分的光致抗蚀图案；



蚀刻所述第一部分下部的所述欧姆接触层、半导体层及栅绝缘层部分；
通过灰化而清除第二部分的光致抗蚀图案；及

通过使用第三部分的光致抗蚀图案做为蚀刻掩模，蚀刻欧姆接触层及半导体层。

5 37.一种供液晶显示器用薄膜晶体管阵列面板的制造方法，包括以下步骤：

在绝缘基板上形成一栅线路，栅线路包括一栅线、一栅极及栅连接区；
在栅线路上形成一栅绝缘层图案；

在栅绝缘层图案上形成一半导体层图案；

10 在半导体层图案上形成一欧姆接触层图案；

形成一数据线路，数据线路包括一数据线、一源极、一漏极及一数据连接区；

形成一钝化层；及

形成一与漏极相连接的像素电极，

15 其中，所述栅绝缘层图案是利用按部位具有不同厚度的一光致抗蚀图案，与所述半导体层图案及所述欧姆接触层图案至少之一通过一单一的光刻过程一起蚀刻而成。

20 38.按照权利要求 37 所述的方法，其中光致抗蚀图案具有一第一部分、一比第一部分厚的第二部分及一比第一部分厚且比第二部分薄的第三部分。

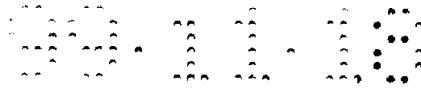
39.按照权利要求 38 所述的方法，其中光致抗蚀图案是利用一光掩模而形成，光掩模包括至少一第一、一第二和一第三区，各区分别对应于第一、二、三部分，且具有不同透过率。

25 40.按照权利要求 39 所述的方法，其中光致抗蚀图案是由一正光致抗蚀层制成，并且

第三区的透过率小于第一区的透过率且大于第二区的透过率。

41.按照权利要求 39 所述的方法，其中光掩模包括一光掩模基材及至少一设于光掩模基材上的光掩模层，且第二区与第三区之间的透过率差是通过形成部分光掩模层于不同透过率的第二、三区中而取得。

30 42.按照权利要求 40 所述的方法，其中光掩模包括一光掩模基材及至少一设于光掩模基材上的光掩模层，且第二区与第三区之间的透过率差是通过



使第二、三区中的光掩模层部分厚度不同而取得。

43.按照权利要求 40 所述的方法，其中光掩模具有小于曝光设备的解析度的一缝隙或一栅条图案。

5 44.一种供液晶显示器用薄膜晶体管阵列面板的制造方法，包括以下步骤：

在绝缘基板上，形成一包括栅线、栅极和栅连接区的栅线路及一包括共同信号线和一共同电极的共同线路；

在栅线路及共同线路上，依次淀积栅绝缘层、半导体层及欧姆接触层；

在欧姆接触层上涂覆一光致抗蚀层；

10 将光致抗蚀层曝光及显影，从而形成按部位具有不同厚度的光致抗蚀图案；

利用所述光致抗蚀图案，将所述半导体层及欧姆接触层图案化，从而形成一半导体层图案，一第一欧姆接触层图案及暴露栅连接区的接触孔；

淀积一导体层；

15 将导体层及第一欧姆接触层图案化，从而形成包括数据线、源极、漏极、数据连接区及像素电极的数据线路，以及数据线路下部的第二欧姆接触层图案；

淀积一钝化层；及

蚀除钝化层，从而暴露栅连接区及数据连接区。

20 45.一种供液晶显示器用的薄膜晶体管阵列面板，其包括：

一绝缘基板；

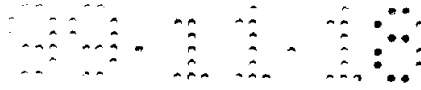
一栅线路，其形成于绝缘基板上，且包括多个栅线、多个连接于栅线的栅极及多个连接于栅线末端的栅连接区；

一栅绝缘层，其覆盖栅线路并具有暴露所述栅连接区的接触孔；

25 一半导体层，其形成于栅绝缘层上；

一数据线路，其具有一两重层结构，包括一下部导体层及一上部导体层，且包括多个相交于栅线的数据线、多个连接于数据线的源极、多个关于所述栅极与所述源极相对且相分离的漏极及多个连接于数据线且具有一部分没有被上部导体层所覆盖的下部导体层的数据连接区；

30 多个冗余栅连接区，其通过接触孔覆盖栅连接区，且具有一部分没有上部导体层覆盖的下部导体层；



多个像素电极，其连接于漏极且具有一部分没有上部导体层覆盖的下部导体层；及

5 一钝化层，形成于数据线路、半导体层、栅绝缘层及基板上，且具有多个第一至第四开孔，用以分别暴露像素电极、相邻数据线之间栅线上的栅绝缘层部分、冗余栅连接区及数据连接区，

其中，上部导体层只形成于钝化层与下部导体层之间。

46.按照权利要求 45 所述的薄膜晶体管阵列面板，其中半导体层的边界重合于栅绝缘层与钝化层相重叠处部分的边界。

10 47.按照权利要求 46 所述的薄膜晶体管阵列面板，其中下部导体层是由透明导体材料制成。

48.按照权利要求 47 所述的薄膜晶体管阵列面板，进一步包括一欧姆接触层图案，其介于半导体层与上部导体层之间，且是由硅化物或微结晶的经掺杂非晶硅制成，用以降低半导体层与下部导体层之间的接触电阻。

15 49.按照权利要求 48 所述的薄膜晶体管阵列面板，其中欧姆接触层的边界重合于半导体层与数据线路相重叠部分的边界。



说明书

供液晶显示器用薄膜晶体管阵列面板及其制造方法

本发明涉及一种用于液晶显示器(LCD)的薄膜晶体管(TFT)阵列面板及其制造方法。

液晶显示器是目前最为广泛使用的平板显示装置，它是由具有产生电场的两种类型的电极的两个面板和介于两面板之间的液晶层构成。入射光线的透过率是由施加于液晶层的电场强度所控制。

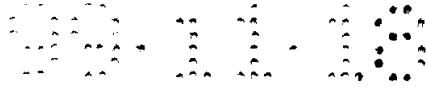
产生电场的电极是设于两个或任一个面板上，且其中一面板至少具有一种电极，其具有切换元件如薄膜晶体管(TFT)。

大体上，一 LCD 的 TFT 阵列面板包括多个像素电极及 TFTs，用以控制供给至像素电极的信号。TFT 阵列面板是利用多个光掩模，以光刻法制成。完成一 TFT 阵列面板需要五或六个光刻步骤。由于光刻工艺成本昂贵且耗费时间，希望减少光光刻步骤。

传统的利用四次光刻法制造 TFT 阵列面板的方法，可见于《以新光刻法利用四个光刻步骤制成的 TFT》(A TFT Manufactured By 4 Masks Process with New Photolithography)，(即，Chang Wook Han 等人在 98 年第 18 届国际显示器研讨会亚洲展会议记录中，第 1109 - 1112 页，日期为 1998 年 9 月 28 日至 10 月 1 日)。但是，Han 等人并未揭述有关连接区(pad)的技术。

另一方面，一贮存电容器用于维持施加于一像素的电压，其通常设置在 TFT 阵列面板中，所述贮存电容器包括一贮存电极、一部分像素电极以及一介于其间的钝化层。贮存电极是由与栅线路相同的层所制成。像素电极形成在钝化层上。贮存电极被一栅绝缘层、一半导体层及一钝化层所覆盖，且大部分的像素电极直接形成于基板上，如 Han 等人所述，因此像素电极为了覆盖贮存电极，应阶梯式地覆在栅绝缘层、半导体层及钝化层等三层上，但是，这有可能造成接近高阶处的像素电极断接。

Han 等人的问题在于其难以在大的区域内制成，即使能够制成，也难以在栅条区域下方有均匀的蚀刻深度。



美国专利，第 4,231,811 号、第 5,618,643 号、第 4,415,262 号及日本专利公开，昭和 61 - 181130 号等，也揭示了与 Han 等人相似的方法，但也都存在与 Han 等人相似的问题。

因此，本发明的目的是提供一种新的薄膜晶体管面板制造方法。

本发明的另一目的是简化用于 LCD 的 TFT 阵列面板的制造方法，从而减少制造成本及增加产量。

本发明的另一目的是防止用于 LCD 的 TFT 阵列面板的漏电。

为了达成上述目的，在本发明中，把具有暴露栅连接区的接触孔的栅绝缘层图案与半导体层图案及欧姆接触层图案同时图案化，蚀刻没有被形成在其上的具有双层结构的导体图案，象素电极以及数据线覆盖的欧姆接触层，以及对没有被钝化层覆盖的导体图案的上部导体层进行蚀刻。

在本发明的一制造方法中，首先利用第一光掩模在绝缘基板上形成栅线路，利用第二光掩模，形成覆盖上述栅线路的，包括栅绝缘层图案、半导体层图案及欧姆接触层图案的三重层。然后，利用第三光掩模，形成由下部导体层与上部导体层二重层结构的导体图案，且蚀除没有被导体图案覆盖的欧姆接触层图案。最后，利用第四光掩模形成钝化层，然后对没有被钝化层覆盖的导体图案的上部导体层进行蚀刻。

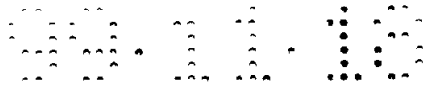
在此，欧姆接触层图案可由硅化物、微晶硅或掺杂的非晶质硅制成。

栅绝缘层图案、半导体层图案及欧姆接触层图案可具有相同的形状。

在另一方法中，依次淀积栅绝缘层及半导体层，及淀积一可硅化的金属层于半导体层上，以形成一硅化物的欧姆接触层，并清除金属层。然后利用第三光掩模使欧姆接触层、半导体层及栅绝缘层图案化，从而形成欧姆接触层图案、半导体层图案及栅绝缘层图案。

在另一方法中，依次淀积栅绝缘层及半导体层，并利用第三光掩模使栅绝缘层及半导体层图案化，以形成半导体层图案及栅绝缘层图案。然后，淀积一可硅化的金属层于半导体层上，形成硅化物的欧姆接触层图案，并清除金属层。在此，栅线路可由两层构成，下部层可由铝或铝合金制成，而上部层可由钼或钼合金制成，金属层可由铬制成。另外，下部层可由铬制成，上部层可由铝或铝合金制成，而金属层可由钼或钼合金制成。

在另一方法中，依次淀积栅绝缘层及半导体层，在半导体层上，淀积经掺杂的非晶质硅并使其微结晶化，以形成欧姆接触层。然后，利用第三光掩



模使欧姆接触层、半导体层及栅绝缘层图案化，从而形成欧姆接触层图案、半导体层图案及栅绝缘层图案。

另外，在形成三重层的步骤中，栅绝缘层图案、半导体层图案及欧姆接触层图案可具有互不相同的形状。

在此方法中，依次沉积一栅绝缘层、一半导体层及一欧姆接触层，然后在欧姆接触层上涂覆光致抗蚀层并显影，从而形成光致抗蚀层图案。光致抗蚀层图案至少包括一第一部分、一比第一部分厚的第二部分及一比第二部分厚的第三部分。然后，第一部分下部的欧姆接触层、半导体层及栅绝缘层被图案化而形成栅绝缘层图案，并且第二部分下部的欧姆接触层及半导体层被图案化而形成欧姆接触层图案和半导体层图案。

在此，通过使用包括至少分别具有不同的透过率并分别与第一部分，第二部分和第三部分相对应的第一区，第二区和第三区的第二光掩模曝光并显影光致抗蚀层。光致抗蚀层最好为一正光致抗蚀剂，且第二区的透过率小于第一区而大于第三区。

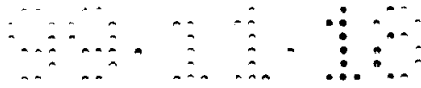
第二光掩模包括，一光掩模基材及形成于光掩模基材上的至少一个以上的光掩模层，并且，第二区和第三区的透过率差异，可通过形成不同透过率的光掩模层或调整光掩模层的厚度而控制。此外，第二光掩模层的光线的透过率差异，可通过形成一长缝或格栅图案而控制，格栅小于曝光步骤中所用曝光设备的解析度。光掩模可包括至少两片基材，且至少具有两区。

下部导体层，较佳地是由铟锡氧化物(ITO)形成。

在此，栅线路包括一栅线、一做为栅线分支的栅极及一连接于栅线且自一外部电路传送一扫描信号至栅线的栅连接区。导体图案包括一数据线及一像素电极，且三层及钝化层具有分别使栅连接区与外部电路电气连接的接触孔及第一开口部。

另外，导体图案进一步包括一通过接触孔与栅连接区连接的冗余栅连接区，且该冗余连接区的下部导体层通过第一开口部而暴露。

在此，欧姆接触层图案具有相互分离的两个部分，数据线路包括一相交于栅线的数据线、一连接于数据线且形成于欧姆接触层图案一部分上的源极、一形成在关于栅极与源极相对的欧姆接触层图案的另一部分上，且与源极相分离的漏极，及一连接于数据线且自一外部电路传送一图像信号至数据线的的数据连接区。像素电极与漏极相连接，钝化层具有暴露像素电极下部导



体层图案的第二开口部及暴露数据连接区下部导体层图案的第三开口部。此时，钝化层可具有一第四开口部，用以暴露相邻数据线之间栅线上的栅绝缘层图案部分，较佳地是，将未被钝化层覆盖的半导体层图案除去。

在本发明的另一制造方法中，利用第一光掩模，通过光刻，在一绝缘基板上形成包括一栅线、一栅极及栅连接区的栅线路。然后，在栅线路上依次淀积栅绝缘层、半导体层及欧姆接触层，并利用第二光掩模，通过光刻，与栅绝缘层一起使半导体层及欧姆接触层图案化，从而形成具有暴露栅连接区的接触孔的栅绝缘层图案、半导体层图案及欧姆接触层图案。然后形成具有由下部导体层及上部导体层构成的双层结构的导体层，并利用第三光掩模，通过光刻使导体层图案化，从而形成包括数据线、源极、漏极及数据连接区的数据线路，与漏极相连的象素电极以及包括经接触孔与栅连接区相连接的冗余栅连接区。然后，暴露的欧姆接触层图案被蚀刻，并且在基板的上部淀积钝化层，并利用第四光掩模，通过光刻图案化钝化层，从而分别形成具有暴露冗余栅连接区、数据连接区及像素电极的第一至第三开口部的钝化层图案，且蚀刻没有被钝化层所覆盖的上部导体层。

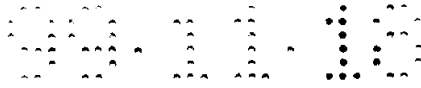
在此，所形成的第三开口部，最好是大于像素电极，且欧姆接触层由硅化物、微晶硅或非晶质硅制成。

另外，在形成三重层的步骤中，可以使栅绝缘层图案、半导体层图案及欧姆接触层图案具有相互不同的形状。

在本发明的另一制造方法中，在绝缘基板上形成包括栅线、栅极及栅连接区的栅线路，在其上依次形成栅绝缘层图案、半导体层图案、欧姆接触层图案以及包括数据线，源极，漏极和数据连接区的数据线路。再形成钝化层，并且形成连接到漏极上的象素电极。此时，栅绝缘层图案是利用根据不同的部位具有不同厚度的作为蚀刻掩模的光致抗蚀层图案，与半导体层图案及欧姆接触层图案一起图案化而成。

在此，光致抗蚀层图案具有一第一部分、一比第一部分厚的第二部分及比第二部分厚的第三部分，并且光致抗蚀层图案，是通过利用光掩模的光刻而形成，光掩模的透过率互不相同，具有一与第一部分相对应的第一区、一与第二部分相对应的第二区及一与第三部分相对应的第三区。

光致抗蚀层图案最好为正光致抗蚀层，且第三区的透过率应小于第一区而大于第二区。



光掩模包括一光掩模基材及至少一个形成于光掩模基材上的光掩模层，且第二及第三区之间的透过率差异，是通过形成不同透过率的光掩模层或通过调整光掩模层的厚度而控制。

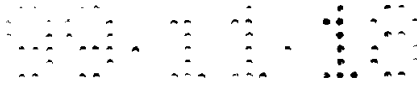
另外，光掩模的透过率差异可通过形成一长缝或一格栅图案而控制，格栅小于曝光步骤中所用光线的解析度。

在本发明的另一制造方法中，在一绝缘基板上形成一包括一栅线、一栅极及栅连接区的栅线路以及一包括一共同信号线及一共同电极的共同线路。然后，在栅线路及共同线路上依次淀积栅绝缘层、半导体层及欧姆接触层，在欧姆接触层上涂覆光致抗蚀层，并经过曝光及显影而按部位形成不同厚度的光致抗蚀层图案。然后，利用光致抗蚀层图案使欧姆接触层及其下部的半导体层图案化，从而形成一半导体层图案，一第一欧姆接触层图案，以及一暴露栅连接区的接触孔。然后，淀积导体层，并于第一欧姆接触层图案一起图案化，以形成包括数据线、源极、漏极、数据连接区及像素电极的数据线路，及其下部的第二欧姆接触层图案。然后，淀积钝化层，并使其图案化，从而暴露栅连接区及数据连接区。

在根据本发明的用于液晶显示器的薄膜晶体管阵列面板中，在绝缘基板上形成有包括一栅线、一连接于栅线的栅极及一连接于栅线末端的栅连接区的栅线路，并被栅绝缘层所覆盖，该栅绝缘层上具有暴露栅连接区的接触孔。在栅绝缘层上形成有半导体层，半导体层上形成有具有由下部导体层及上部导体层组成的双层结构的数据线路，其包括一相交于栅线的数据线、一与数据线相连的源极、一关于栅极与源极相对并与源极相分离的漏极，以及连接于数据线的并主要以下部导体层构成的数据连接区。一通过接触孔覆盖栅连接区且主要由下部导体层构成的冗余栅连接区被形成。一与漏极相连接且主要由下部导体层构成的像素电极被形成。一钝化层形成于数据线路，半导体层、栅绝缘层及基板上并具有第一至第四开口，用以暴露像素电极、相邻数据线之间栅线上的栅绝缘层、冗余栅连接区及数据连接区。在此，只有上部导体层介于钝化层与下部导体层之间。

半导体层的边界，最好重合于栅绝缘层与钝化层重叠处的边界，并且相邻数据线下方的半导体层图案为分离状。

下部导体层，最好由铟锡氧化物或透明导体材料制成，欧姆接触层图案由硅化物或微结晶经掺杂的非晶质硅制成，以减少半导体层与上部导体层之



间的接触电阻，且其形成于半导体层与上部导体层之间，欧姆接触层的边界重合于半导体层与数据线路重叠处的边界。

图 1 是为了按照本发明实施例制造液晶显示器用薄膜晶体管阵列面板而分区的基板的平面图；

图 2 是根据本发明实施例的液晶显示器用薄膜晶体管阵列面板配置图；

图 3 是根据本发明第一实施例的液晶显示器用薄膜晶体管阵列面板配置图，是对图 2 中的主要包括一个像素和连接区的部分的放大图；

图 4、图 5 分别是沿着图 1 中的 IV - IV' 及 V - V' 线的截面图；

图 6A 是根据本发明第一实施例的第一制造步骤中的 TFT 阵列面板配置图；

图 6B、图 6C 分别是沿着图 6A 中的 VIB - VIB' 及 VIC - VIC' 线的截面图；

图 7A 是图 6A 至图 6C 之后的制造步骤中的 TFT 阵列面板配置图；

图 7B、图 7C 分别是沿着图 7A 中的 VIIB - VIIB' 及 VIIC - VIIC' 线的截面图；

图 8A 是图 7A 至图 7C 之后的制造步骤中的 TFT 阵列面板配置图；

图 8B、图 8C 分别是沿着图 8A 中的 VIIIB - VIIIB' 及 VIIIC - VIIIC' 线的截面图；

图 9 是根据本发明第二实施例的液晶显示器用薄膜晶体管阵列面板配置图；

图 10 是根据本发明第三实施例的液晶显示器用薄膜晶体管阵列面板配置图；

图 11、图 12 分别是沿着图 10 中的 XI - XI' 及 XII - XII' 线的截面图；

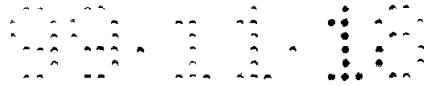
图 13A 是根据本发明第三实施例的第一制造步骤中的 TFT 阵列面板配置图；

图 13B、图 13C 分别是沿着图 13A 中的 XIII B - XIII B' 及 XIII C - XIII C' 线的截面图；

图 14A 是图 13A 至图 13C 之后的制造步骤中的 TFT 阵列面板配置图；

图 14B、图 14C 分别是沿着图 14A 中的 XIV B - XIV B' 及 XIV C - XIV C' 线的截面图；

图 15A、15B、16A、16B、17 分别是图 14A 至图 14C 的制造步骤



中使用的光掩模截面图；

图 18A、图 18B 分别是沿着图 14A 中的 XIVB - XIVB' 及 XIVC - XIVC' 线所取，在图 14B、图 14C 之后的制造步骤中的截面图；

图 19A 是图 18A 至图 18B 之后的制造步骤中的 TFT 阵列面板配置图；

图 19B、图 19C 分别是沿着图 19A 中的 XIXB - XIXB' 及 XIXC - XIXC' 线的截面图；

图 20 是根据本发明第四实施例的液晶显示器用薄膜晶体管阵列面板配置图；

图 21、图 22 分别是沿着图 20 中的 XXI - XXI' 及 XXII - XXII' 线的截面图；

图 23A 是根据本发明第三实施例的第一制造步骤中的 TFT 阵列面板配置图；

图 23B、图 23C 分别是沿着图 23A 中的 XXIIIB - XXIIIB' 及 XXIIIC - XXIIIC' 线的截面图；

图 24A 是图 23A 至图 23C 之后的制造步骤中的 TFT 阵列面板配置图；

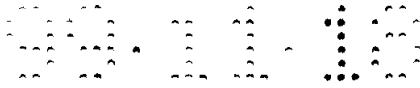
图 24B、图 24C 分别是沿着图 24A 中的 XXIVB - XXIVB' 及 XXIVC - XXIVC' 线的截面图；

图 25A 是图 24A 至图 24C 之后的制造步骤中的 TFT 阵列面板配置图；及

图 25B、图 25C 分别是沿着图 25A 中的 XXV B - XXV B' 及 XXV C - XXV C' 线的截面图。

参照附图对本发明的详细说明如下。图中表示了本发明的优选实施例，本发明可用多种不同的方法实施，并不局限于本文所列举的实施例。在附图中，为了清晰起见，对各层及区域的厚度都做了放大，图中相同的编号是指相同的元件。应当理解，当诸如层，区域或基板等元素被称为在另一元素“之上”时，它可以直接位于另一元素之上，也可以存在有中介元素。相反，当一种元素被称为在另一元素“直接之上”时，不存在中介元素。

本发明中，具有暴露栅连接区的接触孔的栅绝缘层图案，与半导体层图案及欧姆接触层图案一起蚀刻而成，形成具有数据线路及像素电极的两层式导体图案，并清除未被两层式导体图案覆盖的欧姆接触层图案部分。然后形成钝化层，并蚀刻未被钝化层覆盖的两层式导体图案的上层部分。



下面参照图 1 至图 5 说明本发明实施例的 TFT 阵列面板结构。

如图 1 所示，在一个绝缘基板 10 上，同时形成多个面板区域。如图 1 所示，在玻璃板 10 上，形成四个面板区域 110、120、130、140，当面板为 TFT 阵列面板时，面板区域 110、120、130、140 分别包括由多个像素构成的图像显示区域 111、121、131、141 以及周边区域 112、122、132、142。在图像显示区域 111、121、131、141 上，以矩阵方式重复排列有 TFTs、线路及像素电极等，而周边区域 112、122、132、142 上，形成有待连接至外部电路的连接区及静电放电防护电路。

大体上，面板区域 110、120、130、140 中的元件是利用步进器这样一种曝光设备通过光刻形成。使用步进器时，显示区域 111、121、131、141 及周边区域 112、122、132、142 分割成多个区域，使用一个或多个光掩模逐段地对涂敷在板 10 上的薄膜上的光致抗蚀层进行曝光，然后，使光致抗蚀层显影，蚀刻光致抗蚀层下面的薄膜从而制成薄膜图案。通过重复上述图案化步骤获得完成的液晶显示器面板。

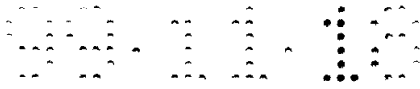
图 2 是图 1 中根据本发明实施例的薄膜晶体管阵列面板配置图。

如图 2 所示，由虚线 1 围绕着的图像显示区域中，形成有多个薄膜晶体管，多个与各薄膜晶体管连接的像素电极以及多个包括栅线 22 及数据线 62 的线路。在周边区中，形成有分别与栅线 22 及数据线 62 相连接的栅连接区 24 和数据连接区 64，以及栅短路汇流排 4 和数据短路汇流排 5'。栅短路汇流排 4 及数据短路汇流排 5 分别连接于全部栅线 22 与全部数据线 62，且经由一接头 6 而相互电连接，以使其处于相同的电位，从而避免装置中的元件产生静电放电缺陷。短路汇流排 4、5，通过沿着切割线 2 切割面板而被去除，编号 7 表示形成于绝缘层(图中未示)中的接触孔，且其介置于接头 6 与短路汇流排 4、5 之间，接头 6 即经由接触孔 7 而接至短路汇流排 4 和 5。

图 3 至图 5 是图 2 所示的根据本发明实施例的 TFT 阵列面板放大图，图 3 是配置图，图 4、图 5 是沿着图 3 的 IV - IV' 及 V - V' 线的截面图。

首先，在绝缘基板 10 上，由如铝或铝合金，钼或钼钨合金，铬或钽等金属导电材料形成栅线路。栅线路包括：在水平方向延伸的多个栅线(扫描信号线)22；连接于各栅线 22 的端部，从外部电路传送扫描信号给栅线 22 的多个栅连接区 24；和做为栅线 22 支线的多个薄膜晶体管的栅极 26。

栅线路 22，24，26 可以是多层结构，也可以是单一层结构，当



栅线路 22, 24, 26 具有单一层结构时, 其厚度大约为 1000 埃至 3000 埃。当以二重层结构形成栅线路 22, 24, 26 时, 最好下面层由电阻小的铝(Al)和铝-钕(Al-Nd)合金, 以 1000 埃至 2000 埃的厚度制成, 上面层由与别材料接触性好的诸如钼-钨(MoW)合金, 以 500 埃至 1000 埃的厚度制成。当然, 铬、钼或钼合金等可用作单一层结构, 也可与铝或铝合金形成为二重层结构。

在栅线路 22, 24, 26 上, 由氮化硅(SiN_x)等材料, 形成厚度为 2500 埃至 3000 埃的栅绝缘层图案 30 将其覆盖。

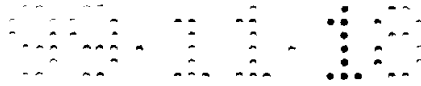
栅绝缘层图案 30 上, 由氢化非晶质硅(hydrogenated Amorphous silicon)等半导体物质, 形成厚度为 1000 埃至 2000 埃的半导体层图案 42, 47。半导体层图案 42, 47, 由相互分离的多个第一部分 42 和第二部分 47 构成。第一部分 42 处于栅极 26 附近, 起薄膜晶体管的通道层作用, 多个第二部分 47 处于栅线 22 的上方, 并相互孤立。第二部分 47 延伸至栅连接区 24。

半导体层图案 42, 47 上, 形成厚度为数埃至数十埃的欧姆接触层图案 55, 56, 57, 58, 欧姆接触层图案 55, 56, 57, 58 具有一掺杂微结晶非晶质硅或钼或铬的硅化物的单一层结构, 或掺杂微结晶非晶质硅与其上形成铬或钼硅化物的二重层结构。欧姆接触层图案具有分离的四个部分, 其中的两个部分 55, 56 关于栅极 26 呈对立状, 部分 58 处于栅连接区 24 的周边, 剩下的部分 57 处于半导体层图案 47 与像素电极或数据线的重叠处, 关于这一点, 将在后面详述。

栅绝缘层图案 30、半导体层图案 47 及欧姆接触层图案 58 具有暴露栅连接区 24 的接触孔 31。

欧姆接触层图案 55, 56, 57, 58 及基板 10 上, 形成有导体图案, 该导体图案为二重层结构, 其包括: 由 ITO(indium tin oxide)或 IZOC(indium zinc oxide)等透明导体材料组成的厚度为 300 埃至 1000 埃的下部导体层 62, 63, 64, 65, 66, 67 和钼-钨合金或铬、铝或铝合金以及钽等导体物质组成的厚度为 1000 埃至 3500 埃的上部导体层 72, 74, 75, 76 和 77。

数据线路具有多个纵向延伸的数据线 62, 72; 多个与数据线 62, 72 的一端相连接, 并从外电路传递图像信号到数据线 62, 72 的数据连接区 64, 74; 和多个做为数据线 62, 72 的支线, 位于欧姆接触层图案的一部分 55 上的 TFTs 源极 65, 75。数据线路还具有多个漏极 66, 76, 其形成



于欧姆接触层图案的一部分 56 上。多个像素电极 63 形成于像素区域中，且由栅线 22 与数据线 62，72 围绕，数据连接区 64，74 与像素电极 63 的主要部分，分别只包括下部导体层 64，63，且其边缘部分具有二重层式结构。但是，像素电极 63 也可以只包括下部导体层 63。像素电极 63 经由栅绝缘层 30 而重叠于栅线 22 而形成贮存电容器。多个冗余栅连接区 67，77 形成于栅连接区 24 上，且连接于栅连接区 24，冗余栅连接区 67，77 用以保护栅连接区 24 及补充外部电路与栅连接区 24 之间的电气接触。大部分的冗余栅连接区 67，77 只包括下部导体层 63，但是边缘除外。

在此实施例中，下部导体层采用了透明导体材料，当为反射型液晶显示器时，可使用不透明导体材料。

欧姆接触层图案 55，56，57，58，位于半导体层图案 42，47 与下部导体层 62，63，64，65，66，67 相重叠处，位于其间起一种减少半导体层图案 42，47 与下部导体层 62，63，64，65，66，67 之间的接触电阻的作用。

最后，在整个表面上，以氮化硅等绝缘材料，形成厚度为 1500 埃至 4000 埃的钝化层 80。钝化层 80 及上部导体层 72，74，75，76，77 上，具有暴露像素电极 63 的下部导体层 63，67 及 64，冗余栅连接区 67 和数据连接区 64 的开孔 81，82，83，和暴露位于栅线 22 之上的栅绝缘层图案 30 的两个开孔 84，85。开孔 84，85 把半导体层图案分隔成两部分 42，47，以防止如图 1、3 所示的，栅线 22 为栅极、数据线 62，72 为源极，及像素电极 63 为漏极的寄生式晶体管。在像素电极 63 覆盖先前的栅线 22 的先前的栅类型中，寄生式晶体管可能会引起问题。半导体层图案的分离不仅对于先前的栅类型的液晶显示器，对于其他形式的液晶显示器也是必须的。也就是说，当施加栅电压时，半导体层可能会形成通道。若两相邻的数据线经由半导体层而相互连接，则施加于两个数据线的图像信号可能会受到干扰。因此，必须将两相邻数据线之间的半导体层部分予以分离，此时，若开孔 81 大于像素电极 63，像素电极 63 可只由上述的下部导体层形成。

下面参照附图 6A 至图 8C 以及图 3 至图 5 说明根据本发明的第一实施例的薄膜晶体管阵列面板的制造方法。

图 6A 是根据本发明第一实施例的第一制造步骤中的 TFT 阵列面板配置图。图 6B、图 6C 分别是沿着图 6A 中的 VIB-VIB' 及 VIC-VIC' 线的截面图。

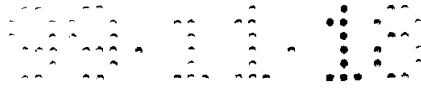


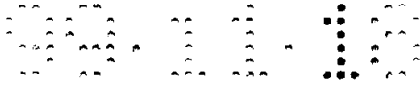
图 7A 是图 6A 至图 6C 之后的制造步骤中的 TFT 阵列面板配置图，图 7B、图 7C 分别是沿着图 7A 中的 VIIB-VIIB' 及 VIIC-VIIC' 线的截面图。图 8A 是图 7A 至图 7C 之后的制造步骤中的 TFT 阵列面板配置图，图 8B、图 8C 分别是沿着图 8A 中的 VIIB-VIIB' 及 VIIC-VIIC' 线的截面图。

首先，如图 6A 至 6C 所示，利用第一光刻形成横向的包括多个栅线 22、多个栅极连接区 24 以及多个栅极 26 的栅线。如前所述，栅线 22，24，26 可具有铝-钽合金层及钼-钨合金层的二重层结构并由干式蚀刻法形成。或者，栅线 22，24，26 也可具有铬层及铝-钽合金层的二重层结构并由湿式蚀刻法形成。

其次，如图 7A，图 7C 所示，以化学气体淀积法(CVD)，把栅绝缘层 30 及半导体层 40 依次淀积，然后把能够形成硅化物的铬或钼等耐火性金属构成的金属层(未图示)淀积到半导体层 40 上，从而在半导体层 40 与金属层之间形成金属硅化物层 50 作为欧姆接触层。之后，把金属层清除掉，再利用第二光刻，通过等离子蚀刻，把由栅绝缘层 30、半导体层 40 及金属硅化物层 50 同时图案化。此时，半导体层 40 的蚀刻率最好是大于栅绝缘层 30 的蚀刻率，例如 3:1，形成倾斜角。图案 30，40 和 50 沿着栅线 22，24，26 延伸并覆盖它们，如图 7A 中所示。与此同时，也形成了暴露栅连接区 24 的接触孔 31。

制造步骤也可以改变，例如，首先使半导体层 40 及栅绝缘层 30 图案化，然后淀积耐火性金属层而形成硅化物层 50，再清除剩余的金属。在这种情况下，由于金属层直接通过接触孔 31 而淀积于栅连接区 24 上，栅连接区 24 的结构可依栅连接区 24 的材质而改变。例如，栅线 22，24，26 为二重层结构，上部层用铝或铝合金形成，下部层用铬形成，而金属层用钼或钼合金制成，且以铝为蚀刻剂，此时，由于钼或钼合金已蚀除，因此当金属层在金属硅化物 50 形成后，以铝为蚀刻剂蚀除时，铝或铝合金的上部层被蚀除而暴露下部层。因下部层是铬层，所以与 ITO 的接触性更好。另一例是，栅线 22，24，26 为二重层结构，上部层由钼或钼合金构成，下部层可由铝或铝合金构成，而金属层由铬制成，此时，当清除金属层时，钼或钼合金的上部并不被蚀除。

此时，可用微结晶的非晶质硅层更替硅化物层 50。淀积栅绝缘层 30、半导体层 40 及掺杂以 N 型的微结晶非晶质硅层依次被淀积并图案化。



一掺杂的非晶质硅层和一硅化物层被一起使用作为一欧姆接触层。

其次，如图 8A 至图 8C 所示，淀积 ITO 层的下导体层及诸如钼-钨合金层或铬层的上导体层并使之图案化，从而形成二重层结构的导体图案，其包括多个数据线 62，72、多个数据连接区 64，74、多个源极 65，75、多个漏极 66，76、多个像素电极 63，73 及多个冗余栅连接区 67，77，清除没有被导体层图案覆盖的硅化物层 50 部分，从而形成欧姆接触层图案 55，56，57，58。

如图 3 至图 5 所示，淀积由氮化硅形成的钝化层 80，并以干式蚀刻法，利用第四光刻步骤使其图案化，从而形成开孔 81，82，83，84，85。其次，蚀除钝化层 80 没有覆盖的像素电极 63，73、冗余栅连接区 67，77 以及数据连接区 64，74 等的上部层部分。此时，半导体层 40 没有被钝化层 80 覆盖的部分被除去。相应地，像素电极 63，73、冗余栅连接区 67，77 以及数据连接区 64，74，几乎只由下部层 63，67，64 构成，而半导体层则分离成两个部分 42，47，通过开孔 84 和 85 暴露栅绝缘层 30。这时，钝化层 80 和半导体层 40 可利用干式蚀刻法而连续地蚀刻，其可采用(CF₄)/O 蚀刻气体，具有 10:1 的氮化硅对非晶质硅蚀刻率。

图 9 中揭示了 TFT 阵列面板的一种变化结构。

图 9 是根据本发明第二实施例 LCD 的 TFT 阵列面板配置图。

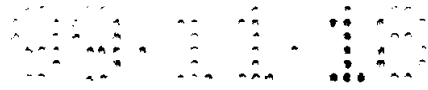
如图 9 所示，像素电极 63 具有缝隙形状的开孔 68，以利于扩大视角，形成于开孔 68 边缘处的弧形边区构成多个区域，此处液晶层的分子轴线平均方向与在一像素区中的有差异，由此扩大视角。像素中的开孔数可大于 1。

根据本发明，不仅可利用四个光刻步骤就能制造液晶显示装置用薄膜晶体管阵列面板，而且还能充分地保护栅连接区以及有效地降低液晶显示装置的电流泄漏。

下面，在栅绝缘层，半导体层及欧姆接触层的图案化步骤中，使用根据部位具有不同光线透过率的光掩模，以减少光刻的步骤。

本发明实施例中，在图案化栅绝缘层形成暴露栅连接区的接触孔时，半导体层及欧姆接触层一起图案化，此时，显示区域中的一部分栅绝缘层仍然保留，但是在周边区中的栅绝缘层则被完全清除。

图 10 是根据本发明第三实施例 LCD 的 TFT 阵列面板配置图，图 11 及图 12 分别是沿着图 10 中的 XI - XI'线和 XII - XII'线的截面图。



首先，在绝缘基板 10 上，由铝或铝合金，钼或钼-钨合金，铬及钽等金属或导体形成栅线路。栅线路包括：以水平方向延伸的多个栅线(扫描信号线)22、与各栅线 22 的末端相连接，从外部电路传递扫描信号到栅线 22 的多个栅连接区 24，及为栅线 22 支线的多个薄膜晶体管栅极 26。

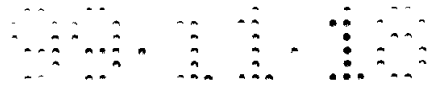
栅线 22，24，26 可以是单一层结构，也可以是多层结构。当栅线 22，24，26 具有多层结构时，一层最好是由电阻小的材料构成，而另一层最好是由可良好地接触于其他材料的材料制成。例如，铬/铝(或 Al 合金)或铝/钼的二重层。

在栅线 22，24，26 上，由氮化硅等形成栅绝缘层 30，并覆盖栅线 22，24，26。

栅绝缘层 30 上，由氢化非晶硅(hydrogenated amorphous silicon)等半导体材料形成半导体图案 42，48，在半导体层图案 42，48 上，由诸如重掺杂的掺杂非晶硅和硅化物等形成欧姆接触层图案 55，56，57，59。

此时，半导体层图案 42，48 及欧姆接触层图案 55，56，57，59 形成于栅线路 22，24，26 与数据线路相重叠处，周边区域的半导体层图案 42，48 及欧姆接触层图案 55，56，57，59 则形成于整个表面上，在此，栅连接区 24 上的欧姆接触层图案 55，56，57，59、半导体层图案 42，48 及栅绝缘层 30 都具有暴露栅连接区 24 的接触孔 31。

欧姆接触层图案 55，56，58 上，由 ITO 等的透明导电材料或不透明导电材料形成第一数据层图案 62，63，64，65，66，67。在第一数据层图案 62，63，64，65，66，67 上，由钼或钼钨合金、铬、铝或铝合金或钽等的导电材料形成第二数据层图案 72，74，75，76，77。数据线路具有多个纵向排列的数据线 62，72；多个与数据线 62，72 的一端相连接，从外部电路传送图像信号到数据线 62，72 的数据连接区 64，74；和多个为数据线 62，72 支线的薄膜晶体管的源极 65，75。数据线路还具有多个与数据线分离的，关于各栅极 26 与各源极相对的薄膜晶体管的漏极 66，76；多个与漏极 66，76 连接的像素电极 63；和多个形成于栅连接区 24 上，且通过接触孔 31 连接至栅连接区 24 的冗余栅连接区 66，77。在此，数据线 62，72、源极 65，75 及漏极 66，76 具有二重层结构。冗余栅连接区 67，77 及数据连接区 64，74 只有一部分是二重层结构，而剩下的冗余栅连接区 67，77 及数据连接区 64，74 由第一数据层图案 67，64 构成。



像素电极 63 具有第一数据层图案 67，64 的单一层结构。

第二数据层图案 72，74，75，76，78 与栅线路 22，24，26 相同，也具有单一层结构。当然，当数据线路具有多层结构时，最好是其中一层以电阻小的材料构成，而另一层应由与别的材料的接触性好的材料构成。

欧姆接触层图案 55，56，58 起一种降低半导体层图案 42，48 与第一数据层图案 62，63，64，65，66，67 之间的接触电阻的作用，并只形成于半导体层图案 42，48 与第一数据层图案 62，63，64，65，66，67 之间。

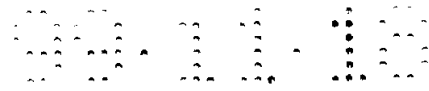
没有被第二数据层图案 72，74，75，76，77 和半导体层图案 42，48，被钝化层 80 覆盖，钝化层 80 至少起一种保护源极 75 与漏极 76 之间的半导体 42 通道部分的作用。钝化层 80 可由如氮化硅或丙烯酸等有机绝缘材料构成。

在此实施例中，透明的 ITO 可作为像素电极 63 的材料的例子，但在反射型液晶显示器时，也可使用不透明的导体材料。

以下，参照图 13A 至图 19C 以及图 10 至图 12，详细说明根据本发明实施例的薄膜晶体管阵列面板的制造方法。

首先，如图 13A 至图 13C 所示，把如金属等的导体层，用溅射等方法以 1000 埃至 3000 埃的厚度淀积到基板 10 上，并利用第一光刻步骤以干式或湿式法进行蚀刻，从而在面板 10 上形成包括多个栅线 22、多个栅连接区 24 及多个栅极 26 的栅线路。

其次，如图 14A 至图 14C 所示，把栅绝缘层 30 及半导体层 40 通过化学蒸汽淀积法(CVD)，分别以 1500 埃至 5000 埃以及 500 埃至 1500 埃的厚度依次淀积。然后，把可硅化的物质，如铬、钼等的耐火性金属用溅射等方法在半导体层 40 上淀积金属层(未图示)，从而形成厚度为 300 埃至 600 埃的金属硅化物层 50 作为欧姆接触层并清除剩余金属层。然后，使用第二光刻使金属硅化物层 50、半导体层 40 及栅绝缘层 30 图案化，从而形成半导体层图案 42，48、硅化物图案 52，58 及接触孔 31(参阅图 18A 及 18B)。这时，清除周边区 P 中栅连接区 24 上的硅化物层 50、半导体层 40 及栅绝缘层 30。但是，在图像显示区中，栅绝缘层 30 应当保留。除了位于半导体层图案 42 和 48，硅化物图案 52 和 58 下面的部分，清除半导体层 40 和硅化物层 50。为此，应根据各部位形成不同厚度的光致抗蚀剂(PR)图案，然后做为蚀刻掩



模把光致抗蚀剂下部层以干式蚀刻法进行蚀刻，对这一点参照图 14B 至图 18B 做详细说明。

首先，在硅化物层 50 上，涂覆 PR，最好是正 PR，其厚度为 5000 埃至 30000 埃，然后，通过一个或多个光掩模 300，410，420 进行曝光。如图 14B 及图 14C 所示，PR 层在图像显示区 D 与周边区 P 中各不相同。具体地说，在图像显示区 D 中，PR 层曝光的部分 C 中的聚合物，从表面到一定深度被分解，而其下面部分保持原状。而在周边区 P，曝光的部位 B 中的聚合物从表面一直到下部，全部发生了分解。部位 C，B 中的硅化物层 50 被清除。

为此，用于图像显示区 D 的光掩模 300 具有不同于周边区 P 所用的光掩模 410，420 的结构，将参照图 15A 至图 17 说明三个这种例子。

第一、第二例子利用二个光掩模，以用于显示区 D 及周边区 P。

如图 15A 及图 15B 所示，光掩模 300，400 包括：掩模基板 310，410，设于其上如铬等形成的不透明图案层 320，420；及分别覆盖在不透明图案层 320，420 和基板 310，410 上暴露的部分的薄膜 330，430。使用在图像显示区 D 的掩模 300 的薄膜 330 的光透过率比使用在周边区 P 的光掩模 400 的薄膜 430 的透过率低。薄膜 330 的光透过率较佳地为薄膜 430 的 10% 至 80%，最好为 20% 至 60%。

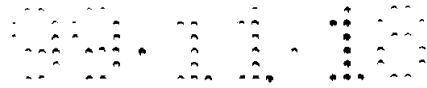
其次，如图 16A 及图 16B 所示，在图像显示区 D 光掩模 300 的基板 310 上，形成 100 埃至 300 埃厚度的铬层 350，以利于降低光的透过率，而在周边区 P 的光掩模 400 中，则没有这种铬层。光掩模 300 的薄膜 340 可具有与光掩模 400 的薄膜 430 相同的光透过率。

在此，可以把上述两种结构混合使用。

上述两个例子可用于使用步进器进行步进-重复曝光法中，因为图像显示区 D 的光掩模 300 及周边区 P 的光掩模 400 都是由分离件构成，此时 PR 层的厚度可通过调整曝光时间而控制。

图像显示区 D 和周边区 P 可通过一个光掩模而曝光，此一光掩模的结构将参照图 17 做详细说明。

如图 17 所示，在光掩模 500 的基板 510 上，形成透过率控制层 550，在透过率控制层 550 上，形成图案层 520。在图像显示区 D 中，透过率控制层 550 不仅形成于图案层 520 的下部，而且形成于整个区域上；而在周边区



P 中，则只形成于图案层 520 的下部。因此，在基板 510 上，具有至少两个图案，一个是透过率控制层 550，另一个是图案层 520 与透过率控制层 550 的双重层，具有不同的厚度。

可使周边区 P 也具有透过率控制层，此时，周边区 P 的透过率控制层的透过率，应大于图像显示区 D 的透过率控制层 550 的透过率。

为了制造具有这种透过率控制层 550 的光掩模 500，在基板 500 上，依次淀积透过率控制层 550 和具有一蚀刻率不同于透过率控制层 550 的图案层 520。在图案层 520 上涂敷 PR(未图示)，经曝光、显影后，以 PR 层为蚀刻掩模蚀刻图案层 520。清除剩余 PR 后，形成暴露出周边区对应于接触孔部分的透过率控制层的新 PR 图案(未图示)，随后再利用新 PR 层为蚀刻掩模蚀刻透过率控制层 550 而完成光掩模 500。

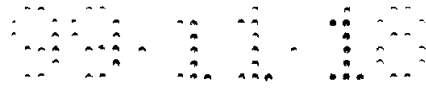
另外，透过率可利用一光掩模依位置而改变，光掩模具有小于曝光设备的解析度的缝隙或一栅形图案。

据此，可使用一个在图像显示区和周边区没有分别的光掩模时，所述光掩模可区别地控制与接触孔 31 相对的第一领域、与半导体层图案 42 和 48 相对的第二领域及与不含第一领域和第二领域的其余领域相对的第三领域的透过率。然后，如图 14B 所示，PR 图案形成的具有一第一部分 B，并且此处的光致抗蚀剂被全部清除或极少、一具有第一厚度的第二部分 A，及具有比第一厚度薄的第二厚度的第三部分 C。

其时，在金属层图案如栅线路 22，24，26 上方具有高反射率的 PR 层部分，此时会曝光的较其他部分高。为了防止此问题，可放置阻断下层反射光的层或使用一有色 PR。

用这种方法使图 14B 及图 14C 所示的 PR 层曝光及显影，则可获得如图 18A 及图 18B 中所示的 PR。具体地说，在栅连接区 24 的一部分上没有形成 PR，A 区 PR 图案的较厚部分位于除栅连接区 24 以外的周边区 P 以及图像显示区 D 中半导体层图案部位的硅化物层 50 的上部。C 区 PR 图案的较薄部分位于图像显示区 D 的其余部分中。

这时，较薄部分的厚度，较佳为初期厚度的 $1/4$ 至 $1/7$ ，即，350 埃至 10000 埃，最好为 1000 埃至 6000 埃。例如，当 PR 层的初期厚度为 25000 埃至 30000 埃时，则设定显示区 D 的透过率为 30%，较薄部分的厚度为 3000 埃至 7000 埃。但是，由于 PR 图案的厚度应由干式蚀刻条件而决定，所以薄



膜的透过率、铬层的厚度、透过率控制层的透过率以及曝光时间等应根据蚀刻条件控制。

PR 图案的较薄部分，可使用一正常曝光及一正常显影后，利用再流动而形成。

接着，通过干式蚀刻法对 PR 及其下部的膜，即硅化物层 50、半导体层 40 及栅绝缘层 30 进行蚀刻。

如上所述，此时，区域 A 中的 PR 图案部分应仍保留，但是区域 B 中的硅化物层 50、半导体层 40 及栅绝缘层 30 部分应清除，区域 C 中的硅化物层 50 及半导体层 40 部分应清除，而区域 C 中的栅绝缘层 30 部分应保留。

为此，最好使用可同时蚀刻光致抗蚀层图案(PR)及下部层的干式蚀刻法。如图 18A 及图 18B 所示，如果使用干式蚀刻法，能够同时蚀除区域 B 中的三层，即硅化物层 50、半导体层 40 及栅绝缘层 30 以及区域 C 中的三层，即 PR 图案的较薄部分、硅化物层 50、半导体层 40 等部分。这时，区域 A 中的 PR 图案较厚部分也被蚀刻到一定的深度。

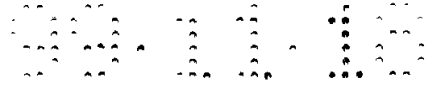
根据上述方法，可通过一次光刻步骤，在图像显示区 D 中，只清除硅化物层 50 和半导体层 40 而形成硅化物层图案 52，58 以及半导体层图案 42，48，在周边区 P 中，清除硅化物层 50、半导体层 40 及栅绝缘层 30 而形成接触孔 31。

其次，如图 19A 及 19B 所示，A 部分的剩余 PR 图案被剥离，用溅射法等淀积 400 埃至 500 埃厚度的 ITO 层以及 1500 埃至 3000 埃厚度的导体如金属层。接着，利用第三光刻步骤使导体层、ITO 层及其下面的硅化物图案 52，58 图案化，最终形成如图 19A 至图 19C 所示的数据线路及欧姆接触层图案 55，56，57，59。这时，数据线路没有完全形成，所以，二层具有相同的形状。

接着，如图 10 至图 12 所示，利用氮化硅的 CVD 法或有机绝缘物质旋涂法，形成具有 3000 埃以上厚度的钝化层 80，然后利用第四光刻步骤使钝化层 80 图案化以暴露第二数据层图案 73，77，74 的覆盖像素电极 63，冗余栅连接区 67 及数据连接区 64 的各部分。

最后，清除第二数据层图案 73，77，74 中暴露的部分，从而形成薄膜晶体管阵列面板。

此处用于暴露像素电极 63 的开孔可如图 3 所示制成，此时像素电极 63



的边缘可透过开孔而暴露，并把透过开孔而暴露的栅绝缘层图案 30 蚀除。

在本实施例中，对暴露栅连接区 24 的接触孔 31，使用一个光掩模同时形成半导体图案 42，48 以及硅化物图案 52，58，相应地就减少了光掩模的个数。

虽然，在此实施例中，像素电极是以较宽宽度的面状制成的，但也可以制成线状，并且沿着象素电极驱动液晶分子的共同极也可如象素电极一样形成于同一基板上。

下面参照图 20 至图 25C，通过第四实施例对这种情况做详细说明。

图 20 是根据本发明第四实施例的液晶显示器用薄膜晶体管阵列面板的配置图，图 21 及图 22 分别是沿着图 20 中的 XXI - XXI' 线及 XXII - XXII' 线的截面图。

首先，在绝缘基板 10 上，由铝(Al)或铝合金，钼(Mo)或钼-钨(MoW)合金，铬(Cr)及钽(TA)等金属或导体材料形成栅线路。栅线路包括：一水平方向延伸的栅线(扫描信号线)22、一与栅线 22 的末端相连接，从外部电路传送扫描信号给栅线 22 的栅连接区 24 及一做为薄膜晶体管一部分的栅极 26。

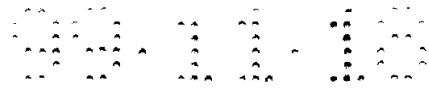
另外，在绝缘基板 10 上，有与栅线路 22，24，26 相同材料形成的共同线路。共同线路包括：以水平方向延伸且平行于栅线 22 的共同电极线 27 及做为共同电极线 27 横向支线的共同电极 28。共同线路可包括，一连接于共同电极线 27 的一端，且自外部电路传送一共同信号至共同电极 27 的共同连接区(未图示)，并具有几乎相同于栅连接区 24 的形状。

在栅线路 22，24，26 及共同线路 27，28 上，由诸如氮化硅(SiN_x)等，形成厚度为 2500 至 3000 埃的栅绝缘层图案 30，并覆盖栅线 22，24，26 及共同线路 27，28。

在栅绝缘层图案 30 上，由诸如氢化非晶硅等半导体形成半导体层图案 42，44，48，在半导体层图案 42，44，48 上，形成有由例如 N 型杂质重掺杂非晶硅和硅化物制成的欧姆接触层图案 54，55，56，59。

此时，显示区的半导体层图案 42，44，48 形成于栅线路 22，24，26 与共同线路 27，28 在数据线路上的相重叠处，对此容后详述。半导体层图案形成于整个周边区。然而，半导体层图案 42，44，48 及栅连接区 24 上的栅极绝缘层 30 则具有暴露栅连接区 24 的接触孔 31。

在欧姆接触层图案 55，56，58 上，由诸如钼(Mo)或钼-钨(MoW)合



金, 铬(Cr), 铝(Al)或铝合金(AlAlloy)及钽(Ta)等导体材料, 形成数据线路 72, 74, 75, 76, 77, 78, 79。数据线路包括一数据线部分, 数据线部分包括: 一延伸于垂直方向的数据线 72、一与数据线 72 的一端相连接, 从外部电路传递图像信号到数据线 72 的数据连接区 74 及一做为数据线 72 支线的薄膜晶体管的源极 75; 数据线还具有一薄膜晶体管的漏极 76, 其与数据线部分 72, 74, 75 相分离, 关于栅极 26 与源极 75 相对, 一与漏极 76 相连接, 并与共同极线 27 平行的像素电极线 79 及与像素电极线 79 相连接, 并与共同电极 28 平行的像素电极 78。共同电极 28 及像素电极 78 交错地定位, 以施加近乎平行的电极场于基板 10 上。另外, 像素电极线 79 与共同电极线 27 相重叠的地方形成贮存电容器。

数据线路 72, 74, 75, 76, 77, 78, 79, 也可以跟栅线路 22, 24, 26 及共同线路 27, 28 一样, 具有多层结构。当然, 当数据线路具有多层式结构时, 最好一层由低电阻材料制成, 而另一层由跟别的材料接触性好的材料构成。

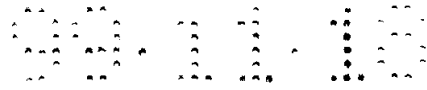
欧姆接触层图案 54, 55, 56, 59 起一种降低半导体层图案 42, 44, 48 与其上部的数据线路 72, 74, 75, 76, 77, 78, 79 之间的接触电阻的作用, 并且只存在于半导体层图案 42, 44, 48 与数据线路 72, 74, 75, 76, 77, 78, 79 之间。

数据线路 72, 74, 75, 76, 77, 78, 79 和半导体层图案 42, 44, 48, 被一钝化层 80 所覆盖, 钝化层分别具有暴露栅连接区 24 以及数据连接区 74 的接触孔 82, 83。钝化层 80 至少起一种覆盖并保护位于源极 75 与漏极 76 之间的半导体 42 的通道部分的作用, 其可由绝缘材料制成, 例如氮化硅或丙烯酸有机材料。

下面参照图 23A 至图 25C 和图 20 至图 22, 对根据本发明实施例的液薄膜晶体管阵列面板的制造方法做详细说明。

首先, 如图 23A 至图 23C 所示, 把诸如金属的导体层, 用溅射法等, 以 1000 埃至 3000 埃的厚度淀积于基板 10 上, 并通过干式或湿式蚀刻使用第一掩模形成包括栅线 22、栅连接区 24 及栅极 26 的栅线路 22, 及包括共同电极线 27、共同连接区(未图示)及共同电极 28 的共同线路。

然后, 如图 24A 至图 24C 所示, 利用化学蒸汽淀积法(CVD)分别以 1500 埃至 5000 埃, 500 埃至 1500 埃, 300 埃至 600 埃的厚度, 依次淀积栅绝缘



层 30、半导体层 40 及经掺杂的非晶硅欧姆接触层 50。然后，利用第二光掩模使欧姆接触层 50、半导体层 40 以及栅绝缘层 30 同时图案化，从而形成半导体层图案 42，44，48、欧姆接触层图案 52，54，58 及接触孔 31。这时，周边区 P 中的栅连接区 24 上的欧姆接触层 50，半导体层 40 及栅绝缘层 30 被清除掉，但是，应只清除某些部分的欧姆接触层 50 及半导体层 40，以形成半导体层图案 42，44，48、欧姆接触层图案 52，54，58 及栅绝缘层 30。

为此目的，根据各不同的部位，形成不同厚度的光致抗蚀层图案，如第三实施例所述，把此图案当做蚀刻掩模对下部各层进行干式蚀刻。在形成这种光致抗蚀层图案时，使用根据不同的部位具有不同透过率的光掩模。

接着，把诸如金属等的导体层，用溅射法，以 1500 埃至 3000 埃的厚度进行淀积。之后，使用第三掩模使导体层及其下面的欧姆接触层图案 52，54，58 图案化，从而形成图 25A 至图 25C 所示的数据线路 72，74，75，76，77，78，79 及其下部的欧姆接触层图案 54，55，56，59。

最后，如图 20 至图 22 所示，用 CVD 方法淀积氮化硅或以旋涂法把有机绝缘物质涂覆成具有 3000 埃以上厚度的钝化层 80，之后，利用第四掩模使其图案化，从而形成暴露栅连接区 24、共同电极线连接区以及数据连接区 74 的接触孔 82，83，最终完成薄膜晶体管阵列面板。

当然，即使在第一实施例中，如果使用根据位置不同而具有不同透过率的第三光掩模，那么，在除了暴露栅连接区 24 的接触孔 31 以外的部分中，可以保留栅绝缘膜 30，仅有薄膜晶体管的半导体层图案 42 被形成。

在本实施例中，暴露栅连接区 24 的接触孔 31 与半导体层图案 42，44，48 以及欧姆接触层图案 52，54，58 利用一个光掩模一起形成，所以，可减少光掩模数目。

根据本发明，通过减少了制造步骤简化了制造方法，从而降低了制造成本，增加了产量。再者，能够同时蚀刻根据不同的部位具有不同厚度的层，还能蚀刻出很均一的深度。

在附图和说明书中，描述了本发明典型的优选实施例，并且，尽管使用了特殊的术语，它们仅是在一般和描述意义上使用，并不作为限制的目的，本发明的范围由所附的权利要求书限定。

说明书附图

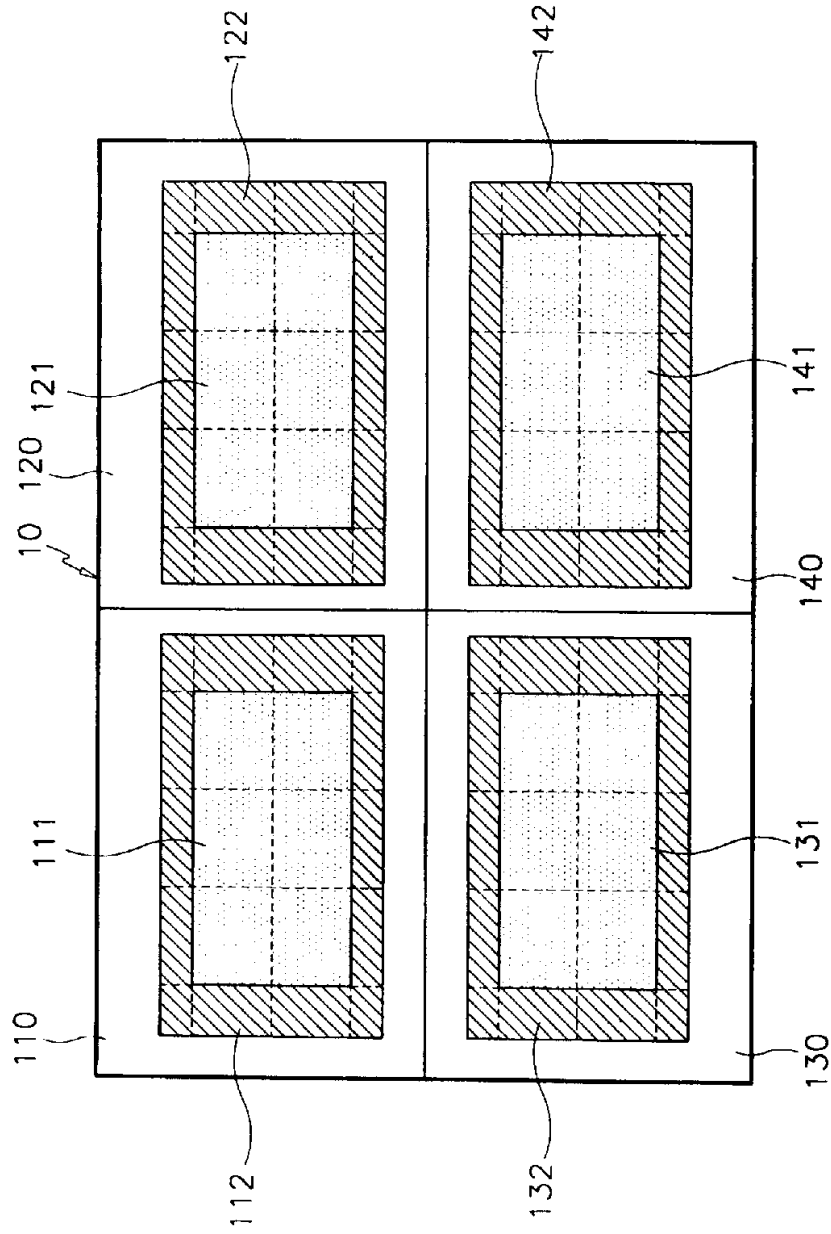


图 1

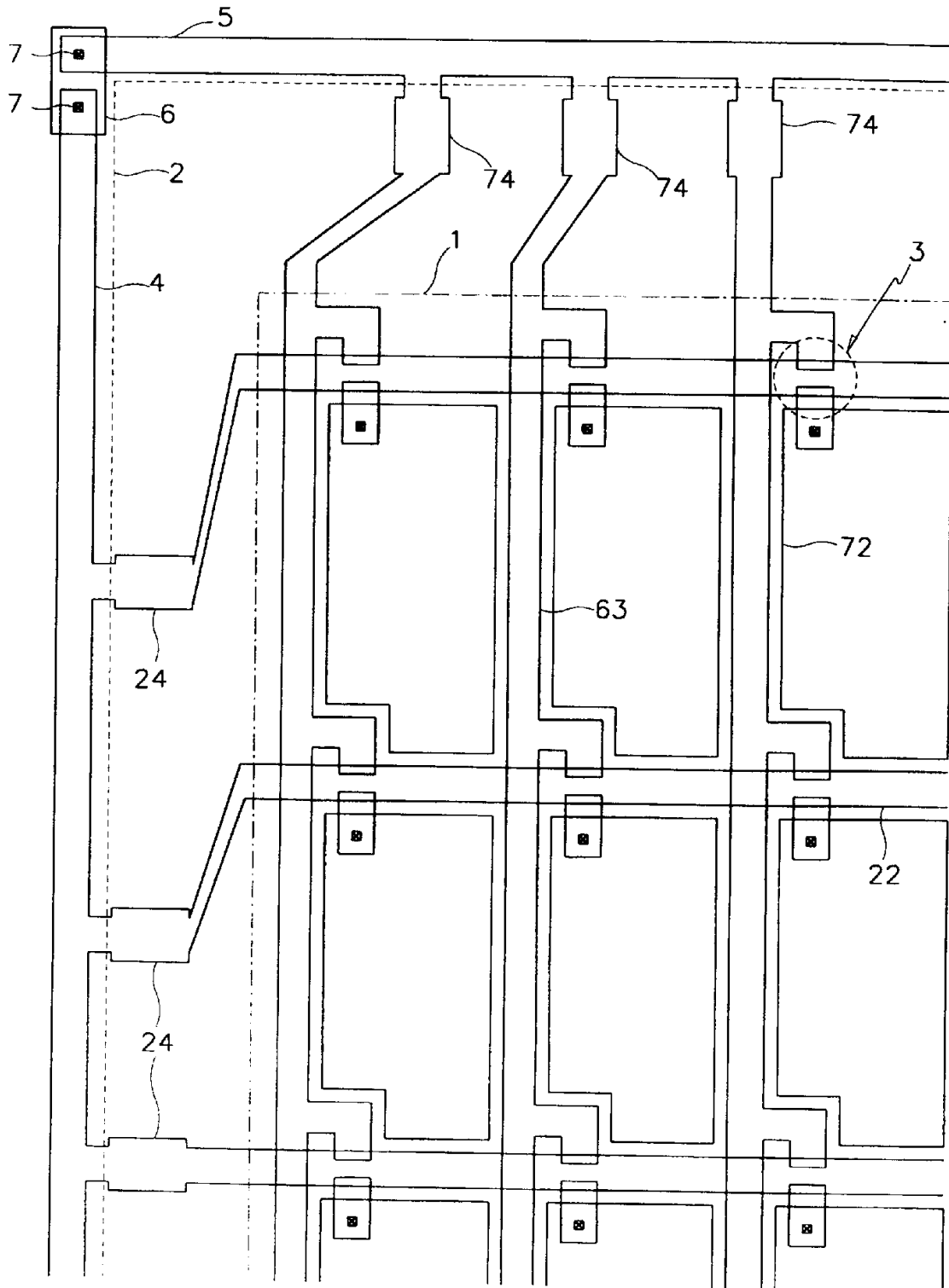


图 2

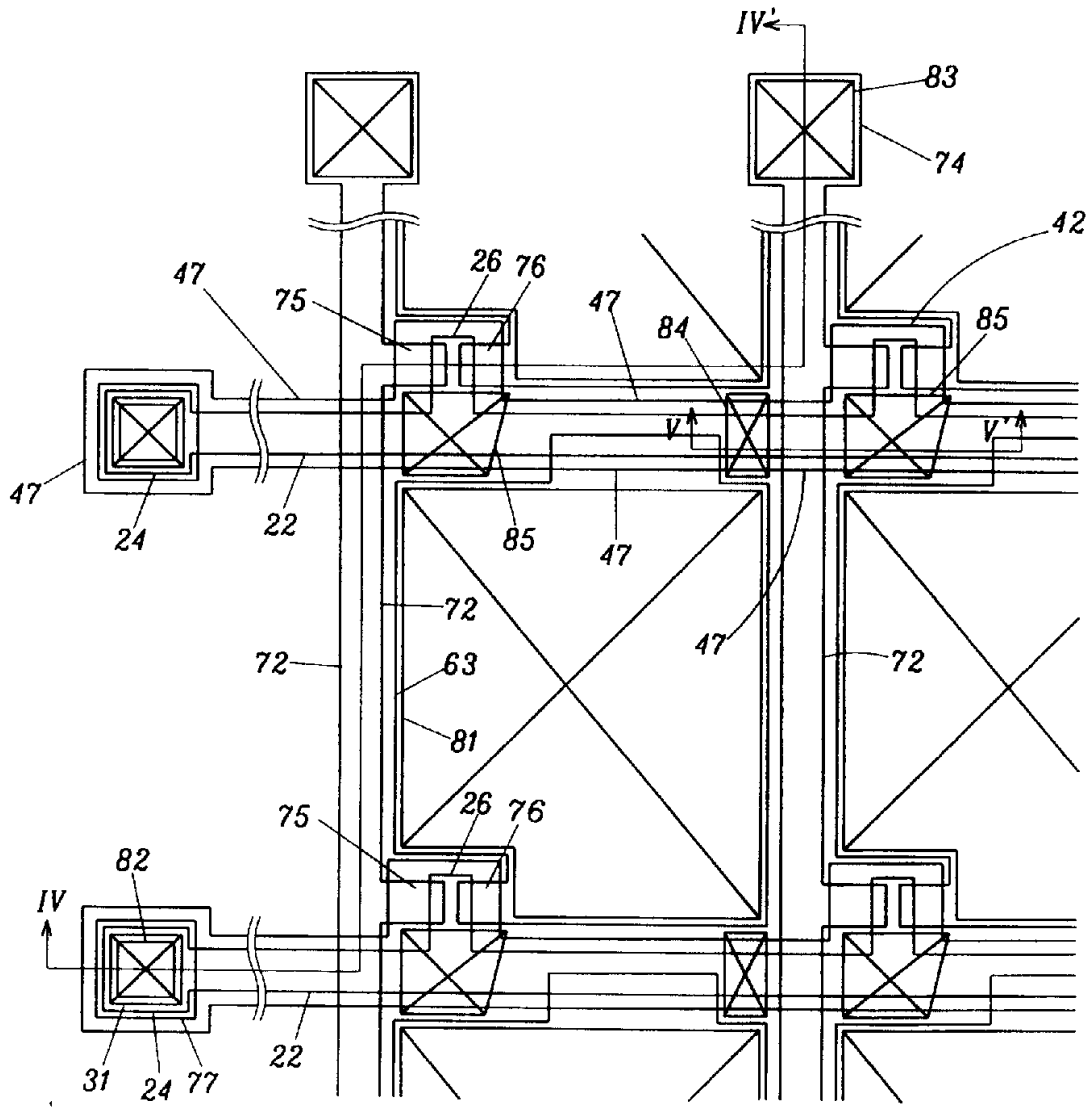


图 3

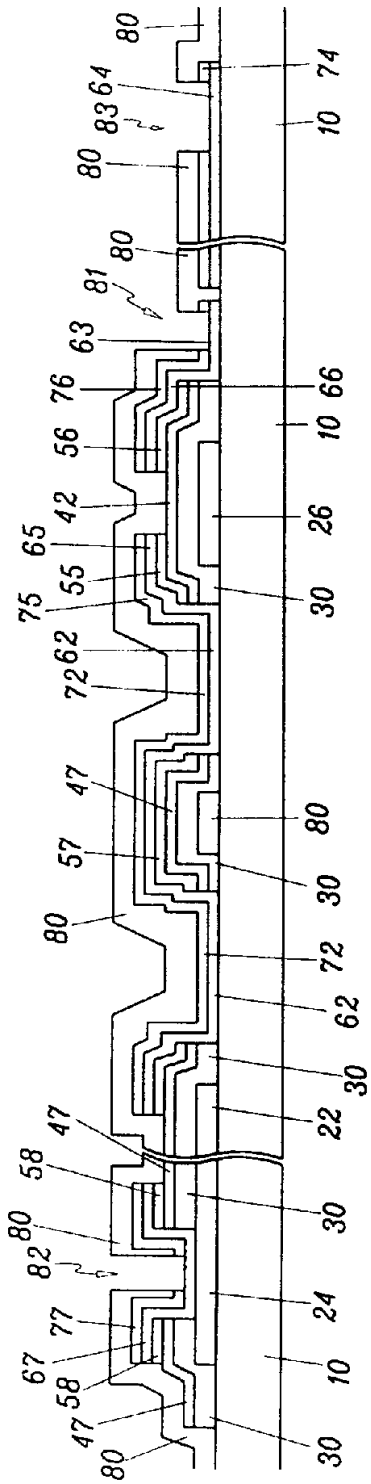


图 4

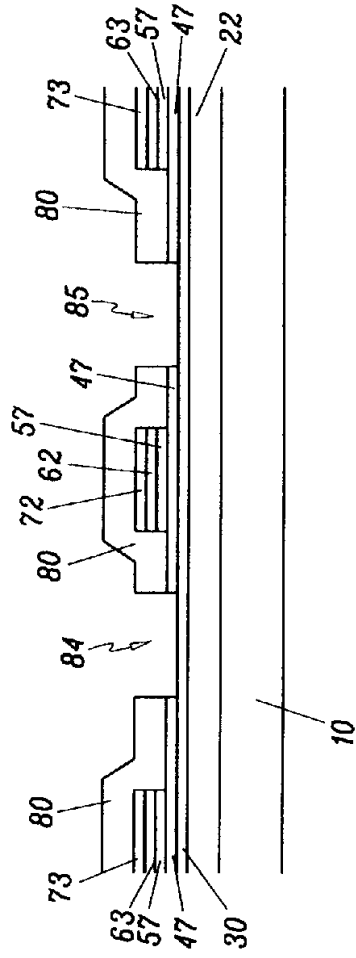


图 5

100
 90
 80
 70
 60
 50
 40
 30
 20
 10

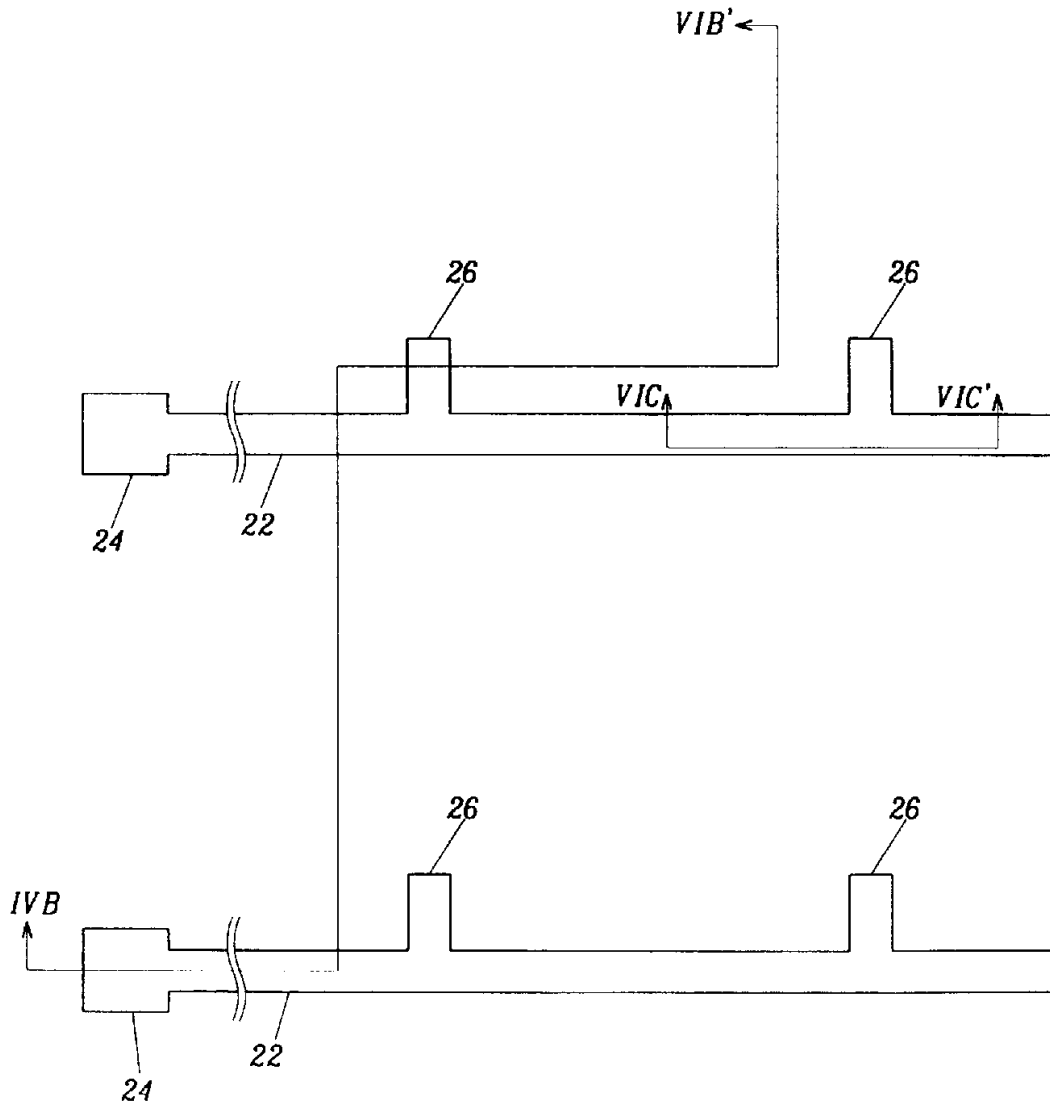


图 6A

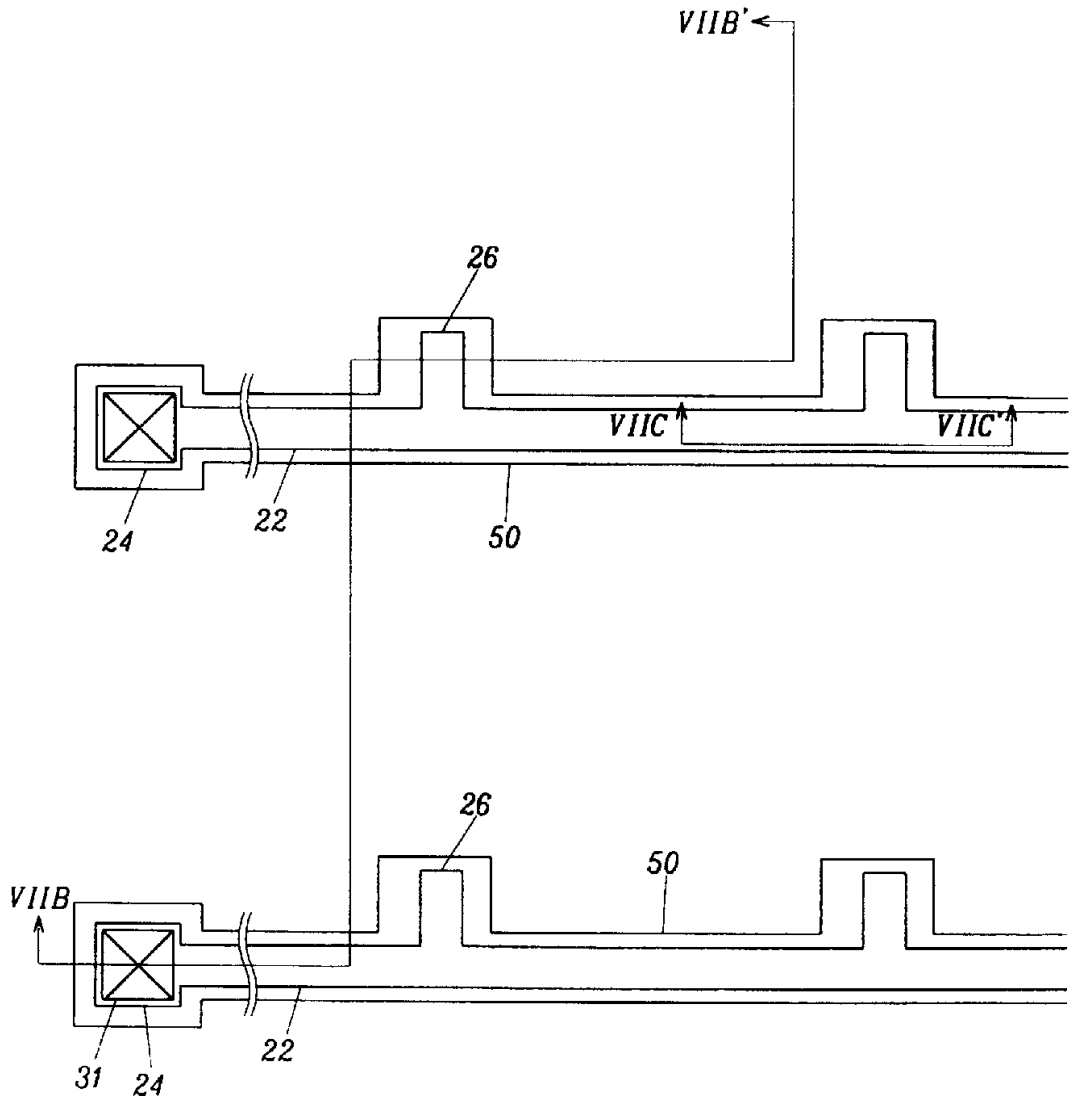


图 7A

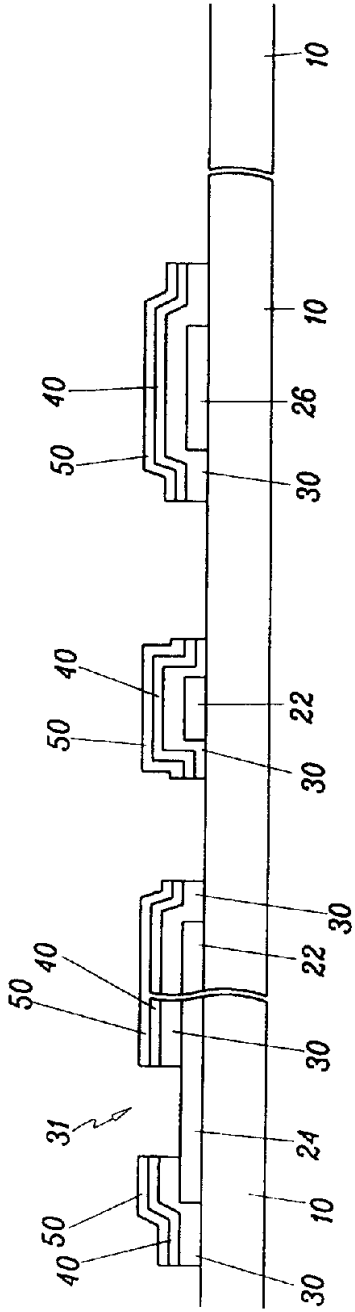


图 7B

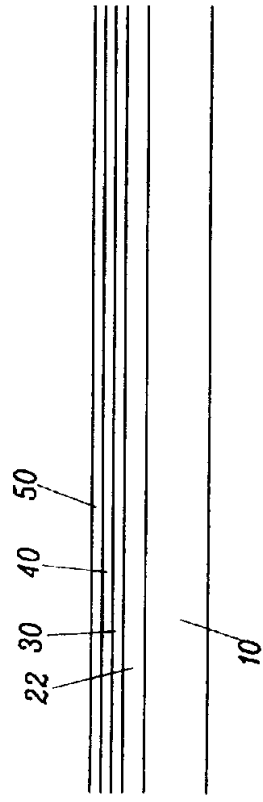


图 7C

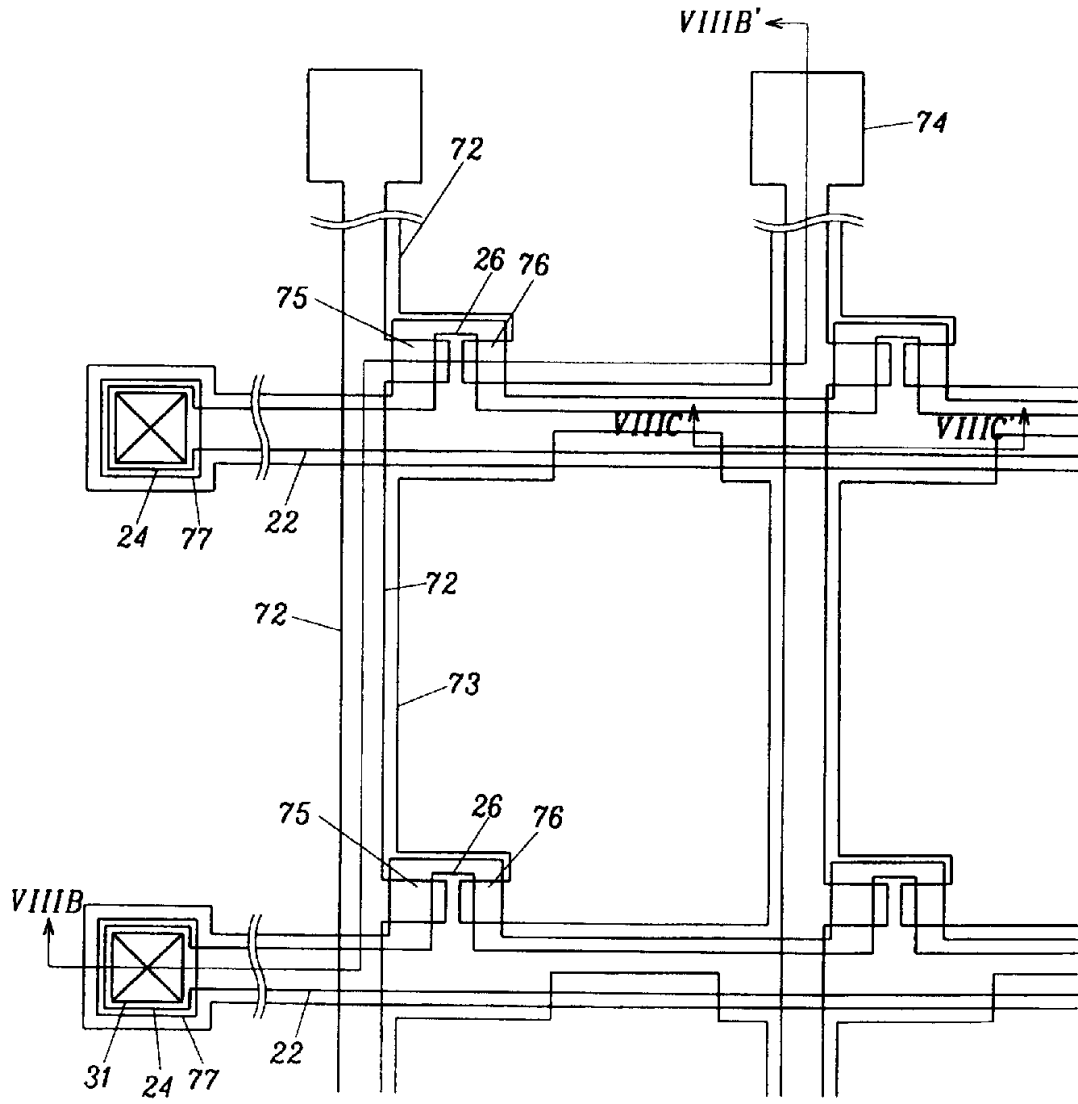


图 8A

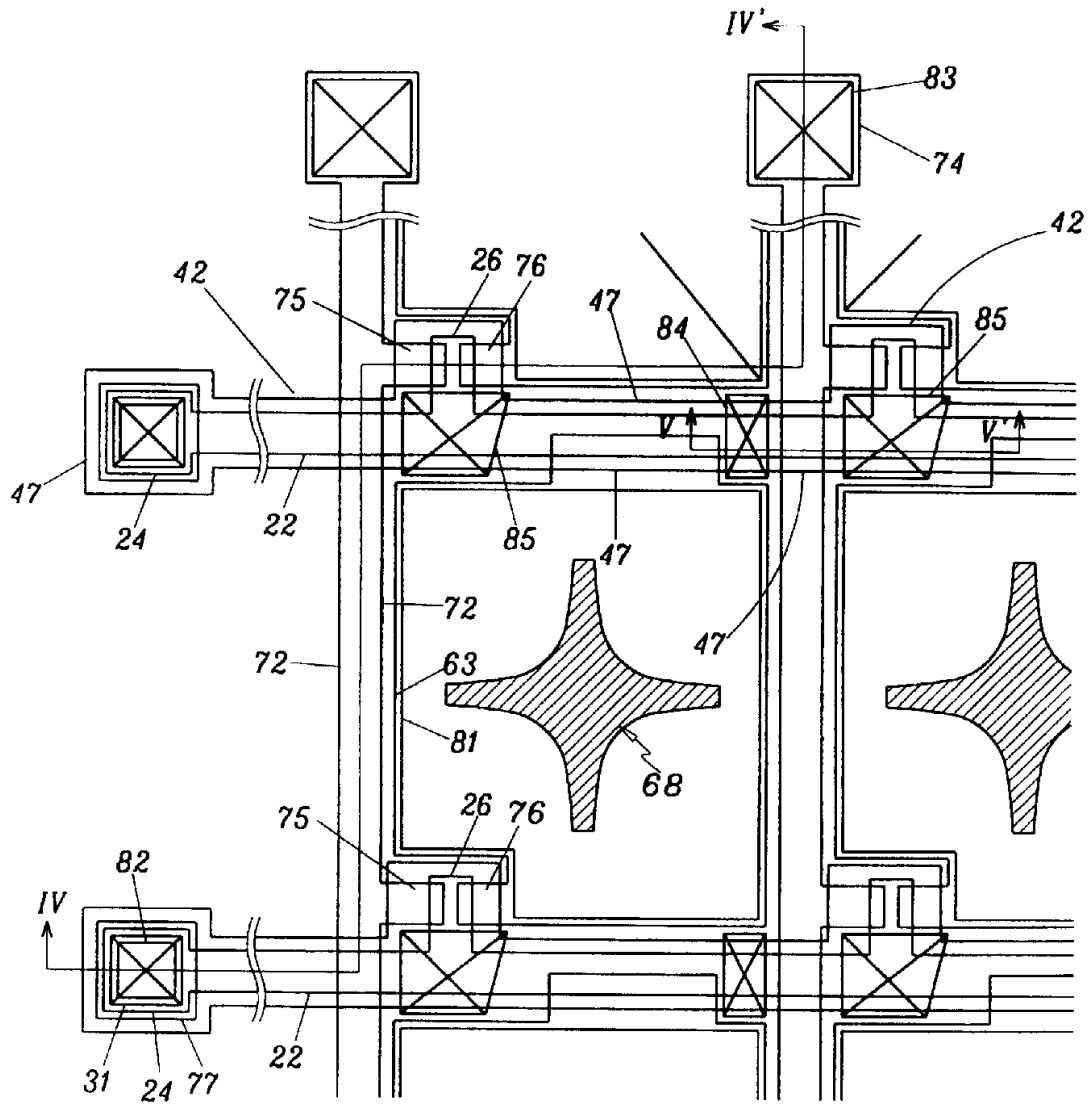


图 9

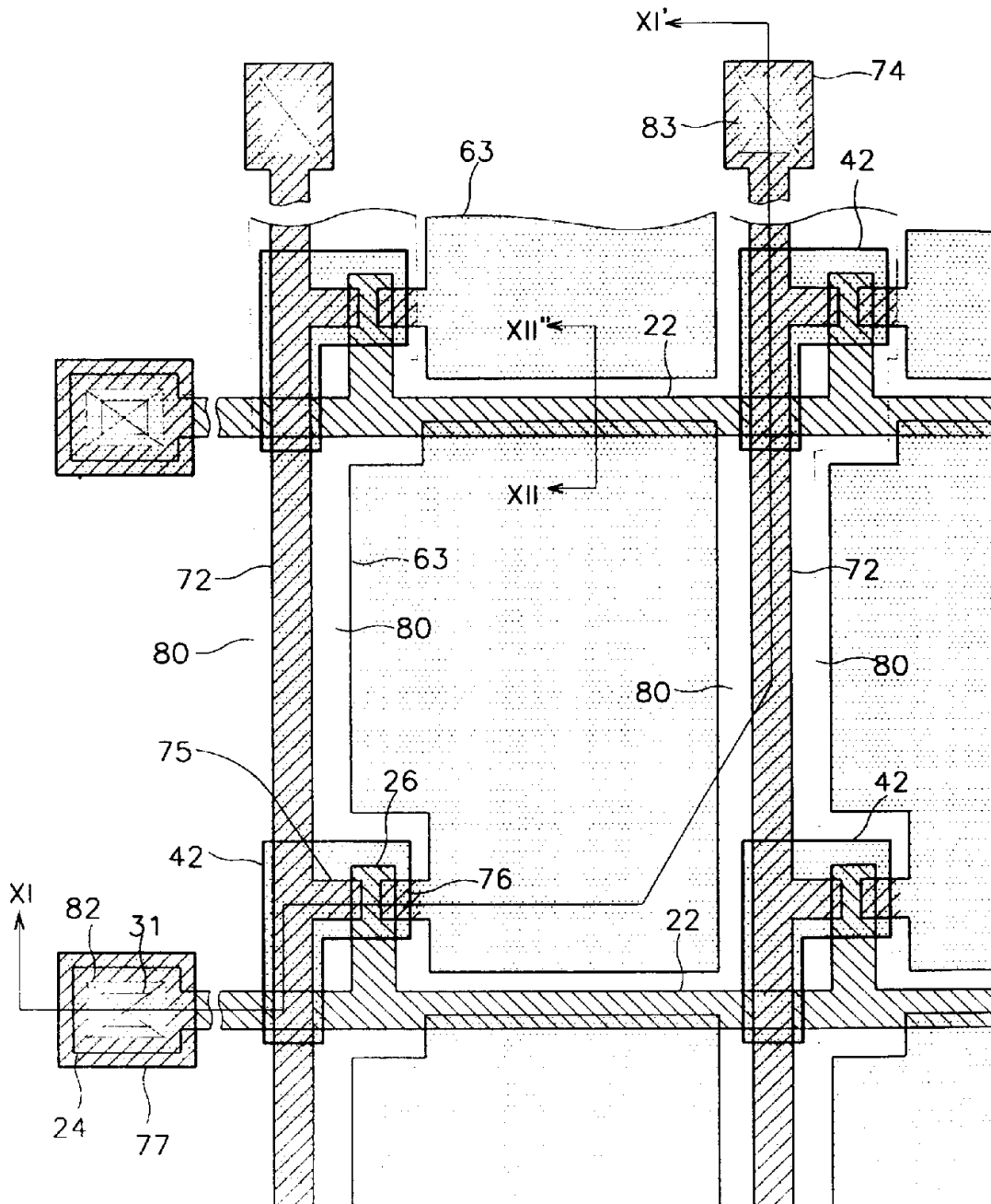


图 10

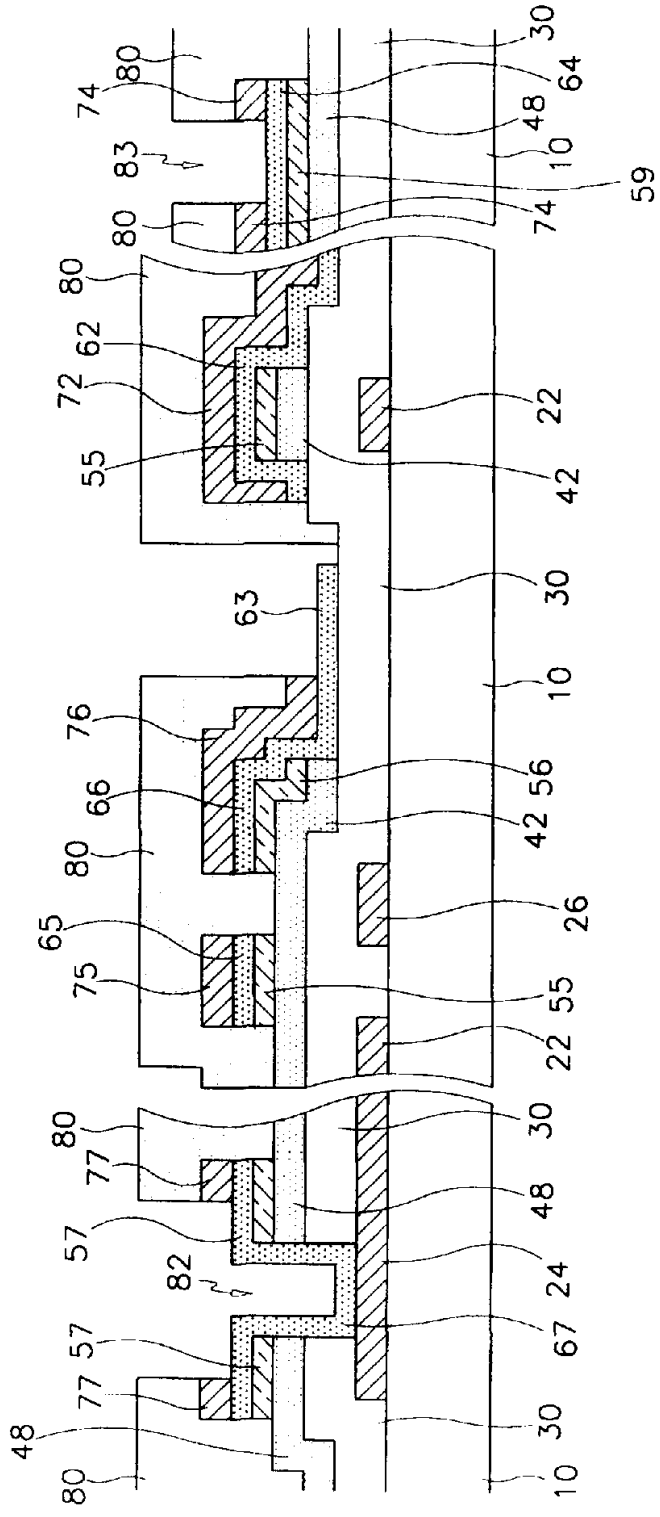


图 11

图 12

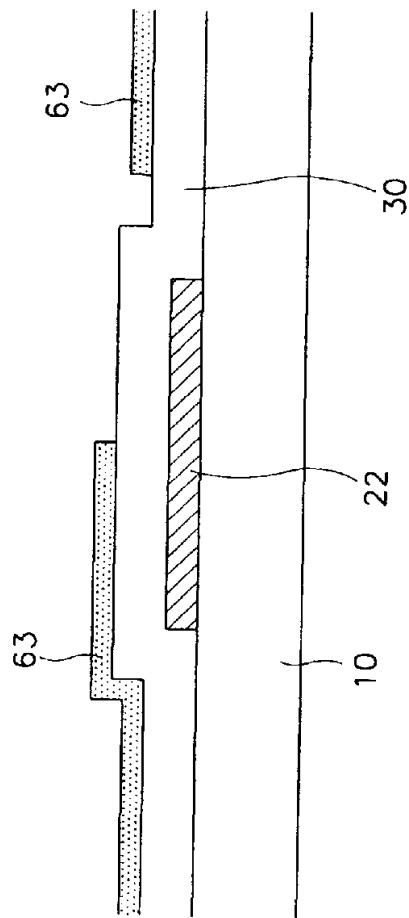


图 12

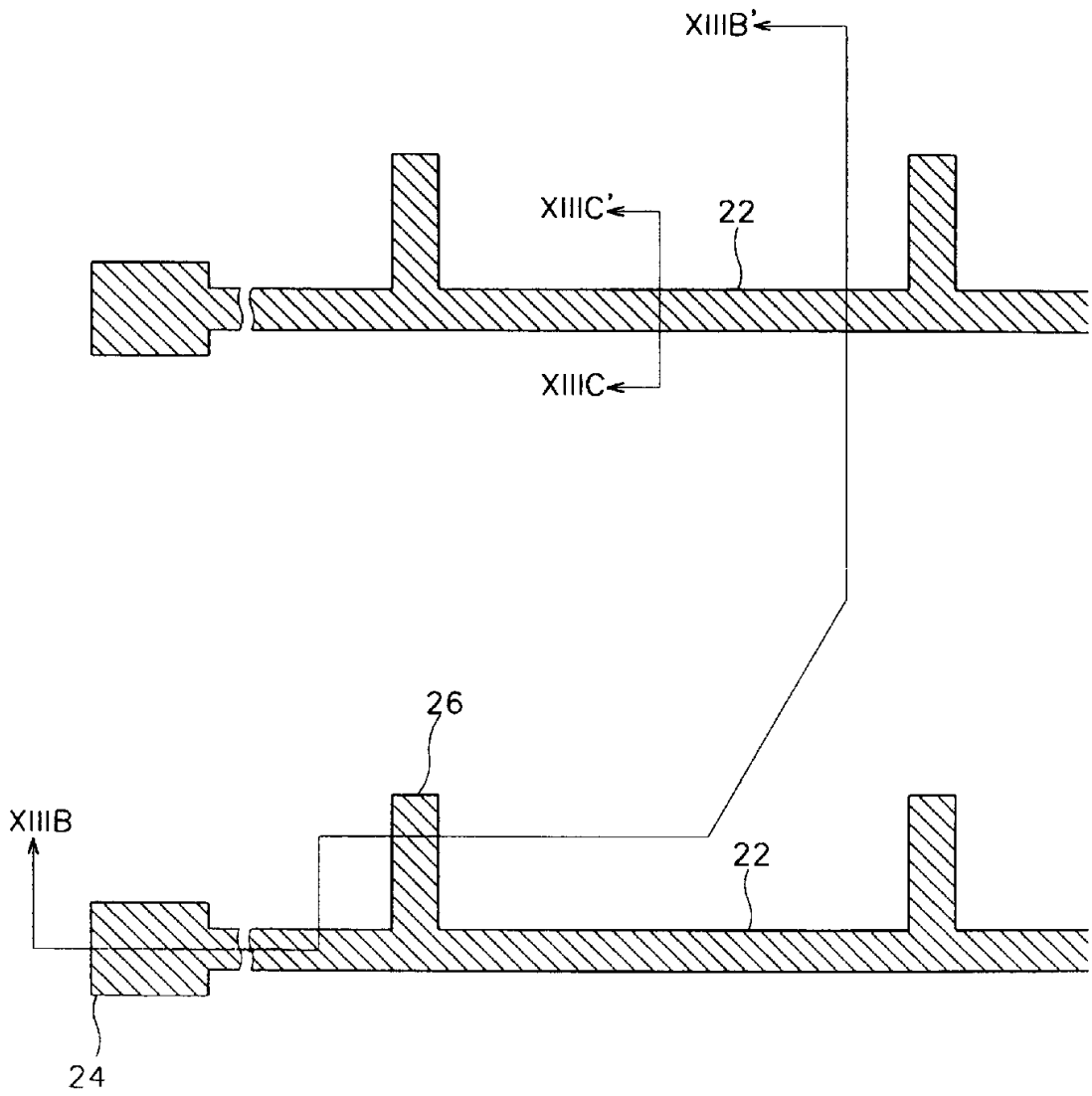


图 13A

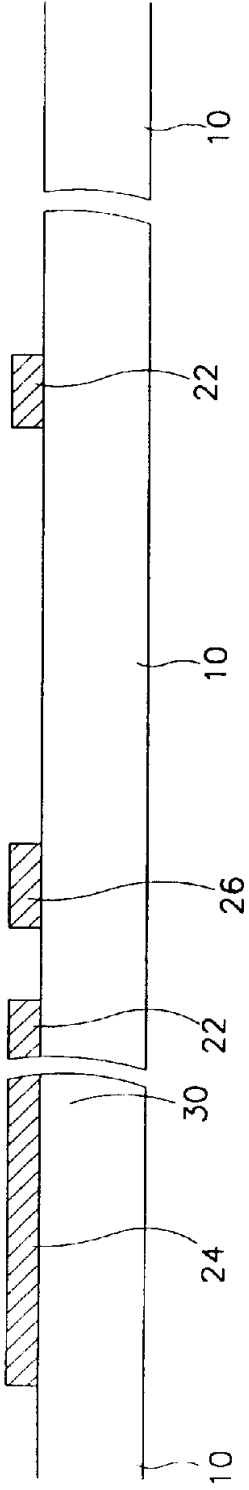


图 13B

10
22
26
30
24

10 11 12 13

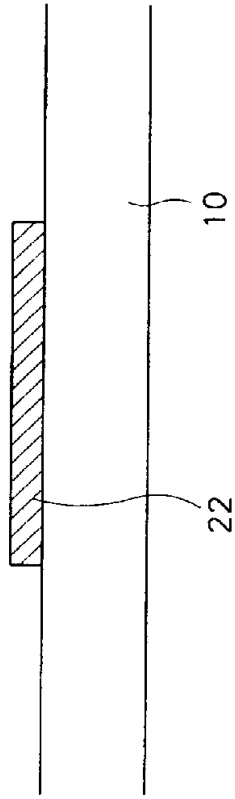


图 13C

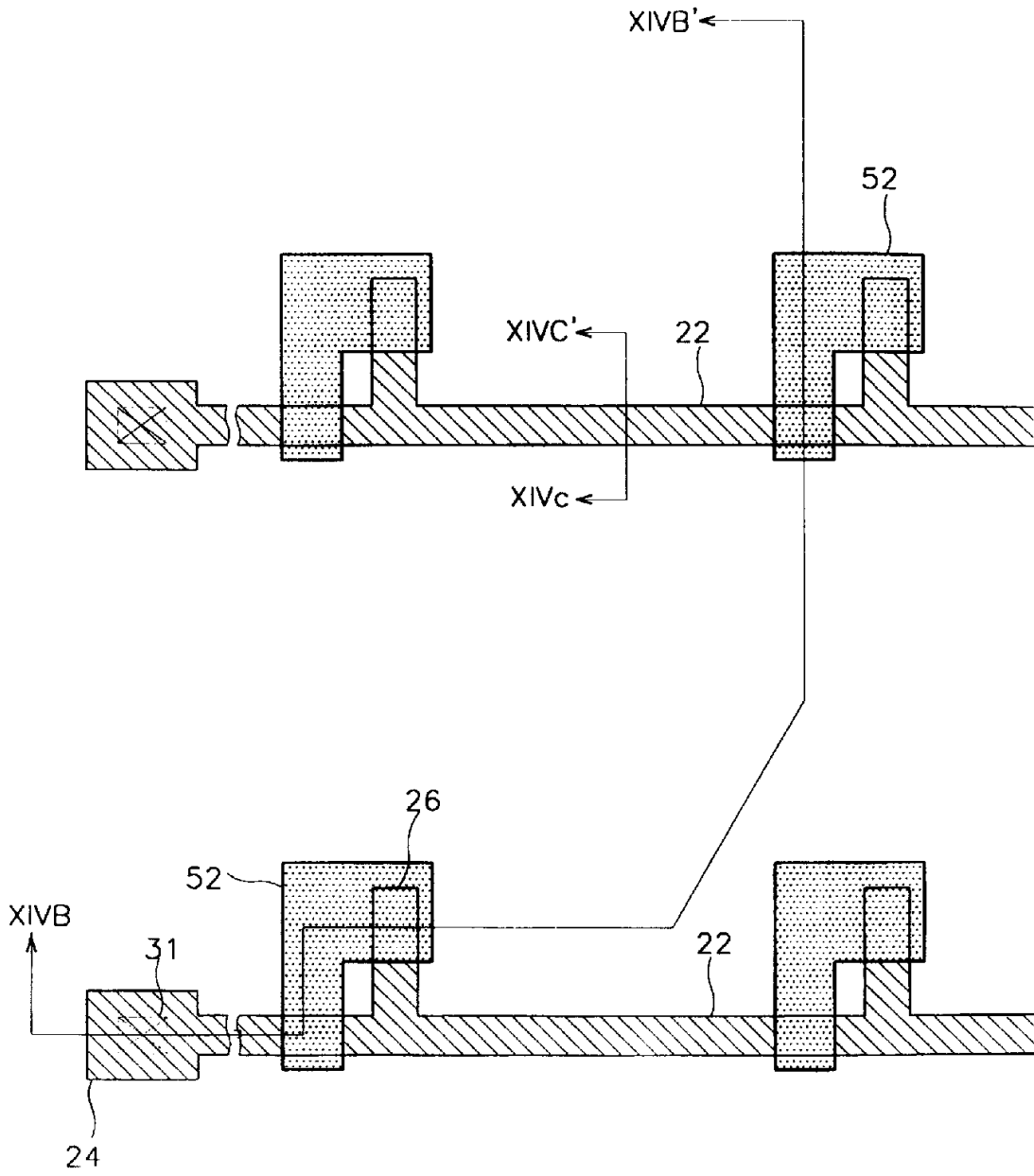


图 14A

1000
1000
1000
1000
1000
1000
1000
1000
1000
1000

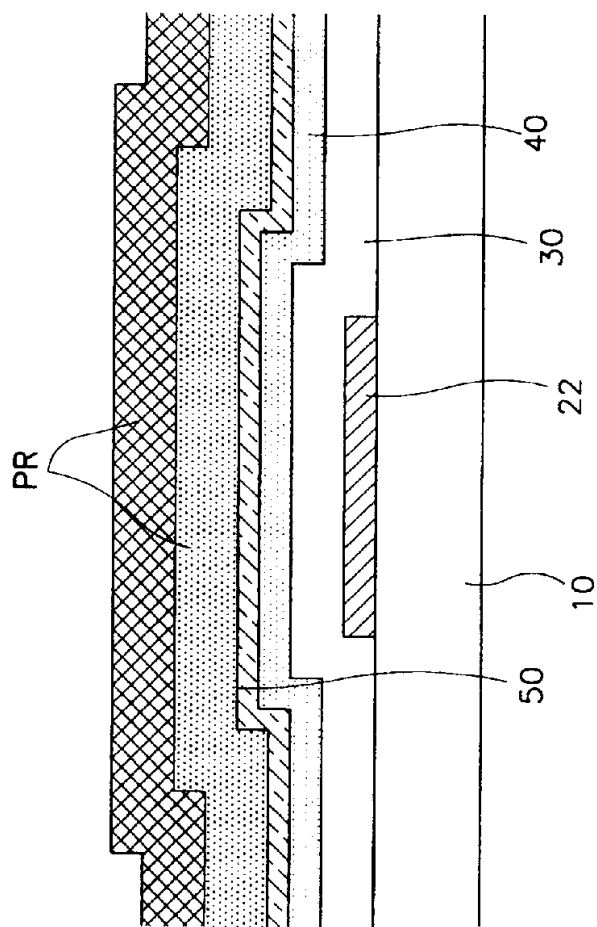
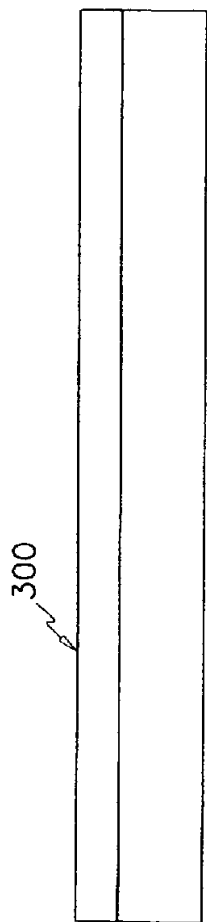


图 14C

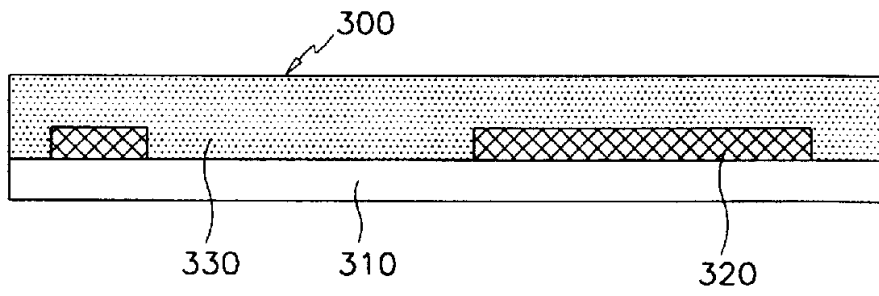


图 15A

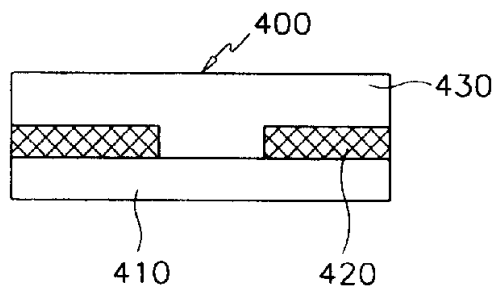


图 15B

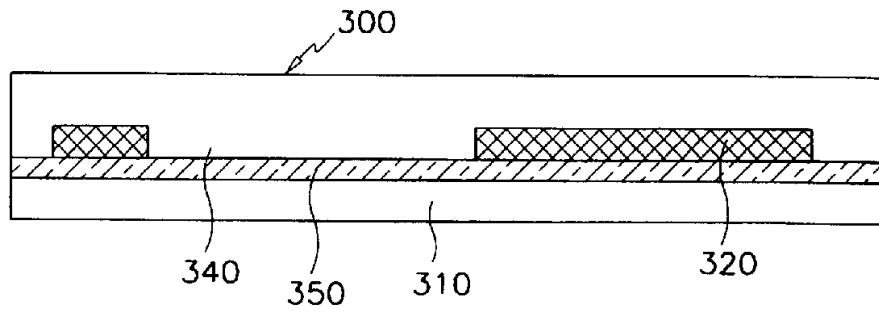


图 16A

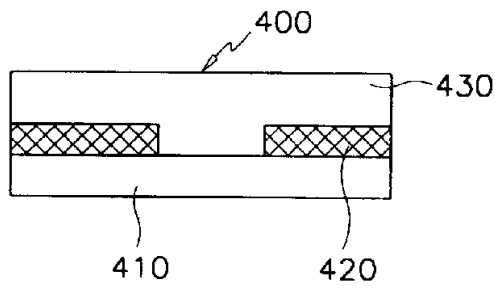


图 16B

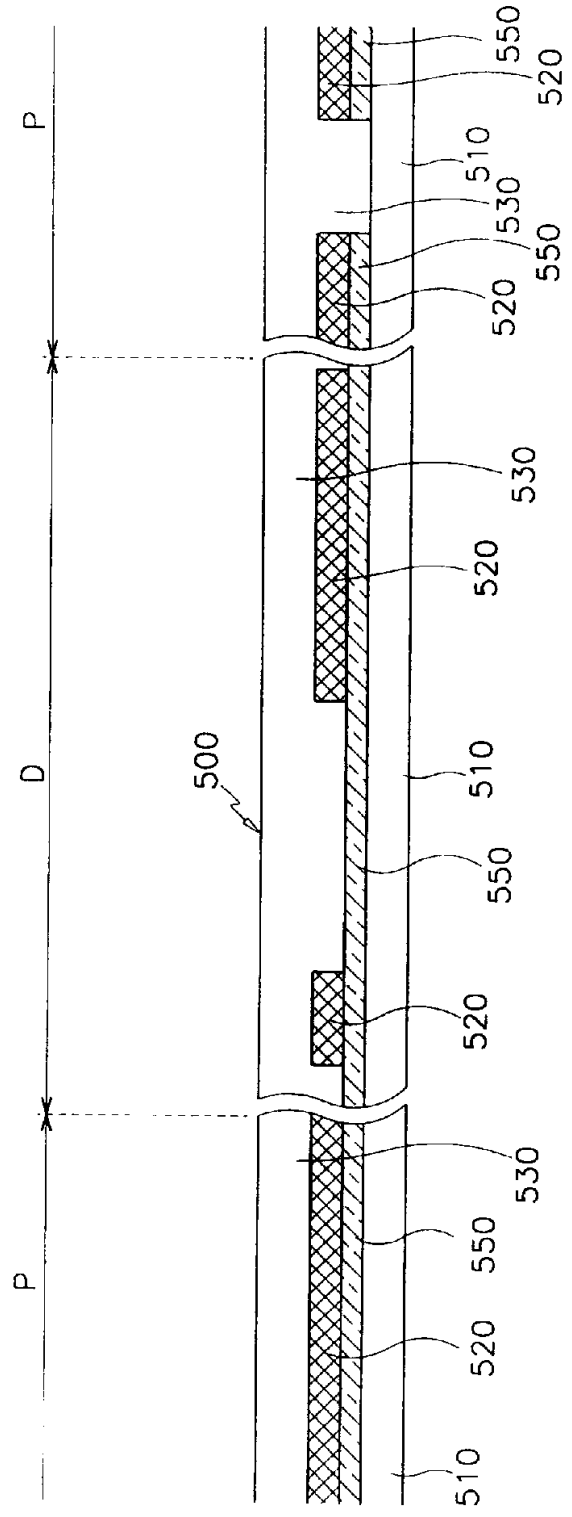


图 17

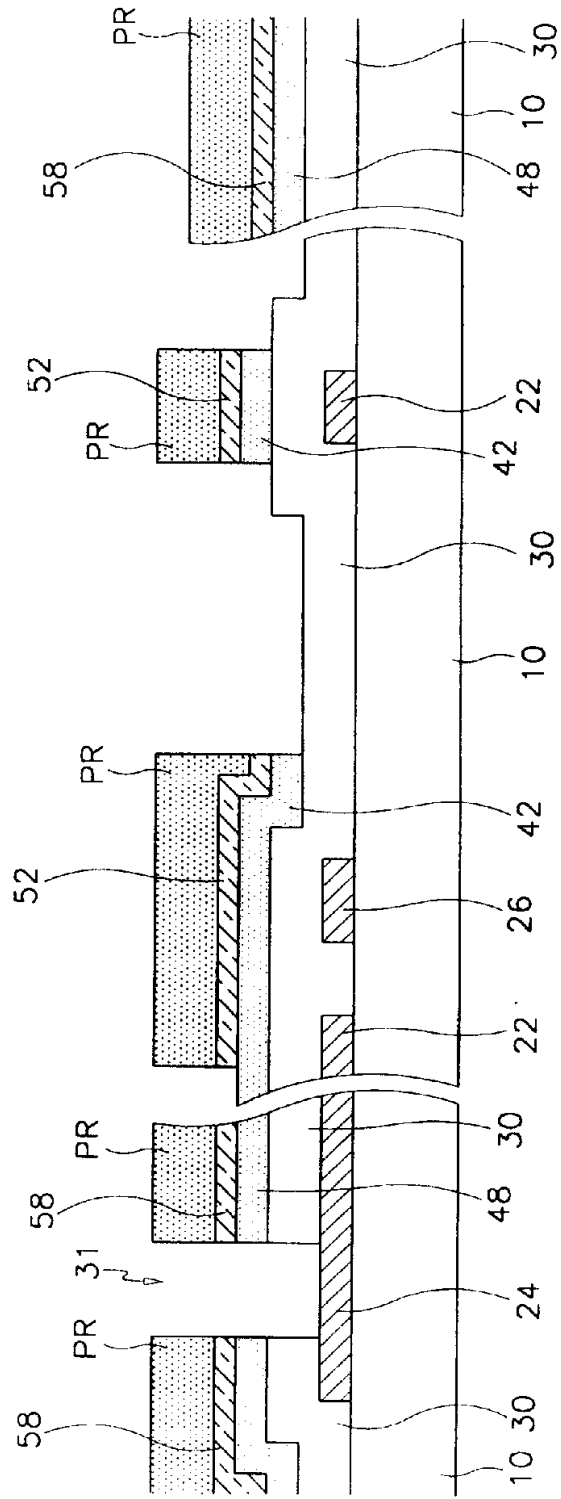


图 18A

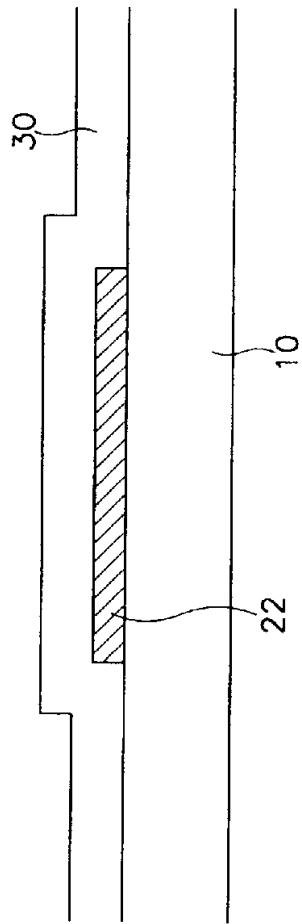


图 18B

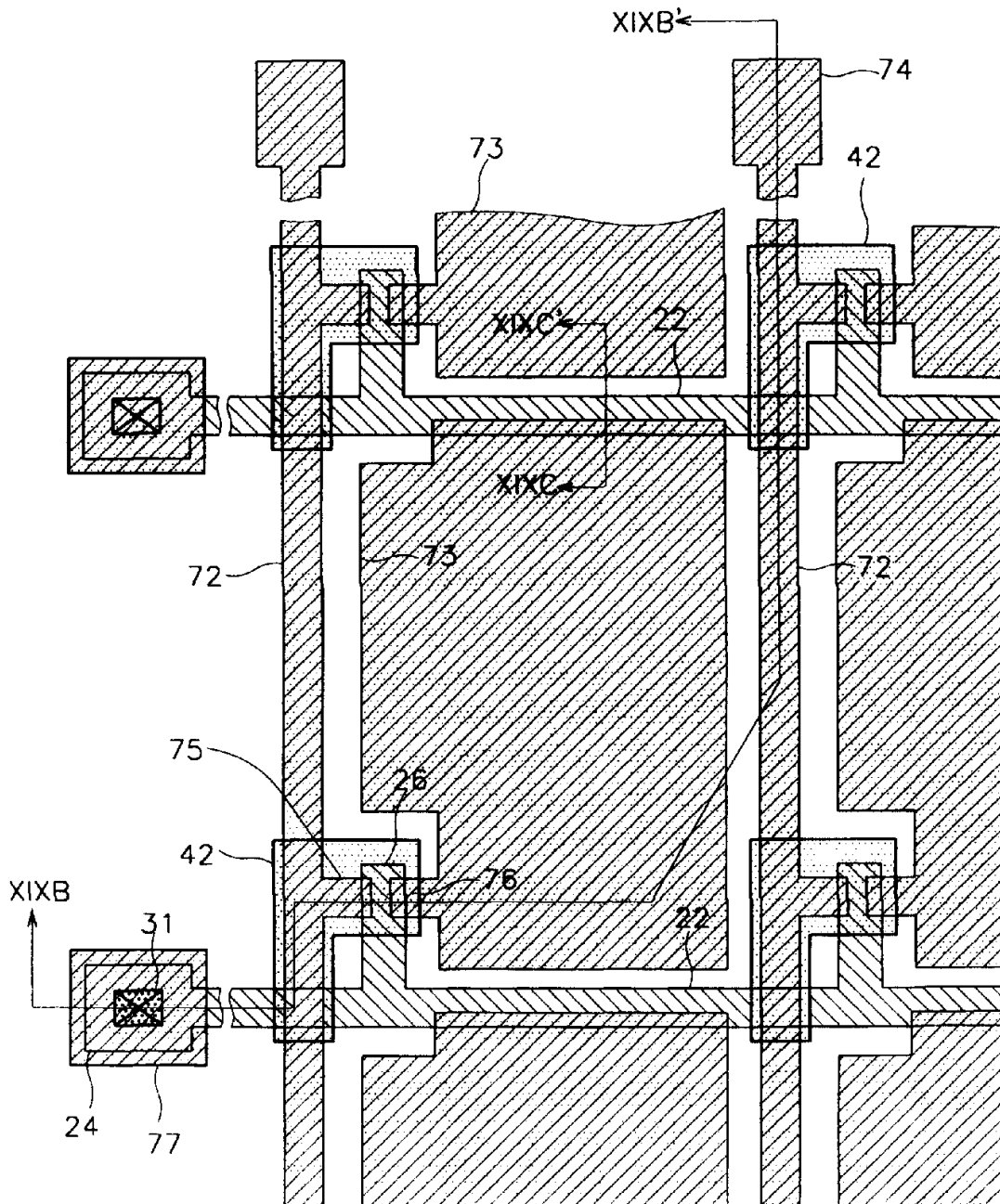


图 19A

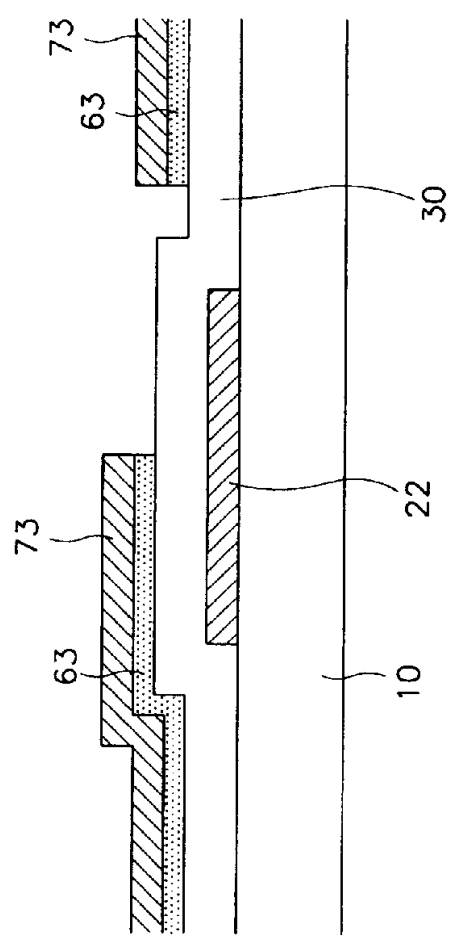


图 19C

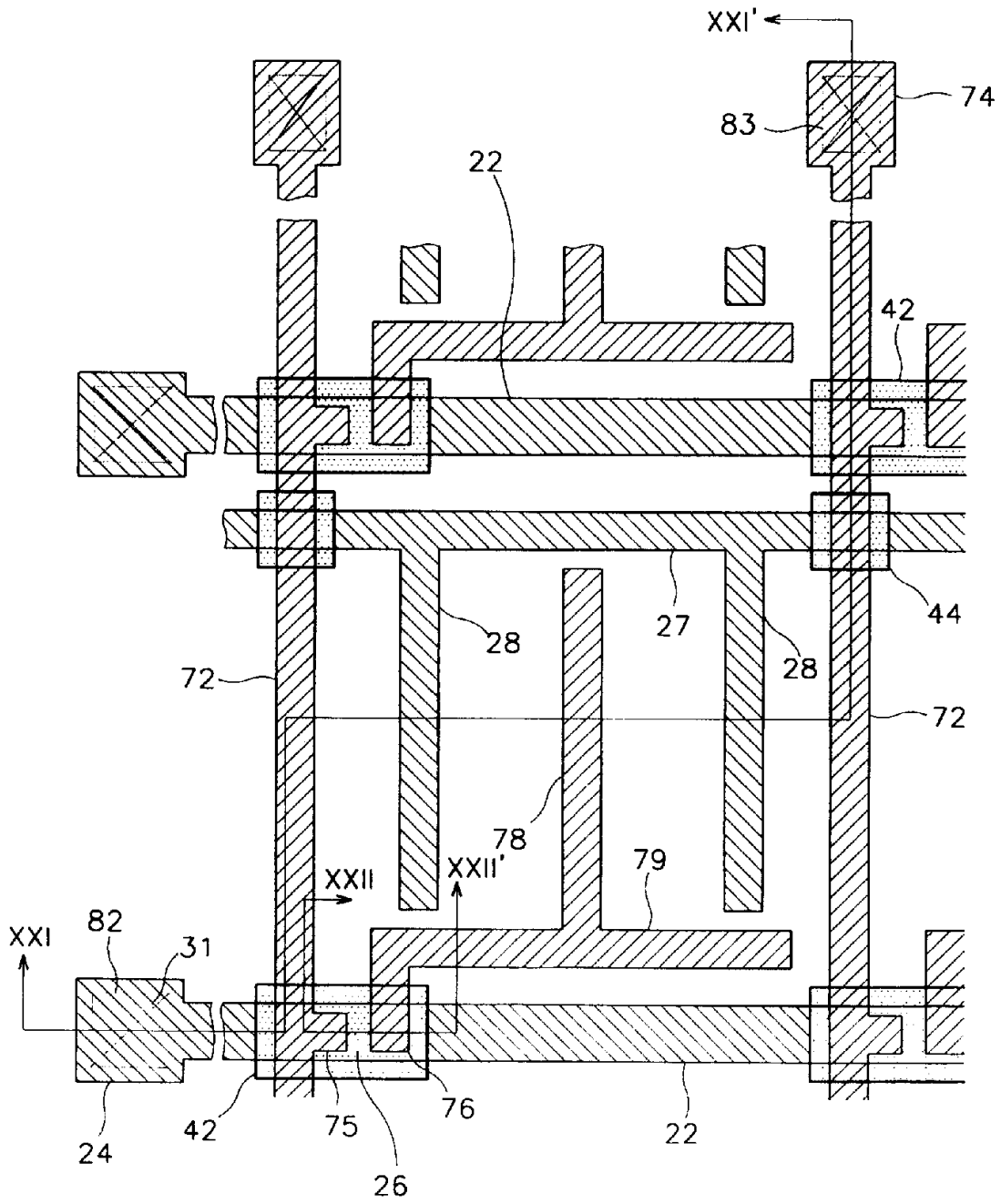


图 20

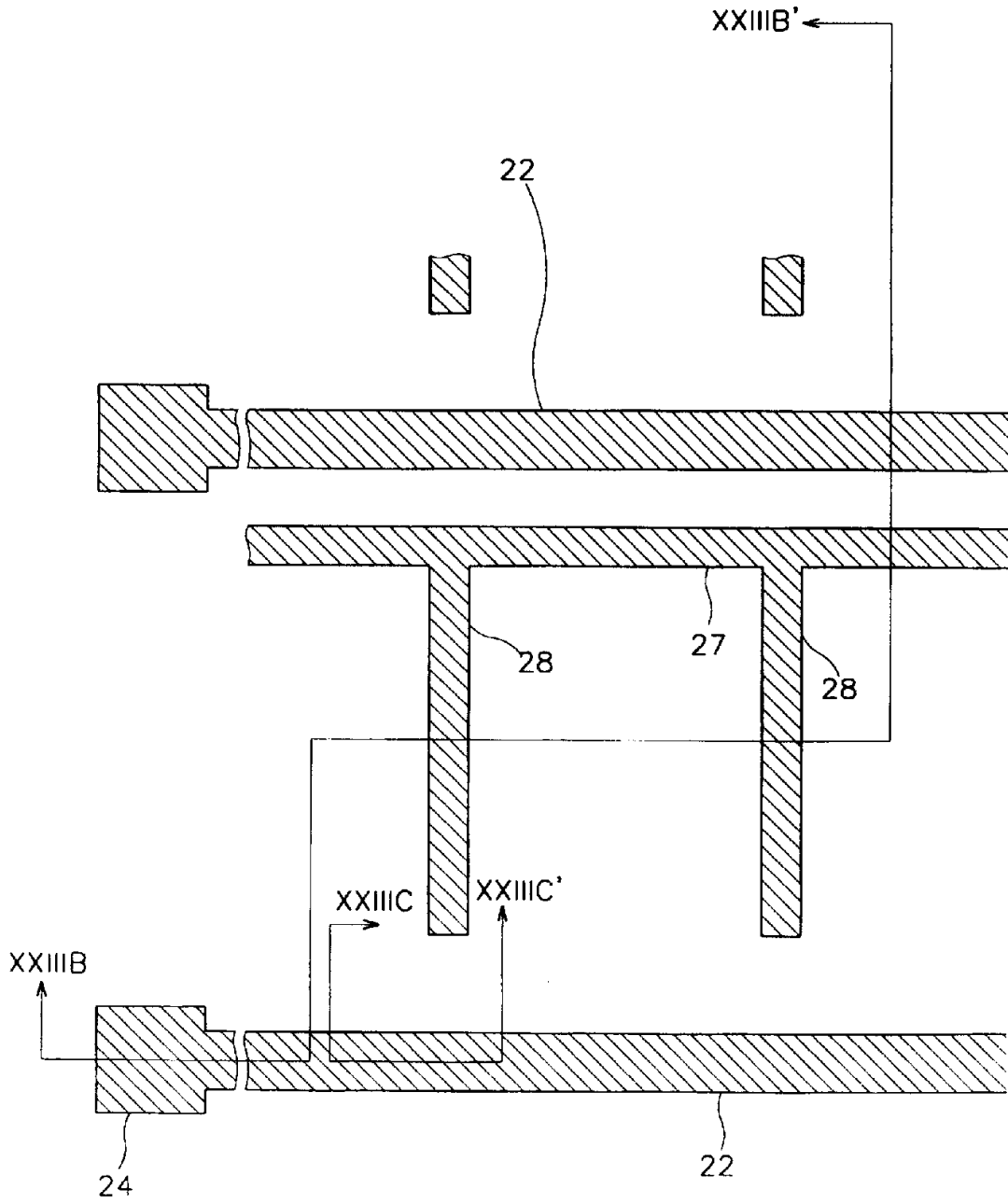


图 23A

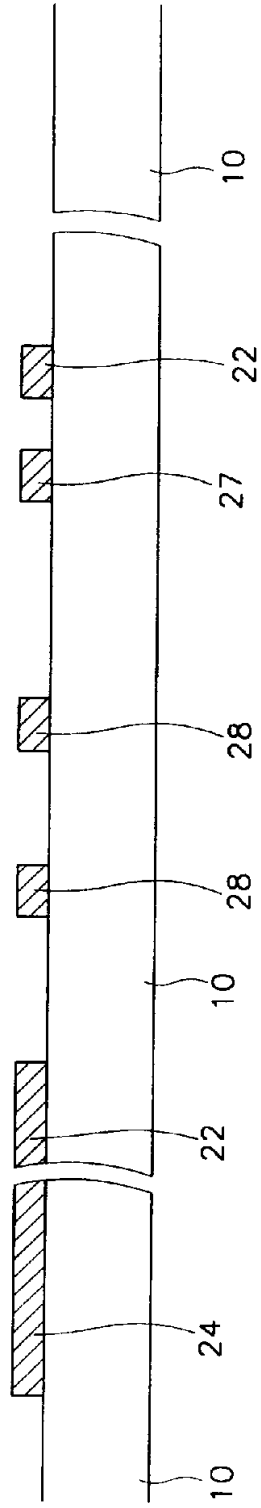


图 23B

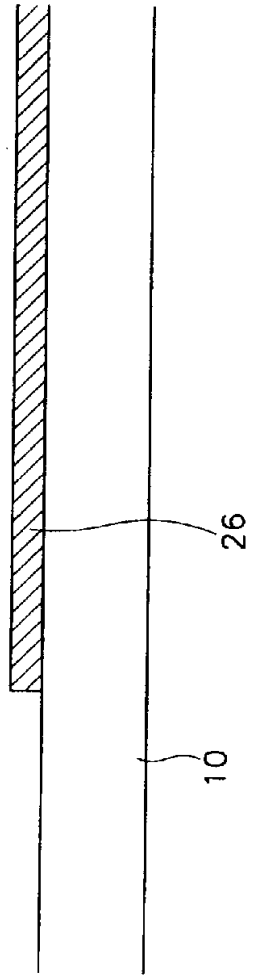


图 23C

34

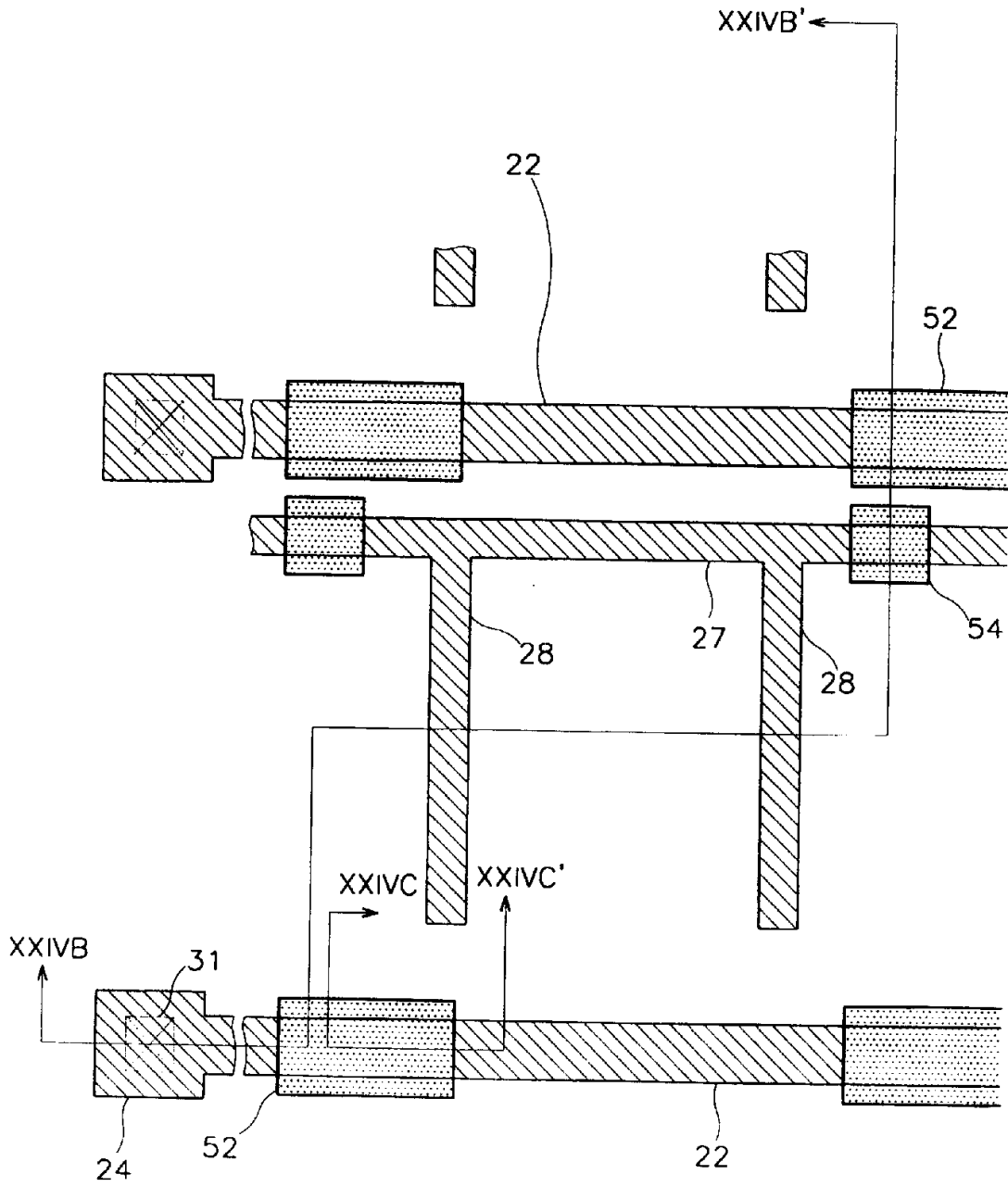


图 24A

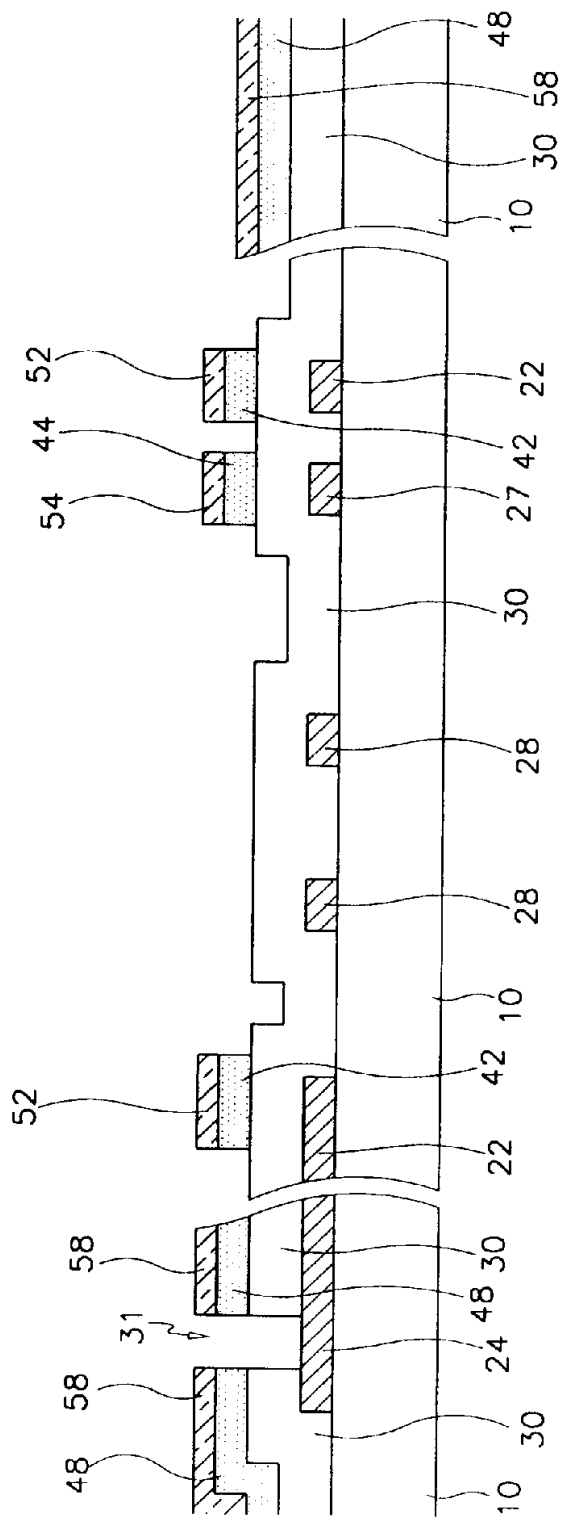


图 24B

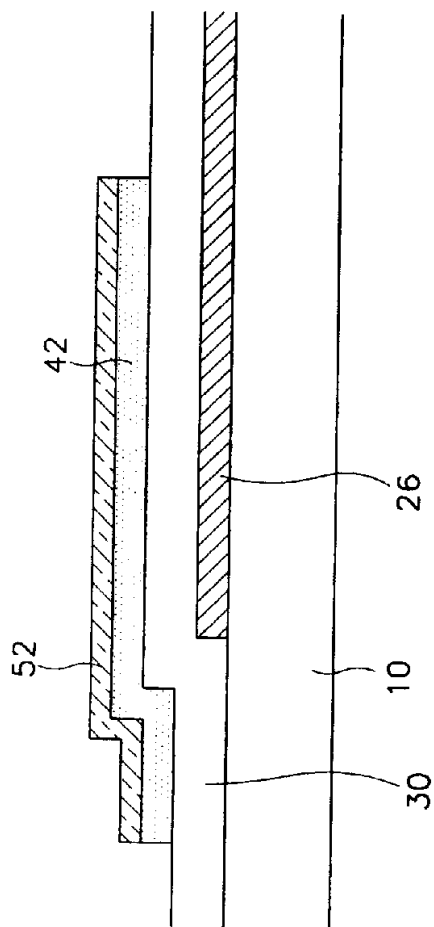


图 24C

33
32
31
30
29
28
27
26
25
24
23
22
21
20
19
18
17
16
15
14
13
12
11
10
9
8
7
6
5
4
3
2
1

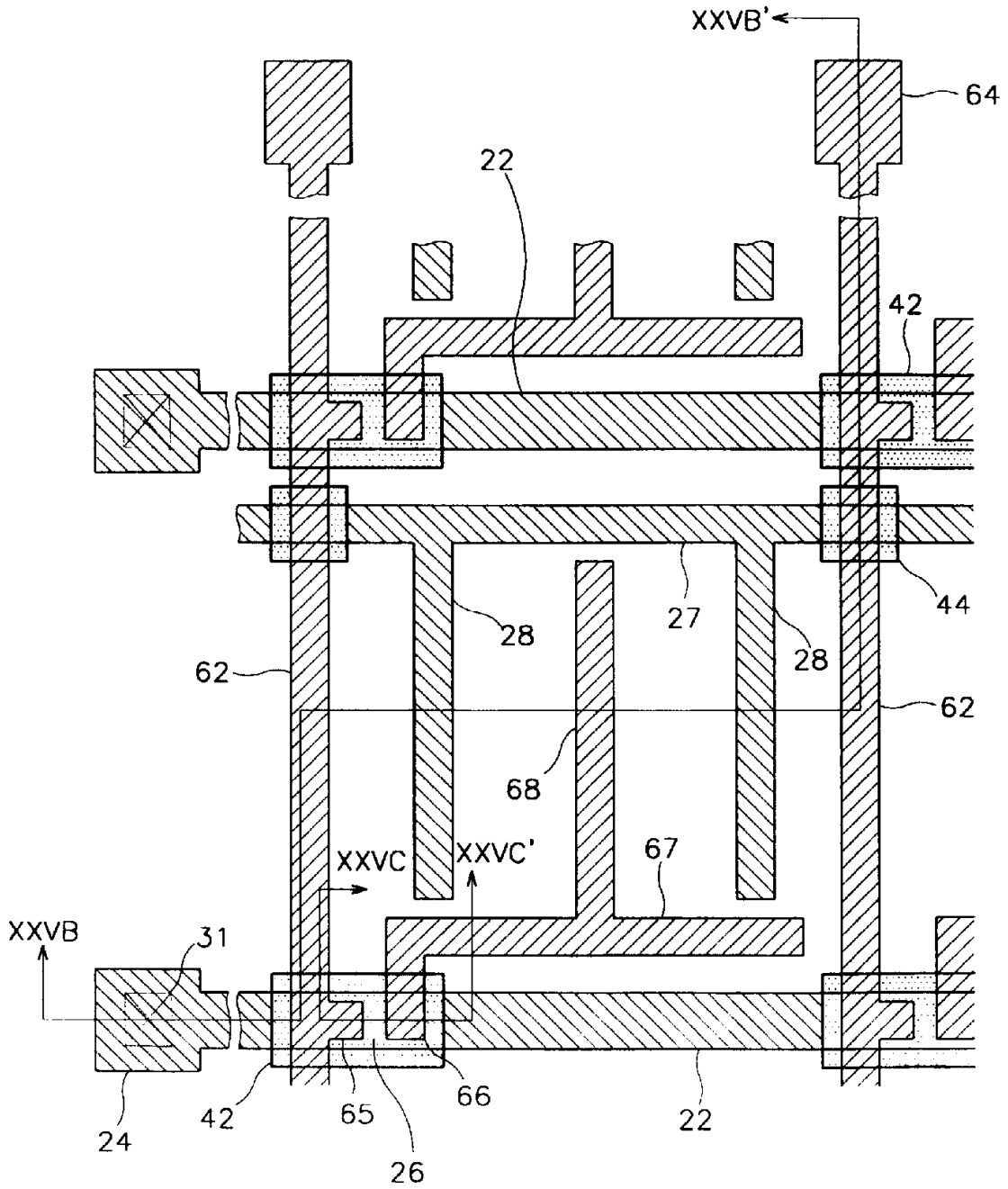


图 25A

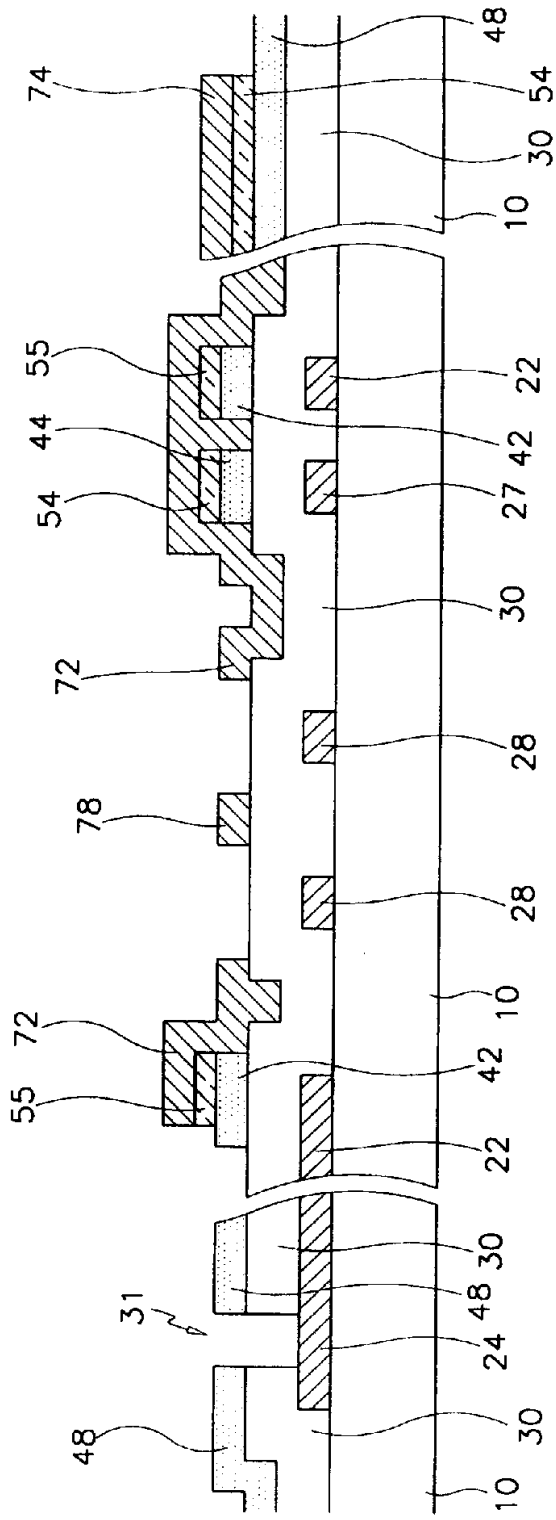


图 25B

