

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2017-520880

(P2017-520880A)

(43) 公表日 平成29年7月27日 (2017.7.27)

(51) Int.Cl.	F I	テーマコード (参考)
H01M 10/42 (2006.01)	H01M 10/42 P	2G216
H04L 25/02 (2006.01)	H04L 25/02 303B	5G503
G01R 31/36 (2006.01)	G01R 31/36 Z	5H030
H02J 7/02 (2016.01)	H02J 7/02 F	5K029

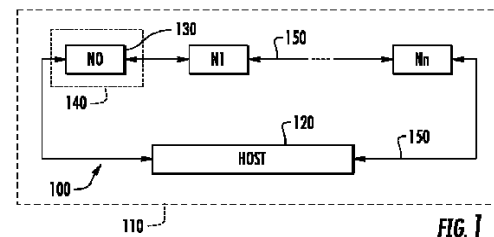
審査請求 有 予備審査請求 未請求 (全 31 頁)

(21) 出願番号	特願2016-560477 (P2016-560477)	(71) 出願人	509316442 テスラ・モーターズ・インコーポレーテッド アメリカ合衆国・カリフォルニア・94304・パロ・アルト・ディア・クリーク・ロード・3500
(86) (22) 出願日	平成27年4月2日 (2015.4.2)	(74) 代理人	100090169 弁理士 松浦 孝
(85) 翻訳文提出日	平成28年10月31日 (2016.10.31)	(74) 代理人	100124497 弁理士 小倉 洋樹
(86) 国際出願番号	PCT/US2015/024148	(72) 発明者	ディメン, イアン シー アメリカ合衆国, カリフォルニア州 94304, パロ アルト, ディア クリーク ロード 3500
(87) 国際公開番号	W02015/153911	Fターム (参考)	2G216 AB01 BA00 CB51 CC03
(87) 国際公開日	平成27年10月8日 (2015.10.8)		最終頁に続く
(31) 優先権主張番号	61/974, 225		
(32) 優先日	平成26年4月2日 (2014.4.2)		
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 エネルギー貯蔵システムにおける通信およびデータ転送の機能的冗長性

(57) 【要約】

エネルギー貯蔵システムは、ホストと、エネルギー貯蔵モジュールと、複数のノードと、ホストの第1の部分からノードを順に通ってホストの第2の部分までループを形成する通信およびデータ転送媒体とを備え、各ノードが、エネルギー貯蔵モジュールの対応するモジュールに実装されていて、そのエネルギー貯蔵モジュールを監視および制御するように構成されており、各ノードでは、第1および第2のデバイスが、通信およびデータ転送媒体を使って、少なくとも部分的に冗長的な通信およびデータ転送機能を実行するように構成されている。



【特許請求の範囲】**【請求項 1】**

ホストと、
エネルギー貯蔵モジュールと、
複数のノードと、

前記ホストの第 1 の部分から前記ノードを順に通って前記ホストの第 2 の部分までループを形成する通信およびデータ転送媒体とを備え、

各ノードが、前記エネルギー貯蔵モジュールの対応するモジュールに実装されていて、そのエネルギー貯蔵モジュールを監視および制御するように構成されており、

各ノードでは、第 1 および第 2 のデバイスが、前記通信およびデータ転送媒体を使って少なくとも部分的に冗長的な通信およびデータ転送機能を実行するように構成されていることを特徴とするエネルギー貯蔵システム。

10

【請求項 2】

前記第 1 および第 2 のデバイスが、冗長的な通信およびデータ転送機能をまるまる実行するように構成されていることを特徴とする請求項 1 に記載のエネルギー貯蔵システム。

【請求項 3】

前記第 2 のデバイスで実行される通信およびデータ転送機能が、第 1 のデバイスによって実行される通信およびデータ転送機能と比べて、精度が抑えられていることを特徴とする請求項 1 に記載のエネルギー貯蔵システム。

【請求項 4】

前記第 1 および第 2 のデバイスが、前記ノードモニタリングもしくは測定機能をまるまる実行することを特徴とする請求項 1 に記載のエネルギー貯蔵システム。

20

【請求項 5】

前記通信およびデータ転送媒体が、2 つの物理的導体から成り、通信およびデータ転送が、異なるデータスキームをもって、前記 2 つの物理的導体に渡って実行されることを特徴とする請求項 1 に記載のエネルギー貯蔵システム。

【請求項 6】

前記通信およびデータ転送媒体および各ノードが、トランス結合 (coupling) および受動分周多重化によって、互いに接続されていることを特徴とする請求項 1 に記載のエネルギー貯蔵システム。

30

【請求項 7】

前記受動周波数分周多重化が、受動の周波数分割器 (crossover circuit) によって実行され、

前記周波数分離回路が、前記第 1 のデバイスに対して R L 回路をもつローパス分岐部と、前記第 2 のデバイスに対して R C 回路をもつハイパス分岐部とを備え、

前記トランス結合が、前記通信およびデータ転送媒体と前記受動周波数分離回路との間に磁気変圧器を備えることを特徴とする請求項 6 に記載のエネルギー貯蔵システム。

【請求項 8】

前記受動周波数分離回路が、さらに、前記 R L 回路および R C 回路各々にそれぞれ 2 次的ローパスフィルタ経路を備え、

40

各二次的ローパスフィルタ経路が、一連の抵抗および短絡コンデンサを備えていることを特徴とする請求項 7 に記載のエネルギー貯蔵システム。

【請求項 9】

前記ハイパス分岐部の前記 2 次的ローパスフィルタ経路に、R C ハイパスフィルタをさらに備えることを特徴とする請求項 8 に記載のエネルギー貯蔵システム。

【請求項 10】

前記ノードが、前記第 1 および第 2 のデバイスが実装される少なくとも 1 つの積分回路を含み、

前記 R L 回路、前記 R C 回路および前記 2 次的ローパスフィルタ経路が前記少なくとも 1 つの積分回路の外に置かれており、そして、

50

前記 R C ハイパスフィルタが、前記少なくとも 1 つの積分回路の一部であることを特徴とする請求項 9 に記載のエネルギー貯蔵システム。

【請求項 11】

周波数偏移変調された信号が、少なくとも前記ハイパス分岐部に転送され、

前記ノードは、周波数偏移変調された信号の成分を識別するように構成された周波数識別回路を含み、

前記周波数識別回路は、少なくとも 2 つの 1 サンプル (one-sample) 遅延レジスタと第 1 加算器をもつフィードバックループとを含むデータ経路を形成し、そして、

前記周波数偏移変調された信号は、前記 2 つの 1 サンプル遅延レジスタの間に位置する第 2 加算器とともに前記データ経路に対して加えられることを特徴とする請求項 7 に記載のエネルギー貯蔵システム。

10

【請求項 12】

前記周波数識別回路が、前記データ経路において否定を含み、

前記周波数偏移変調された信号が、信号 (x) の算術否定が $-x = \text{NOT}(x) + 1$ によってもたらされる 2 つの相補的符号表示を使って表され、そして、

前記周波数識別回路が、算術否定を実行するときに +1 の処理を省くことを特徴とする請求項 11 に記載のエネルギー貯蔵システム。

【請求項 13】

前記周波数識別回路が、ゲインブロックにおける定数 k により定義される応答周波数を有し、前記周波数偏移変調された信号のサンプリング周波数の $1/4$ において $k = 0$ が応答周波数を中心とするようになっていることを特徴とする請求項 11 に記載のエネルギー貯蔵システム。

20

【請求項 14】

前記周波数識別回路に対する定数 k は、q が整数の場合に $+/-2^q$ として選択され、

前記周波数識別回路は、前記ゲインブロックを表すビットシフトを実装する配線接続の交番部 (alternation) を有することを特徴とする請求項 13 に記載のエネルギー貯蔵システム。

【請求項 15】

定数 k の負の値に対し、前記周波数識別回路は、前記フィードバックループ内の前記加算器の後に否定演算部を含むことを特徴とする請求項 13 に記載のエネルギー貯蔵システム。

30

【請求項 16】

前記周波数識別回路は、自身によるエネルギー累積を表す出力を生成するノルム検出ブロックを含み、そして、

その出力が閾値を超える場合、前記周波数識別回路は、前記 1 サンプル遅延レジスタをリセットすることを特徴とする請求項 11 に記載のエネルギー貯蔵システム。

【請求項 17】

前記第 1 および第 2 の加算器各々が、符号オーバーフロー検出器を有し、

前記周波数識別回路が、前記第 1 および第 2 加算器それぞれからのオーバーフロー信号の論理素子 OR による結びつきを通じて、閾値検出を実行することを特徴とする請求項 16 に記載のエネルギー貯蔵システム。

40

【請求項 18】

前記周波数識別回路が、周波数の区別されたパルス列をラッチするように構成されたラッチブロックと、累算レジスタセットと、A L U とを備え、

前記ラッチブロックが、前記累算レジスタと前記 A L U に対し、(i) 入力値 1 に対して T R U E であり、入力値 -1 に対して F A L S E であり、入力値 0 に対して F A L S E である検出信号と、(i i) 1 もしくは -1 が現れると T R U E であり、そうでなければ F A L S E であるインクリメント・デクリメントコマンド信号とを生成することを特徴とする請求項 11 に記載のエネルギー貯蔵システム。

【請求項 19】

50

前記第 1 および第 2 のデバイスが、第 1 および第 2 の信号成分それぞれを受信し、

前記ノードが、信号エネルギーのシフトを検出するための少なくとも 1 つのエッジ検出部を備え、

前記エッジ検出部が、畳み込み積分が条件付き符号変換処理となるように、値が - 1 もしくは + 1 である極性をもつ矩形状インパルス応答をパルス密度列に畳み込むことを実行するように構成されていることを特徴とする請求項 1 に記載のエネルギー貯蔵システム。

【請求項 2 0】

ホストと、

複数のエネルギー貯蔵モジュールと、

複数のノードと、

10

前記ホストの第 1 の部分から前記ノード各々を順に通って前記ホストの第 2 の部分までループを形成する通信およびデータ転送媒体とを備え、

各ノードが、前記エネルギー貯蔵モジュールの対応するモジュールに実装されていて、そのエネルギー貯蔵モジュールを監視および制御するように構成されており、

各ノードでは、前記通信およびデータ転送媒体を使って少なくとも部分的に冗長的な通信およびデータ転送機能を実行する手段を備えていることを特徴とするエネルギー貯蔵システム。

【請求項 2 1】

エネルギー貯蔵システムにおける通信およびデータ転送の方法であって、

ホストから前記エネルギー貯蔵システム内の複数のノードの少なくとも 1 つへの信号を生成し、

20

各ノードが、エネルギー貯蔵モジュールの対応するモジュールに実装され、そのエネルギー貯蔵モジュールを監視および制御するように構成され、

通信およびデータ転送媒体を通じて受信された信号が、前記ホストの第 1 部分から各ノードを順に通じて前記ホストの第 2 部分までループを形成し、

その信号の第 1 の位置を前記ノード内の第 2 のデバイスへ導き、

その信号の第 2 の位置を前記ノード内の第 2 のデバイスへ導き、

前記第 1 のデバイスによって、および前記第 1 の部分に基づいて、通信もしくはデータ転送の第 1 機能を実行し、そして、

前記第 2 のデバイスによって、および前記第 2 の部分に基づいて、通信もしくはデータ転送の第 2 機能を実行し、

30

前記第 1 および第 2 の機能が、少なくとも部分的に冗長的であることを特徴とする方法。

【請求項 2 2】

時計回り方向に沿って前記通信およびデータ転送媒体の特定セグメントの前に配置された任意のノードに対してのみ、ループ内で時計回り方向に信号を送るとともに、反時計回り方向に沿って特定セグメントの前に配置された任意のノードに対してのみループ内で反時計周りに信号を送るように、前記ホストを構成し、

各ノードが、前記ノードに信号が到着する時計回り方向あるいは反時計回り方向にのみ応答するように構成されていることを特徴とする請求項 2 1 に記載の方法。

40

【請求項 2 3】

各ノードが、前記通信およびデータ転送媒体において時計回りおよび反時計回りに、前記ホストからの信号に対して同一の応答を転送することを特徴とする請求項 2 1 に記載の方法。

【請求項 2 4】

前記ホストが、マンチェスター符号化を伴う周波数偏移変調に基づいて、信号スキームを使用し、

各ノード内のエンコーダによって認識される同期シーケンスの前に有効信号を置き、そして、有効信号内に決して現れない不当パターンの前に同期シーケンスを置くことを特徴とする請求項 2 1 に記載の方法。

50

【請求項 25】

前記ノードが、信号 x と y に対して周波数分別を実行し、
近似信号エネルギーを、 $|x| + |y|$ あるいは $\text{Max}(|x|, |y|)$ として決定し、そして、
近似信号エネルギーを閾値と比較することを特徴とする請求項 21 に記載の方法。

【請求項 26】

近似信号エネルギーが $\text{Max}(|x|, |y|)$ として決定され、
閾値が、前記ノードでのデータバス幅よりも大きいのを表すため 1 つ余分なビットを必要とする数に設定され、
近似信号エネルギーが閾値に届きそうになるのを検出し、そして、
閾値と等しい近似信号エネルギーが得られる前に 1 つ余分なビットを捨てることを特徴とする請求項 25 に記載の方法。

10

【請求項 27】

信号エネルギーの偏移を検出するため各ノードにおいてエッジ検出を実行することを特徴とする請求項 21 に記載の方法。

【請求項 28】

前記エッジ検出が、パルス密度列での畳み込み積分を含み、
出力サンプルが畳み込みカーネルのレート of 固定倍数で生成されるように、パルス密度列をダウンサンプリングすることを特徴とする請求項 27 に記載の方法。

20

【請求項 29】

エッジ検出での一周の累積が、せいぜい 1 つの入力パルスが累積の周回中に届くようなレートによって実行されることを特徴とする請求項 27 に記載の方法。

【請求項 30】

正のパルスが 1 周の累積期間中に到達し、
その正のパルスを次の周回の累積に対してラッチし、そして、
負のパルスが累積の周回中に届かない限り、その正のパルスを累算レジスタに対して加算あるいは減算し、届いた場合にはその正の入力パルスを無効とすることを特徴とする請求項 29 に記載の方法。

【発明の詳細な説明】

30

【関連出願】

【0001】

本出願は、2014 年 4 月 2 日に「周波数多重化バッテリー通信」のタイトルで出願された、シリアル No. 61/974、225 の米国仮出願の出願日の利益を主張し、その全内容は、ここに参照することで組み込まれている。

【背景技術】

【0002】

多くの種類のエネルギー貯蔵システムが存在する。例えば、再充電可能な電池に電気エネルギーを格納するシステムがある。エネルギー貯蔵システムのコンポーネントに対する制御レベルは、安全で効率的なオペレーションを確実に行うことが望ましい。

【発明の概要】

40

【0003】

発明の第 1 の態様において、エネルギー貯蔵システムは、ホストと、エネルギー貯蔵モジュールと、複数のノードと、ホストの第 1 の部分からノードを順に通ってホストの第 2 の部分までループを形成する通信およびデータ転送媒体とを備え、各ノードが、エネルギー貯蔵モジュールの対応するモジュールに実装されていて、そのエネルギー貯蔵モジュールを監視および制御するように構成されており、各ノードでは、第 1 および第 2 のデバイスが、通信およびデータ転送媒体を使って、少なくとも部分的に冗長的な通信およびデータ転送機能を実行するように構成されている。

【0004】

実装は、以下の特徴の任意あるいはすべてを含むことができる。第 1 および第 2 のデバ

50

イスが、冗長的な通信およびデータ転送機能をまるまる実行するように構成されている。第2のデバイスで実行される通信およびデータ転送機能が、第1のデバイスによって実行される通信およびデータ転送機能と比べて、精度が抑えられている。第1および第2のデバイスが、ノードモニタリングもしくは測定機能をまるまる実行する。通信およびデータ転送媒体が、2つの物理的導体から成り、通信およびデータ転送が、異なるデータスキームをもって、2つの物理的導体に渡って実行される。通信およびデータ転送媒体および各ノードが、トランス結合(coupling)および受動周波数分周多重化によって、互いに接続されている。受動周波数分周多重化が、受動の周波数分離回路(crossover circuit)によって実行され、周波数分離回路が、第1のデバイスに対してRL回路をもつローパス分岐部と、第2のデバイスに対してRC回路をもつハイパス分岐部とを備え、トランス結合が、通信およびデータ転送媒体と受動周波数分離回路との間に磁氣的トランスを備える。さらに受動周波数分離回路が、RL回路およびRC回路各々にそれぞれ2次的ローパスフィルタ経路を備え、各2次的ローパスフィルタ経路が、一連の抵抗および短絡コンデンサを備えている。ハイパス分岐部の2次的ローパスフィルタ経路に、RCハイパスフィルタをさらに備える。ノードが、第1および第2のデバイスが実装される少なくとも1つの積分回路を含み、RL回路、RC回路および2次的ローパスフィルタ経路が少なくとも1つの積分回路の外に置かれており、そして、RCハイパスフィルタが、少なくとも1つの積分回路の一部である。周波数偏移変調された信号が、少なくともハイパス分岐部に転送され、ノードは、周波数偏移変調された信号の成分を識別するように構成された周波数識別回路を含み、周波数識別回路は、少なくとも2つの1サンプル(one-sample)遅延レジスタと第1加算器をもつフィードバックループとを含むデータ経路を形成し、そして、周波数偏移変調された信号は、2つの1サンプル遅延レジスタの間に位置する第2加算器とともにデータ経路に対して加えられる。周波数識別回路が、データ経路において否定を含み、周波数偏移変調された信号が、信号(x)の算術否定が $-x = \text{NOT}(x) + 1$ によってもたらされる2つの相補的符号表示を使って表され、そして、周波数識別回路が、算術否定を実行するとき+1の処理を省く。周波数識別回路が、ゲインブロックにおける定数kにより定義される応答周波数を有し、周波数偏移変調された信号のサンプリング周波数の $1/4$ において $k = 0$ が応答周波数を中心とするようになっている。周波数識別回路に対する定数kは、qが整数の場合に $+/-2^{-q}$ として選択され、周波数識別回路は、ゲインブロックを表すビットシフトを実装する配線接続の交番部(alternation)を有する。定数kの負の値に対し、周波数識別回路は、フィードバックループ内の加算器の後に否定演算部を含む。周波数識別回路は、自身によるエネルギー累積を表す出力を生成するノルム検出ブロックを含み、そして、その出力が閾値を超える場合、周波数識別回路は、1サンプル遅延レジスタをリセットする。第1および第2の加算器各々が、符号オーバーフロー検出器を有し、周波数識別回路が、第1および第2加算器それぞれからのオーバーフロー信号の論理素子ORによる結びつきを通じて、閾値検出を実行する。周波数識別回路が、周波数の区別されたパルス列をラッチするように構成されたラッチブロックと、累算レジスタセットと、ALUとを備え、ラッチブロックが、累算レジスタとALUに対し、(i)入力値1に対してTRUEであり、入力値-1に対してFALSEであり、入力値0に対してFALSEである検出信号と、(ii)1もしくは-1が現れるとTRUEであり、そうでなければFALSEであるインクリメント・デクリメントコマンド信号とを生成する。第1および第2のデバイスが、第1および第2の信号成分それぞれを受信し、ノードが、信号エネルギーのシフトを検出するための少なくとも1つのエッジ検出部を備え、エッジ検出部が、畳み込み積分が条件付き符号変換処理となるように、値が-1もしくは+1である極性をもつ矩形インパルス応答をパルス密度列に畳み込むことを実行するように構成されている。

【0005】

本発明の第2の態様では、エネルギー貯蔵システムは、ホストと、複数のエネルギー貯蔵モジュールと、複数のノードと、ホストの第1の部分からノード各々を順に通ってホストの第2の部分までループを形成する通信およびデータ転送媒体とを備え、各ノードが、

エネルギー貯蔵モジュールの対応するモジュールに実装されていて、そのエネルギー貯蔵モジュールを監視および制御するように構成されており、各ノードでは、通信およびデータ転送媒体を使って少なくとも部分的に冗長的な通信およびデータ転送機能を実行する手段を備えている。

【0006】

本発明の第3の態様は、エネルギー貯蔵システムにおける通信およびデータ転送の方法であって、ホストからエネルギー貯蔵システム内の複数のノードの少なくとも1つへの信号を生成し、各ノードが、エネルギー貯蔵モジュールの対応するモジュールに実装され、そのエネルギー貯蔵モジュールを監視および制御するように構成され、通信およびデータ転送媒体を通じて受信された信号が、ホストの第1部分から各ノードを順に通じてホストの第2部分までループを形成し、その信号の第1の位置をノード内の第2のデバイスへ導き、その信号の第2の位置をノード内の第2のデバイスへ導き、第1のデバイスによって、および第1の部分に基づいて、通信もしくはデータ転送の第1機能を実行し、そして、第2のデバイスによって、および第2の部分に基づいて、通信もしくはデータ転送の第2機能を実行し、第1および第2の機能が、少なくとも部分的に冗長的である。

【0007】

実装は、以下の特徴の任意あるいはすべてを含むことができる。時計回り方向に沿って通信およびデータ転送媒体の特定セグメントの前に配置された任意のノードに対してのみ、ループ内で時計回り方向に信号を送るとともに、反時計回り方向に沿って特定セグメントの前に配置された任意のノードに対してのみループ内で反時計回りに信号を送るように、ホストを構成し、各ノードが、ノードに信号が到着する時計回り方向あるいは反時計回り方向にのみ応答するように構成されている。各ノードが、通信およびデータ転送媒体において時計回りおよび反時計回りに、ホストからの信号に対して同一の応答を転送する。ホストが、マンチェスター符号化を伴う周波数偏移変調に基づいて、信号スキームを使用し、各ノード内のエンコードによって認識される同期シーケンスに対して有効信号を優先し、そして、有効信号内に決して現れない不当のパターンに対して同期シーケンスを優先する。ノードが、信号xとyに対して周波数分別を実行し、近似信号エネルギーを、 $|x| + |y|$ あるいは $\text{Max}(|x| + |y|)$ として決定し、そして、近似信号エネルギーを閾値と比較する。近似信号エネルギーが $\text{Max}(|x| + |y|)$ として決定され、閾値が、ノードでのデータバス幅よりも大きいのを表すため1つ余分なビットを必要とする数に設定され、近似信号エネルギーが閾値に届きそうになるのを検出し、そして、閾値と等しい近似信号エネルギーが得られる前に1つ余分なビットを捨てる。信号エネルギーの偏移を検出するため各ノードにおいてエッジ検出を実行する。エッジ検出が、パルス密度列での畳み込み積分を含み、出力サンプルが畳み込みカーネルのレートの固定倍数で生成されるように、パルス密度列をダウンサンプリングする。エッジ検出での一周の累積が、せいぜい1つの入力パルスが累積の周回中に届くようなレートによって実行される。正のパルスが1周の累積期間中に到達し、その正のパルスを次の周回の累積に対してラッチし、そして、負のパルスが累積の周回中に届かない限り、その正のパルスを累算レジスタに対して加算あるいは減算し、届いた場合にはその正の入力パルスを無効とする。

【図面の簡単な説明】

【0008】

【図1】エネルギー貯蔵部の通信システムの一例を示した図である。

【図2】図1の通信システムに使用可能なサブノードをもつノード構造の一例を示した図である。

【図3】図2のノード構造に対する論理ノード接続性の一例を示した図である。

【図4】図2のノード構造とともに使用可能なトランスおよび周波数分離回路の一例を示した図である。

【図5】図4の周波数分離回路に使用可能な受信部の信号経路の一例を示した図である。

【図6】図2の任意のサブノードに使用可能なデジタル信号処理コンポーネントの一例を示した図である。

10

20

30

40

50

【図 7 A】図 2 の任意のサブノードでの周波数別に使用可能なフィルタブロックの一例を示した図である。

【図 7 B】図 7 A のフィルタブロックにおける全体を表すグラフの一例を示した図である。

【図 8】図 2 の任意のサブノードにおける周波数別に使用可能な他のフィルタブロックの一例を示した図である。

【図 9】フィルタブロックおよびリセット信号の一例を示した図である。

【図 10】ダウンサンプリングされた畳み込み処理の積算およびダンプ実装の一例を示した図である。

【図 11】エッジ検出部に対する畳み込み処理の一例を示した図である。

10

【図 12 A】図 2 の任意のサブノードのデータ経路におけるエッジ検出とともに使用可能なラッチブロックの一例を示した図である。

【図 12 B】図 2 の任意のサブノードのデータ経路におけるエッジ検出とともに使用可能な累算レジスタセット、A L U そして比較ブロックの一例を示した図である。

【図 12 C】図 2 の任意のサブノードのデータ経路におけるエッジ検出とともに使用可能なタイミング論理素子の一例を示した図である。

【発明を実施するための形態】

【0009】

本明細書は、リチウムイオン電池のバッテリーバックなどエネルギー貯蔵システムの通信およびデータ転送における冗長的機能のパフォーマンスの例を記載している。分散型バッテリー監視システムは、すべての通信およびデータ転送機能に関し、バッテリー内の隣り合う通信ノード間でたった 2 つの電気的導体を使うことによって、少なくとも一部機能的冗長性を示すことができる。いくつかの実施では、2 つの独立した別々の通信スキームが、同じ円環トポロジーの電気的分離通信媒体 (galvanically isolated communications medium) を共有し、それらは物理的にノードで区別可能である。各スキームは、円環に沿ってデータが一方向 (あるいは両方向) に通信できるように、各媒体区分に関して双方向性をもつ。これは、通信媒体の任意の区分における混乱 (disruption) の影響を減少あるいは除去する。

20

【0010】

いくつかあるいはすべてのノードは、それぞれスキームが割り当てられていて、物理的に分離した機能的冗長性をもつデバイスを備えることが可能であり、これによって、デバイスの混乱あるいは破壊を抑え、あるいは取り除くことができる。幾つかの実施では、冗長的デバイスは、いくらか異なる機能性をもたせることができる。例えば、第 1 のデバイスは、第 2 のデバイスに対し類似した測定機能をもつことができるが、これらは精度を落とした仕様あるいは要求にすることができる。これは、電気で動く乗り物の駆動列内などにおけるエネルギー貯蔵システムの故障耐性および信頼性の高い動作を提供する一方、追加的なコストを最小限に抑える。その他の例として、想定した故障において必要なデータだけを提供することを目的とするのであれば、各デバイスは、好ましいレベルでシステムの機能性を実現できるように、完全に違った機能性をもつこともできる。

30

【0011】

図 1 は、エネルギー貯蔵部 110 における通信システム 100 の一例を示す。エネルギー貯蔵部は、特定の文脈において、エネルギーを提供するおよび / またはエネルギーが提供されるために設計および実装されるユニットである。2 つの例を挙げると、エネルギー貯蔵部は、電気車両内のバッテリーバックのような形で車両内の (1 つの) エネルギー源として装備可能であり、あるいは、電力源 (例えばソーラーパネル) と組み合わせた定置の電気エネルギー貯蔵部として役立つ。

40

【0012】

通信システム 100 は、任意あるいは多数あるノードすべてと時折通信することに従事するホスト 120 を備え、ノード状態の監視、あるいはノードからのデータ収集などを行う。ホストはソフトウェア、ファームウェア、ハードウェアあるいはそれらの組合せによ

50

って実装可能である。例えばホストは、複数のスキームを使用するコンピュータ実行可能な命令を含むことが可能であり、ノードと通信するとともに、ノードとデータ転送を取り交わす。

【0013】

通信システム100は、多数のノード130を含む。ここでは、ノードを $N_1 \sim N_n$ と呼び、 n は2以上である。ネットワークの観点から見ると、ホスト120は、バス上で他のもの(entities)と通信し、それらに依って認識されていることから、ノードとみなすことも可能である。しかしながら、明確にするため上記用語が本明細書において続けて使われる。

【0014】

各ノードは、エネルギー貯蔵部110内の特定のエネルギー貯蔵モジュール140に関連して実装されている。すなわち、各ノードは、関連するエネルギー貯蔵モジュールの動作を制御し、また、その動作と他のエネルギー貯蔵モジュールの特性とを監視することができる。ノードは、ソフトウェア、ファームウェア、ハードウェアあるいはそれらの組合せによって実装することが可能である。例えばノードは、複数のスキームを使用するに実行可能な命令を含むことが可能であり、ホストと通信するとともに、ホストとデータ転送を取り交わす。

【0015】

ある実装においては、ノードが割り当てられるエネルギー貯蔵モジュールは、エネルギー貯蔵部110内で物理的に分離した装置である。例えばモジュールは、互いに電氣的に接続したリチウムイオン電池を含むハウジングであり、電池を放電あるいは蓄電するために外部に電氣的接点を備える。

【0016】

通信システム100は、一对のノード130を互いに連続的な列へ繋げ、その列の端をホストに繋げる通信媒体150を備える。これは、通信システム100に対し、円環トポロジをもつループの形を提供する。媒体は、ループ全体あるいはその一部を通じていずれか一方向(すなわち、時計回りあるいは反時計回り)に伝わる信号を伝えるために使用される。媒体は、システム内の意図された受信者によって検出可能であって、十分な再現性をもつ信号を伝える任意の材料から成ればよい。例えば、電気信号を送送する場合、媒体には電氣的に導電性のある材料が含まれる。

【0017】

すなわち、通信システム100は、安全な動作、適切なモニタリングそして効果的なエネルギー管理に監視、多数のエネルギー貯蔵モジュール各々を制御するように実装可能である。例えば、ホストとノードは、互いにデータ通信およびデータ転送するように構成される。通信システムは、ホストからノードへデータを集めるのを容易にし、また、ノードにおいて実行可能な機能を発揮させるあるいは止めるようなホストから各ノードへの信号転送、およびそのような信号送信に対する応答の転送を容易にする。いくつかの実装では、通信システムは、すべてのデータ転送がホストからのコマンドあるいは要求によって開示されるように構成され、これは、プロトコルを容易にするとともに、バスアービトレーション(bus arbitration)スキームの必要性を取り除く。

【0018】

ある実装においては、ネットワーク上での各ノードに関連する通信の成功および失敗の統計値を収集し、そして/あるいは通信媒体の各セグメントに跨るデータ転送の成功および失敗の統計値を収集する。これにより、断続的あるいは誤った動作の疑いがあるセグメントを使うことを避けるように、ホストが自身の動作を選択することが可能となる。ある実装では、場合によってホストがネットワークにおいてデータを転送し、ネットワークの整合性(integrity)を調べることが可能である。例えば、転送されたパッケージは、ホストに戻ってくるまでループに沿って伝搬することが可能であり、そして/あるいはパッケージは、順番に並べられたセグメントのテストを自動的に開始させるようにノードを指示することができる。このようなあるいはその他の機能は、セグメントごとをベースにし

10

20

30

40

50

てホストがネットワークの整合性を確かめることに役立つことができ、これによって、ネットワークにおける故障を孤立させることを容易にする。

【0019】

通信システムを具現化するための例示的な内容を提供するため、エネルギー貯蔵部110およびエネルギー貯蔵モジュール140を今まで説明してきた。簡単にいえば、例示された具体例のこれらあるいは他のいくつかの側面は、以下の説明において明示的に示されない。また、円環トポロジーのネットワークで接続されたホストとノードは、互いに異なる空間的関係をもつことができる。そのような、様々な要素の異なるレイアウトパターンあるいはスタックパターンが使用可能であり、いくつかの例を説明する。

【0020】

図2は、図1の通信システムに使用可能なサブノードを装備したノード構造の一例を示す。2つのノードが、本一例中にそれぞれ N_{k-1} 、 N_k の符号が付いて示されており、 k は1~ n までの数であり、 n は、特定の実装におけるノード全体の数である。すなわち、本一例は、円環トポロジー内の任意のノード対130に関連する。先に述べたように、2つのノードは、通信媒体のセグメントによって接続されており、セグメントは、ここでは符号 M_k が付されている。

【0021】

各ノードは、監視および測定装置を備え、符号 P （一次サブノード）と符号 S （二次サブノード）がそれぞれ付けられている。本一例では、各ノードに対して2つのサブノードが示されているが、それを超えた数のノードを使用してもよい。そのようなデバイスは、2つもしくはそれより多い通信スキームを用いる媒体を通じた信号伝送に基づき、少なくとも通信およびデータ転送について冗長的な機能を発揮する。サブノードは、ノード内で互いに物理的に分かれていてもよい。最新の例では、符号 S の二次サブノードにおけるいくつかの動作の側面が、符号 P の一次サブノードと比べて犠牲になっていた。しかしながら、他の実装では、これらデバイスは、機能を同じにすることが可能であり、これによって十分に冗長性をもつ。

【0022】

ここで媒体セグメント M_k に戻ると、サブノード P と S それぞれに導くこの両矢印は、図1の通信媒体150における特定のセグメントに対応する。これら媒体セグメントは、1つの通信スキームを使ったサブノード P とホストとの間の通信を容易にし、また、他の通信スキームを使ったすべてのサブノード S 間での通信を容易にする。

【0023】

通信システムの環状バスで使用される各通信スキームは、特定の媒体セグメントの故障の場面においても、パケット情報を所定のノードに対してうまく転送させる能力を提供する。これは、媒体内におけるただ一点の故障に対する許容性を与える。ある実装では、断続的な誤りだけである媒体セグメントに直面した場合にも、スキームは同じ方法で作用し、これはシステムの信頼性をより高める。

【0024】

X が付された要素は、媒体セグメント M_k とそれぞれのサブノードを指し示す一対の両矢印との間に位置決めされている。すなわち、この例におけるノード N_k 、 N_{k-1} 各々は、2つの要素 X を備え、これは、少なくとも2つの通信スキームが最小限のインターフェイスによって同じ通信媒体のセグメントを共有することを可能にする。ある実装では、要素 X は、抵抗、キャパシタ、インダクタンスそしてトランスなどの受動要素を含む。例えば、これは、コスト、ロバスト性、および/または信頼性の観点から見て強みを提供する。しかしながら、他の実装では、要素 X は代替的あるいは追加的に能動要素を含むことも可能である。

【0025】

通信システムの実装では、受動分周多重化（passive frequency division multiplexing）が使用される。これは、冗長的な一対のデバイス（ここではサブノード）が、互いに相手の動作状態を完全に無視して、同じ通信媒体セグメント上で同時に動作することを可

10

20

30

40

50

能にする。異なった言い方をすれば、一方のデバイスの不調が機能的に冗長性をもつ相手の動作を分断させるリスクが最小限になる。また、受動多重化は、2つの掛け合わせた冗長的サブネットワークに限定されず、任意の数に適用することが可能である。これは、2つよりも多い数のサブノードが相互インターフェイスなしで通信媒体にアクセスすることを可能にする。

【0026】

分周多重実装部においては、要素Xが、1つの周波数の信号が1つのサブノードPから他のサブノードPへ伝搬するのを可能にする一方、実質的にこの信号がサブノードSへ伝搬するのを防ぐように周波数領域で信号をフィルタ処理するのに役立つ。一方、他の周波数域の信号は、反対に、サブノードSからサブノードSへ伝搬可能である一方、サブノードPに到達するのが妨げられている。例示では、サブノードP、Sそれぞれと要素Xを接続する両矢印によって表されている。

10

【0027】

ある実装では、周波数帯域が、そのうちの1つが通常0Hzの直流(DC)信号を含むように選ばれる。これは、ローパスフィルタの使用によって容易にその周波数帯域が選択され、ハイパスフィルタの使用によってその帯域が除かれる。信号転送に関する具体例としては、そのようなフィルタ処理後に2つの信号帯域が組み合わせられ、実質的に周波数の選択なしで、ガルバニック絶縁バリアを跨ぐ信号伝送を可能にする要素に接続される。様々な適切な種類のコンポーネントがこの目的に適用可能であり、磁気変圧器(magnetic transformer)、DC阻止コンデンサ、音響カプラ、あるいはその他の電氣的絶縁部材に跨って信号を転送および受信する装置を含むが、これに限定されない。

20

【0028】

図3は、図2のノード構造に対する論理的ノード接続性の一例を示す。本例は、論理的なデータの流れを示す矢印が示されていることを除いて、先の例示に対応している。これに従い、物理的信号の流れを示す先に議論した媒体セグメント、コンポーネントXおよび両矢印は、透かした状態で示している。

【0029】

コンポーネントXは、これら例示されている2つのサブシステムにおいて、通信システムが独立して相互作用可能なサブシステムへ効果的に分解されるのを可能にする。コンポーネントXが正しく動作するとき、任意の媒体セグメント上での1つのスキーム(例えば、サブノードP)からの通信信号の存在は、同じセグメント上での他のスキーム(例えば、サブノードS)からの信号の転送、伝達および受信に影響を与えない。すなわち、ここでの矢印300は、一方では、サブノードPそれぞれとホストとの間の論理的なデータの流れを表し、他方では、サブノードSそれぞれとホストとの間の論理的データの流れを表す。

30

【0030】

これらの論理的流れは、様々な通信システムの部分において実行される多数の種類の動作に関する信号に対応することができる。第1に、状態チェックを行い、そして/またはノード動作を制御するように、ホストとノード間で通信が交換される。そして、このような通信の冗長的バージョンは、サブノードP、サブノードSそれぞれによって受信される、あるいはそれぞれから送信されるのであり、この例では矢印300によって表されている。同様に、データはホストとそれぞれのサブノードとの間で転送可能であり、矢印300は、同様にそのような転送を示す。例えば、そのようなデータの冗長的バージョンが、ホストからの情報要求に応じて、特定ノードのサブノードにより生成される。部分的あるいは全体的にサブノードそれぞれによって冗長的に実行される他の機能は、監視機能(例えば、エネルギー貯蔵モジュールが適正に動作しているかというノード判断)および測定機能(例えば、ノードがエネルギー貯蔵モジュールの動作特性を測定する)を含むが、これに限定されない。

40

【0031】

さらに、通信システムの環状トポロジーの結果として、任意のあるセグメント(例えば

50

、 M_k)を取り除くことが、任意のサブノードをホストから完全に非接続にさせることにはならない。むしろ、ノードからホストへの路は、上記ケースのように、ループ内を時計回りもしくは反時計回りに移動する信号に対して損なわれない。その他の利益は、所定のサブノードの不調もしくは損失がせいぜいサブノードに対して影響するだけであり、コンポーネントXが機能する限り、他のサブノードからホストへの通信を中断させることにはならない。ある実装では、コンポーネントXによって実行される機能に対して特定される要求は、サブノードの不調もしくは欠損が、同じノード内の他のサブノードに対する通信を中断させないことである。

【0032】

一般に通信処理について議論すると、正確な機能の範囲は、ネットワーク内の任意の場所における通信媒体の終了を受け入れるべき通信媒体の物理的トポロジに従う。例えば、システムは、ある状態から他の状態へ変化させる特定のノードを生じさせるコマンドを含む。ある実装では、コマンドの受信が不確定のときにシステムがコマンドを送信しないように構成される。なぜなら、ノードが明確にコマンドを受信したことがわからない場合、そのときのノードの状態も不明となっているからである。

【0033】

一例として、物理的位置に基づいて連続的に接続したノードに対する一連のアドレスの割り当てを説明する。ある実装では、ホストは、アドレスおよびTTL (time to live) の値を含むパケットを第1のノード (例えば、図1にある N_0 あるいは N_n) へ転送することによって、そのようなアドレスの割り当てを実行することができる。そのパケットのアドレスをノードが自身に割り当てることは、アドレスを1だけ増加させるとともに、TTL値を1だけ減少させる。TTL値が0になった場合、ノードは他のノードへパケットを転送しない。それとは別に、ノードは修正したパケットを転送する。すなわち、媒体セグメントの実行可能性が不明であるとホストが確定した場合、ホストは、パケットが生じたセグメントの反対側サイドにあるノードに対して影響を与えるアドレスパケットを転送するのを防ぐことができる。これは、そのセグメントの使用を避けることによって、ホストが完全な決定的アドレス割り当てを維持することを可能にする。このアドレス操作の説明は、ただ例示可能な目的に対してのみされるものであり、通信システムの円環トポロジー内である位置に向けてノードだけを対象にする能力は、概してデータ転送に役立つ。

【0034】

上述した要求は、他の方法によって満たすことができる。例えば、二進状態のノードに基づくデータの条件付き再転送が使用可能である。そのような状態は、分離したデータパケットの受信によって変化可能であり、あるいは、再転送されたデータパケットの受信によって自動的に変化することができる。他の例では、正常なデータパケットの受信を確認するために、ノードからのアクノリッジ応答が利用可能である。

【0035】

また通信システムは、通信スキームに従い、環状バス上のノードがホストに応答する特定の方法を定める。例えば、応答がそれを要求するノード (ここでは、ホスト) に到着するような方法で、ノードがデータ要求に応答しなければならないということを定めることができる。これにより、ホストが断続あるいは正常でないセグメントに跨ってデータ転送することを防ぐことができると想定すれば、ノードは、要求が来た反対側方向へその応答を返信することができる。しかしながら、2つ以上のセグメントが断続する事態、あるいは、ホストがセグメントの断続を確認することが実際にできない事態が生じる。そのような状況では、応答するノードがループの両方向へ同一メッセージを転送するのが好都合である。正確に言うと、このノードからの応答メッセージの転送には、実際には少なくとも2つのメッセージ (通信処理を実行する各冗長的デバイスからのメッセージ) が含まれる。そのようなになっているため、ノードは、状況に応じて、多数の応答メッセージを反対方向へ返信する、あるいは、ループの各方向へ多数の応答メッセージを送信することができる。

【0036】

上記例示の観点から見れば、エネルギー貯蔵システムは、ホスト、エネルギー貯蔵モジュール、複数のノード、そして通信およびデータ転送媒体とを備えることができる。各ノードは、対応するエネルギー貯蔵モジュールに実装可能であり、そのエネルギー貯蔵モジュールを監視および制御するように構成することができる。媒体は、ホストの第1位置から連続的なノードを通してホストの第2位置までのループを形成することができる。各ノードでは、第1および第2のデバイスが、通信およびデータ転送媒体を使って、冗長的な通信およびデータ転送機能を少なくともその一部において実行するように構成することが可能である。

【0037】

図4は、図2のノード構造とともに使用可能な変圧器400および周波数分割器(crossover network)402の一例を示している。互いにノードを結ぶ通信媒体のセグメントとして役立つ2つの導線404が、変圧器(transformer)400に接続されている。ある実装では、導線が、変圧器400の端子に取り付けられる近接端を有する一対の捻じりワイヤとなっている。さらに、変圧器の遠位端は、他のノードあるいはホストの端子に取り付けられている。例えば、2つの変圧器の電圧差あるいは電流差としてデータを符号化するのに、相違データスキームが使用可能である。

【0038】

そして変圧器400は、物理的導体404と周波数分割器402との間での連結を行う。逆に周波数分割器は、少なくとも、サブノード406Aに対するローパス分岐部(arm)402Aとサブノード406Bに対するハイパス分岐部402Bとを形成する。ある実装では、2つよりも数の多い分岐部およびデバイスを各ノードに使用することが可能である。サブノード406A、406Bは、ここではノード内で部分的あるいは完全な冗長的機能性を実行する2つのデバイスを表す。

【0039】

ローパス分岐部402Aは、抵抗-インダクタンス(RL)回路を形成する抵抗とインダクタンスとを備える。RL回路のフィルタ特性は、特有のトランジション周波数をもつローパスフィルタに相当する。同様に、ハイパス分岐部402Bは、特定のトランジション周波数をもつハイパスフィルタのフィルタ特性を備えた抵抗-コンデンサ(RC)回路を形成する抵抗および静電容量とを備える。そのようなデバイスを使用する場合、ローパス分岐部とハイパス分岐部どちらを一次的もしくは二次的サブノードに接続させるかという制限がない。むしろ、各サブノードが、周波数分割器の対応する分岐部に利用可能な周波数転送領域に適した通信スキームを使用する。

【0040】

RL回路およびRC回路の特性を、特有の実装に基づいてデザインすることが可能である。しかしながら、ある実装では、これら回路が同一のトランジション周波数をもつように要素が選択される。そして、トランジション周波数よりも相当低い信号は、主にローパス分岐部へ送られ、トランジション周波数よりも相当高い信号は、主にハイパス分岐部へ送られる。トランジション周波数に近い信号は、その周波数でのフィルタコンダクタンスの比を反映する比率で、2つの分岐部に分離される。実質的に同じトランジション周波数を有し、部分的には実質的に同じ抵抗をもつ実装においては、変圧器にかかる負荷は、実質的に周波数に依存しない。例えば、転送媒体セグメントのインピーダンス特性に対してこの効果的な定負荷をマッチングに変圧器が使用される場合に対し、このことは有利である。特に、そのようなマッチングは、転送媒体内での電氣的応答の抑制を容易にすることができる。

【0041】

例示された周波数分割器402は、ローパス分岐部およびハイパス分岐部両方に対し、信号転送器と通信媒体セグメントとの間に連なる抵抗器を有し、これにより、一連の終端抵抗器として機能する。また、ある実装では、ローパス分岐部402Aに転送された信号は、実質的にDC信号パワー成分をもっていない。この構成は、媒体への反応を抑え、また、トランスミッターによって生成されるDC電圧により変圧器内に生じる最大電流を制

10

20

30

40

50

限することができる。例えば、そのような電圧は連続的に意図することなくあるいは意図して生成され、また、一時的に持続している。ある実装では、変圧器の飽和電流より小さい最大電流を選択するため、トランスミッターに利用可能な抵抗値および駆動電圧が選ばれる。これは、変圧器の磁気飽和の可能性を取り除くことができ、これによって、所定のサブノードの不調が他のサブノードに対して通信を中断させないという要求を満たすことに対し、手助けとなる。

【0042】

S A WフィルタおよびB A Wフィルタ、伝送線フィルタ、絶縁共振器、M E M Sフィルタなどを含む、一極のR L - R C周波数分割器以外の受動周波数分割器を使用することも可能であるが、これに限定されない。

10

【0043】

図5は、図4の周波数分割器で使用可能な受信部の信号経路の一例を示す。例示された一連の端子部とともに、受信した信号電圧を検出するのに補助接続部500、502が使用可能である。その上、電流に感度のある信号受信部は、周波数分割器を通して伝導する電流信号を検出するのに利用可能であろう。そのような受信部は、電圧感度受信部よりも利用が容易ではなく、不便である。そのような補助接続部500、502は、信号電圧をサブノード内の電圧感度受信部504 A - Bそれぞれに伝える副次的経路を形成することができる。例えば、そのような経路は、終端部によって設定される一定比率に伴い、伝わった信号電流に比例して信号電圧を伝えることができる。

【0044】

20

例示された具体例では、補助接続部各々は、R Cローパスフィルタを形成するように、分路(shunt)コンデンサによって追従される一連の抵抗を備える。これは、高周波数干渉を拒否するシステムの能力を上げる。ローパス分岐部については、このR C受信フィルタの周波数を、周波数分割器の周波数近くあるいは周波数より小さく設定することが可能であり、ハイパス分岐部からローパス分岐部に漏れる信号を拒絶することに役立つことができる。

【0045】

さらにハイパス分岐部については、R Cフィルタカットオフ周波数が、対応する転送スキームによって生成される信号パワーを十分な割合で伝えるために十分高い周波数に設定され、信頼性ある受信を可能にする。ある実装では、付加的なR Cハイパスフィルタ506が、ハイパス分岐部の受信信号経路に使用可能である。例えば、このことは、ローパス分岐部からハイパス分岐部に漏れる低周波数信号を拒絶するのに役立つことができる。そのようなハイパスフィルタは、周波数分割器のトランジション周波数近くのカットオフ周波数をもつことができる。

30

【0046】

上記記載のいくつかは、受信部信号経路に焦点を当てている。サブノードはまた、ホストあるいは他のノードによる受信のため、サブノードから出ていく信号を生成するのに従事する転送部経路を含む。さらにホストは、適切な受信部および送信部コンポーネントを備え、いくつかの実装ではサブノードの構成と類似する。特にホストは、バスの端部それぞれに対する2つの別れた接続点を備えることが可能であり、ループ内で時計回りあるいは反時計回り方向に信号を生成するように、転送用の任意のコンポーネントを選択することができる。

40

【0047】

ここで述べた電気回路の構成は、アプリケーションの特性に従って、多くの適切な方法で実装可能である。ある実装では、サブノードは集積回路(integrated circuits)であり、一方の集積回路がPサブノードで他方の集積回路がSサブノードを備えるように別々であるか、あるいは、1つの集積回路が両方(いくつか)のサブノードを備えることもできる。ある実装では、ローパスフィルタのステージおよび終端部抵抗を集積回路の外に配置することが可能であり、任意のハイパスフィルタを集積回路内部に配置することが可能である。例えば、これはチップのパッケージングおよび静電気の放電の観点から有利であ

50

る。さらに、グラウンドへの過流静電容量部あるいはパッケージングが加わる隣接ピンは、ローパスフィルタの分路コンデンサに組み込むことができる。静電気の放電の観点から見て、集積回路へ導く各回路の経路に対して一連の抵抗要素を組み込むことは、放電誘導電流から回路を守ることに役立つことができる。他の具体例として、一連の抵抗要素を組み込むことによって、回路の変圧器関連部分と近くのグラウンドとの間に設置された電圧クランプデバイスが、集積回路に導く感度のある経路に沿ってインピーダンスを増加させることになり、放電電流のより多くの部分を分担することができる。集積回路の内部あるいは外部のコンポーネントの配電も使用することが可能である。

【0048】

信号歪みがシステム内のいずれに生じようとも問題となる一方、通信スキームによって要求されるより高い信号伝送周波数のため、フィルタ分割器のハイパス分岐部で歪なしの信号送信を維持するのは、より困難となる。例えば、この分岐部のハイパスおよびローパス応答は、高周波数における通信媒体セグメントにおける信号反射に対する付加的なポテンシャルと結びついて、重大な振幅変化およびコンポーネント周波数の位相シフトを生じさせる。

【0049】

したがって、位相シフトおよび周波数依存の振幅変化に対して実質的に感度の低い信号伝送スキームが使用可能である。ある実装では、周波数偏移変調(FSK)スキームが使用可能であり、ここではFSKキャリアの低い方の周波数よりもはるかに低い周波数内容をもつ信号が、2つのFSKキャリア各々に転送された部分を変調するために使用される。例えばそのようなスキームは、バイナリーデータストリームという形で信号をもち、その結果、1つのキャリアあるいは他のキャリア全体が転送される。

【0050】

ある実装では、転送されるバイナリーデータストリームを生成するため、マンチェスター符号化が使用される。例えばこれを、正当な信号の検出および不当な信号の拒絶を、理に適って簡易なものに充てることができる。このマンチェスター符号化では、有効信号が、デコーダによって常に検出可能な特有の同期シーケンスの前に置くことができる。この同期シーケンスは、知られたパターンを提供することによって、デコーダのタイミング回路特性を初期化するのに役立つ。他の具体例としては、ノイズ発生がすでに生じて復号化を誤って開始する場合にデコーダを受容的な状態に再初期化するように、正当な信号を、有効でないパターン(すなわち、有効なバケットと決して思われないパターン)の前に置くことができる。なぜなら、マンチェスター符号化は、埋め込まれたクロックを含み、受信部内のタイミング安定性に大きな必要性なしで受け入れ可能であり、そのような通信スキームはまた、タイミングパラメータが不正確あるいはすでに変化した信号のロバスト復号化を提供することができる。そのようなことから、転送スキームは、クロックエラーに対して許容性をもつことができる。

【0051】

ある実装では、FSK変調されたマンチェスター符号化の選択が、転送スキームによって余儀なくされるハードウェアの要求を最小限にすることができる。ある瞬間に転送された信号の周波数がその瞬間受信部に届く信号の最大周波数成分であると仮定すると、FSKスキームは、多くの歪み形式に対して影響を受けない。例えばこれは、過度な制約を信号経路の線形性に置くことなく、受信部を選択することを可能にする。

【0052】

図6は、図2のいずれかのサブノード内で使用可能なデジタル信号処理コンポーネント600を示す。概して、デジタル信号処理コンポーネント600は、量子化ステージ602、周波数識別ステージ604、エッジ検出ステージ606、そしてデータ復号化ステージ608を形成する。ハイパス分岐部が特に歪みに対して影響を受けやすいことから、コンポーネント600はハイパス分岐部に実装されるものとして説明される。ただし、似たようなあるいは同じスキームがローパス分岐部にも使用可能である。

【0053】

量子化ステージ 602 は、受信部の最初のステージを形成することができる。いくつかの実装では、1 ビット量子化部と同等に呼ぶことができるゼロ交差 (zero-crossing) 検出部が使用可能である。例えばそのような量子化部は、相対的に簡易であってコストを少なくするであろう。また、受信部の必要なエネルギー消費量は、量子化部が受信部の構成全体の中で単にアナログ回路であるならば、低いままでいることができる。対照的に、量子化部は、信号からデータを抽出する一連のデジタル信号処理ユニットによって追従されることが可能である。

【0054】

動作時、1 ビット量子化部には、受信信号周波数のいくつかの振幅で一連の 2 値サンプルを生成するため、クロックパルスが刻まれる。ある実装では、例えばコストおよび設計の複雑さを最小限にするため、平均信号周波数のおよそ 4 倍で受信信号がサンプリングされる。これは、以下述べるように、他に役立つ簡潔なデジタル信号処理の論理を提供することができる。

【0055】

周波数識別ステージ 604 は、ここでは 2 つの帯域内で受信される信号パワーを表す 2 つの信号を生成し、各々は、2 つの FSK キャリア周波数の一方の中心に位置する。

【0056】

次にエッジ検出ステージ 606 は、これら帯域内信号パワーに含まれる情報を所定期間に渡って積算し、受け取った信号パワーにおける一方の周波数帯域から他方の周波数帯域への遷移、あるいはその逆の遷移を検出する。マンチェスター符号化によれば、一方の帯域から他方の帯域への受信信号の遷移は、転送されたデータストリームのデジタル遷移に相当する。ここでは、エッジ検出ステージは 2 つの出力信号を生成し、一方の出力信号は第 1 の FSK キャリアから第 2 の FSK キャリアへの遷移を符号化し、他方の出力信号は第 2 の FSK キャリアから第 1 の FSK キャリアへの遷移を符号化する。

【0057】

最後に、データ復号化ステージ 608 は、信号に対する論理に基づいた一般的ステートマシンおよびタイマーの形式を適用することが可能である。ある実装では、周波数識別ステージによって生成される信号の形式に適應するため、適切な改良が施される。例えばこれは、並列的な受信部においてしばしなされるように、論理レベルよりもエッジの検出を含むことができる。

【0058】

図 7A は、図 2 の任意のサブノードにおいて周波数識別のため使用可能なフィルタブロック 700 の一例を示す。符号 z^{-1} が付けられたレジスタは、信号遅延の一例を表す。これは、例えばフリップフロップのようなシーケンシャル論理要素として実装可能である。加算器には総和の記号が付されている。例えば加算器は、有限の任意精度演算 (finite arithmetic precision) である 2 つの相補的バイナリ加算器で構成可能である。このブロックは、非減衰で正弦曲線のインパルス応答に対して無限インパルス応答を提供することができる。そのようなフィルタブロックは、フィルタの応答周波数を定義する定数 k によって特徴づけることができる。例えば、 $k = 0$ の場合、フィルタ応答は、サンプリング周波数の四分の一の箇所を中心とする。この理由によって、サンプリング周波数は信号周波数の 4 倍の周波数に選択することができる。

【0059】

フィルタブロック 700 は、所定のサンプル処理スピード周波数に対し、速度を抑えた論理素子スピード要求を提供する。例えばフィルタは、有限ビット幅に固定小数点方式による信号の二進表示を使用する。フィルタは、受信した信号成分の位相を保存するような特別な試みは行わないが、これは、振幅がより重要と考えることができるからである。そのためフィルタは、十分な信号エネルギーが閾値を超えて蓄積されるまで、可変期間に渡って信号を積算 (integrate) することが可能であり、また、この事態が生じたときに離散出力を生成することができる。他の例としては、特定周波数応答を実現するのではなくハードウェアの複雑さを最小化するため、フィルタの周波数応答を選択することができる

。そして転送信号は、選択されたフィルタ周波数に合わせられる。

【 0 0 6 0 】

信号 7 0 2 はフィルタブロックに送られる。例えばこれは、データバス幅に当てられる 1 ビットワイドデータストリームの形式にすることが可能である。フィルタブロックは、フィルタ内のフィードバックループの一部である加算器 7 0 4 を備える。しかしながら、信号は、その加算器を使用するデータ経路の値に加算されない。代わりに、加算器 7 0 6 が 2 つの遅延レジスタの間に設けられている。すなわち、付加的な複雑性なく実際のデジタル加算器が 2 つよりも多い出力を自動的に受け入れないため、信号注入の位置が、任意の 2 つのレジスタ間に存在する論理を簡素化する。さらに、同期デジタル回路の究極速度、あるいはそれと同義に、所定の目標スピードを達成するのに必要な技術的および処理コストの量が、後のレジスタステージ間での最も長い遅延に依存するため、これは、高価でない論理回路で合理的なスピードを得る設計目標へさらに近づく。

10

【 0 0 6 1 】

また信号は、いわゆる - 1、1 の値とは対照的な 0、1 の値によって、選ばれたシステムの 2 つの相補的符号表示において表される。例えばこれは、1 ビットワイドデータを m ビットワイドデータバスへ拡張するのに必要であろう符号拡張ステップを取り除くことができる。この表示は、信号の DC オフセットという効果的な付加を伴う。しかしながら、DC 信号に対するフィルタ周波数は一定出力である一方、選択された周波数の信号に対するフィルタ応答は、同じ選択された周波数の繰り返し立ち上がるサイン波である。したがって、オフセットは選択された周波数のように積分はされず、フィルタループをフォローする検出閾の適切な選択によって補償可能となる。他の例として、十分に小さなオフセットは無視可能である。

20

【 0 0 6 2 】

この例では、第 1 の遅延レジスタに対して適用する前に第 2 の遅延レジスタの出力を否定する処理は、論理補間によって置き換えられる。2 つの補間演算における信号 x の否定演算は、通常演算 “ $-x = \text{NOT}(x) + 1$ ” によってもたらされる。しかしながらある実装では、“ $+1$ ” の処理は省略可能であり、コンピュータによる高価なキャリーチェーン全体を設計から取り除くことを可能にする。上記例示と同様に、これは DC オフセットを効果的にシステムへ加えることができ、このときフィルタのかき乱されていない出力に加えられる。そのようなオフセットは補償あるいは無視可能である。

30

【 0 0 6 3 】

再び定数 k を参照すると、その値は、 $+/-2^q$ (q は整数) の形をもつように選択することができる。1 / 4 サンプリング周波数に近いフィルタ周波数に対し、k の値は 1 よりも小さい。このように k を選択することは、ゲインブロック k が簡易なビットシフトとして実現されることを可能にする。このようなパラレルのビットデータ経路では、ビットシフトは単純な配線接続の交換によって実装可能である。さらに、仮に q が負の整数となるように選択されれば、このビットシフトは、シフトされた値の最も重要なビットの切ることなしで実現可能である。

【 0 0 6 4 】

今度は図 7 B に向けると、図 7 B は、図 7 A のフィルタブロック内のグラフ表示全体 7 5 0 の一例を示す。特に、入力信号の帯域内成分が、各レジスタの出力から形成されるフィードバック経路と連動して動作する遅延レジスタによって、多数のサンプルでまとめられる。これは、例えば重畳された線 7 5 2、7 5 4 によって表されているように、信号の積分された帯域内成分の振幅の増加を生じさせる。デカルトノルム検出器 7 0 8 (図 7 A) は、線 7 5 2 - 7 5 4 とともに増加する出力 7 5 6 を生成する。2 つの信号 x、y のデカルトノルムは平方根 ($\sqrt{x^2 + y^2}$) として定義可能であり、デカルト平面上におけるベクトル (x、y) の長さでもある。フィルタによって累積された信号は、 $\sqrt{x^2 + kxy + y^2}$ として適正に計算される。デカルトノルムは、計算上信号エネルギーの正確な表示ではないが、その誤差は、アプリケーションに対して無視できるものである。

40

【 0 0 6 5 】

50

閾値 7 5 8 が定義される。およその蓄積エネルギーを表す出力 7 5 6 が閾値を通過すると、遅延レジスタの中身はゼロにリセットされる。ここでは、その事態が、フィルタを繰り返し可能な初期状態に設定させるリセット信号 7 6 0 によって表されている。図 7 A では、リセット信号に符号 r が付されている。この後、処理が再び始まる。さらに、リセット信号が生じる割合は入力信号振幅に比例し、これによりリセット信号は、フィルタによって選択された入力帯域内のおよその信号パワーのパルス密度変調表示として扱うことが可能である。

【 0 0 6 6 】

データ経路は、負の k の値に対して僅かに修正することができる。図 8 は、図 2 の任意のサブノード内の周波数識別に使用可能な他のフィルタブロック 8 0 0 の一例を示す。先の記載同様、k の値の実際の実現はわずかなビットシフトであり、k の値を否定しない。しかしながら、第 1 レジスタにフィードバックする前に第 2 レジスタの出力を大まかに否定するために以前使用された数値補完処理が、k ブロックの出力と第 2 レジスタの出力の合算後に適用される。本図および図 7 A では、k ブロックは、右のビットシフト演算を表すために記号 “ ” に置き換えられている。その他の点については、フィルタブロック 8 0 0 は、上述したフィルタブロックと同様のコンポーネントを備えている。

【 0 0 6 7 】

他の例を簡単に例示するため、フィルタ内で保存された蓄積パワーを計算する為にデカルトノルムを使用することに関して議論された $k \times y$ に比例する誤差は、周期的であって x 又は y がゼロの期間においてゼロになるということが特筆される。小さな入力信号に対するフィルタ応答の分析では、信号エネルギーが 2 つのレジスタの間で $\omega_0 - \omega_s$ の角速度で回転する。ただし、 ω_0 はフィルタ中心周波数を示し、 $\omega_s = f_s / 4$ はサンプリング周波数の 1 / 4 を表す。この “ 歳差運動 (precession) ” によって、信号エネルギーが 1 つの遅延レジスタあるいは他のレジスタにおいてほぼ全体に時折現れる。この間、 $\sqrt{(x^2 + y^2)}$ は信号エネルギーを正確に表示しておらず、 $|x| + |y|$ さらには $\text{Max}(|x|, |y|)$ が信号エネルギーを正確に表示する。仮に、信号の歳差運動が十分に瞬間的に発生するのをシステムが保証するならば、継続して関数 $|x| + |y|$ あるいは $\text{Max}(|x|, |y|)$ を演算し、 $\sqrt{(x^2 + y^2)}$ の代わりにこの値と閾値との比較を実行することができる。すなわち、システムは、遅延が $1 / (\omega_0 - \omega_s)$ に比例するのに伴い、数値的に正しい信号エネルギーがトリガーする時刻直後にリセット信号をトリガーすることができる。

【 0 0 6 8 】

したがってある実装では、 $\text{Max}(|x|, |y|)$ が、積算された信号エネルギーをおよそ表示するものとして選択され、 $1 / (\omega_0 - \omega_s)$ が小さくなるように q に対して k を設定し、そして、 $\text{Max}(|x|, |y|)$ と比較される閾値が、およそ 2^* の定数に設定される。論理素子のパス幅が m ビットであるならば、m は通常 t を超えるのを必要とせず、なぜなら、 $\text{Max}(|x|, |y|)$ が実際に 2^t を超えるサンプリング期間の間を除いてより高精度の数で表す必要がないからである。例えば、仮に 1 6 以上の閾値が選ばれた場合、システムは、データバスにおいて 4 ビット精度を超えるものを使う必要がない。x もしくは y が 1 5 を超えるサンプリング時のみ、他のビット精度が必要とされる。しかしながら、このときシステムは遅延レジスタをリセットする間際であるから、1 6 進数を忠実に表すのに必要な余分なビットを保持する必要はない。むしろ、1 6 進数が生成されようとしているときをシステムが検出するならば、それが生成される前に 5 ビットを実際には捨てることができる。

【 0 0 6 9 】

ある実装では、この発生を検出する便利な方法が存在し、なぜなら、符号オーバーフロー検出器を備えたハードウェアの加算器は、フィルタのブロック総和を実施するのに使用されるからである。そのような加算器がオーバーフローする場合、これは総和が $2^m - 1$ (あるいは $2^m - 1$ よりも小さい) であることを示す。ただし、m は加算器の入力幅である。したがって、数値のオーバーフローを検出する加算器が実装された場合、2 つの加

10

20

30

40

50

算器からのオーバフロー信号は論理回路ORによって結合され、関数“ $\text{Max}(x, y) > 2^m - 1$ OR $\text{Min}(x, y) < -2^m$ ”を表す信号を提供する。ある実装では、この閾値検出スキームを使用するフィルタの結果が数値的に正確な $\sqrt{(x^2 + kxy + y^2)}$ に十分近く、その結果、論理的により簡易なスキームを、フィルタの正確性の大きな低下なしに使用することができる。

【0070】

図9は、フィルタブロック900およびリセット信号の一例を示す。これは、正のkの値に対して論理的に簡素化されたフィルタスキームであると考えられる。“r”を付したリセット信号は、閾値比較の結果であり、ここではフィルタ出力としても機能する。一方、負のkの値をもつフィルタの実装では、論理実装が、例えば上述した図8に例示されたように、第1加算器の後に実行可能である。

10

【0071】

ある実装では、フィルタの出力が、入力パワーの線形関数にならない。むしろ、フィルタの中心周波数と等しくはないが近く、いくつかの信号パワー閾値よりも低い小さな信号に刺激されるフィルタに対しては、蓄積された信号エネルギーは増加してピークに達し、そして検出閾値と交差することなくゼロへ戻る。一方、非常に大きな信号に関しては、フィルタの出力は、閾値を超えるまでおよそ線形性をもって増加する。ごくまれに閾値を超える蓄積信号エネルギーを生じさせる、より小さな信号については、信号パワー上における出力パルス列の依存は、むしろ非線形である。しかしながら、無理のない受信信号レベルあるいは干渉レベルについては、転送スキームがこの非線形に対して感受しない。

20

【0072】

周波数検出の議論を結論付けると、所定の入力の結果としてフィルタにより到達する蓄積信号エネルギーのピークは、周波数オフセットおよび入力振幅に比例し、そのためフィルタの効果的帯域幅は、入力振幅の関数になると言える。この帯域幅は、非常に小さな入力信号に対して非常に狭いものとなる。一方、より大きな入力信号に対しては、帯域幅がより大きくなる。したがって、2つのフィルタは、フィルタ中心周波数に非常に近い、あるいは十分な振幅をもつ入力信号を検出することに対し、適正に使用することができる。

【0073】

すなわち、2つのフィルタは本例で使用され、各々はFSKキャリア周波数それぞれの一方に調和させる。そして、2つのフィルタの出力差は、エネルギーの一方の帯域から他方の帯域への偏移(shift)を表す。

30

【0074】

各フィルタ帯域の信号成分が一度検出されると、エッジ検出ステージ606(図6)は、この信号エネルギーの偏移を当然検出する。これは、フィルタによって生成されたパルス密度列各々とともにハイパス機能を表すインパルス応答を畳み込む(convolving)ことによって実行することができる。代替りとして、周波数識別ステージからのパルス列は、ハイパスフィルタへ送られる前に結合可能であり、そこでは、周波数識別フィルタの一方からのパルスに対して、重み「1」が与えられ、他方のフィルタからのパルスには「-1」の重みが与えられる。

【0075】

40

図10は、ダウンサンプリングされた畳み込み積分の積分-ダンプ実施1000の一例を概念的に示す。パルス密度列1002、インパルス応答1004、そして応答結果1006が概略的に例示されている。すなわち、インパルス応答1004は、応答結果1005を生成するため、パルス密度列に畳み込み積分されている。

【0076】

例示された例を以下より詳細に記載する。実際の畳み込み積分は、コンピュータ的に非常にコストがかかる。そのためいくつかの実装部品では、使いやすい応答結果を出す、畳み込み処理の近似式を使用することが可能である。第1の近似式の態様は、値がすべて-1もしくは1である双極性の矩形インパルス応答を選択することである。インパルス応答1004はそのような1つの例を示す。このアプローチは、条件付き符号変換処理を、そ

50

うでなければ要求されるだろうサンプルごと (sample-by-sample) の掛け算に代替することにより、畳み込み処理を簡素化することができる。近似式の第2の態様は、出力サンプルが畳み込み処理のカーネル (kernel) のレートの4倍生成されるように、畳み込み処理が演算されるときデータ列をダウンサンプリングすることである。すなわち、実装部1000における畳み込み処理は、インパルス応答1004で示すように、ここでは4つのオーバーラップ積分処理およびダンプ処理を実際に備える。処理は、互いにオフセットした $\pi/2$ のカーネル位相で処理する独立した4つの信号経路において実行される。

【0077】

近似式の第3の態様は、畳み込み処理を実行する入力データ列に関する。デジタルフィルタの積分、ダンプ性質により、パルス1002A-Bをパルス密度符号化出力列に生成させる最大レートが存在する。このレートは、システムのクロックよりはるかに低く、感度および帯域幅を設定するのに使用される閾値 2^{-t} と同じオーダーになっている。これは、検出器内の4つの積分およびダンプブロックにおいて、入力パルスの到達レートよりも早いレートで一周分累算処理をすることが可能であって、システムは+1より大きい、あるいは-1より小さい数进行处理する必要がないことを意味する。

【0078】

図11は、エッジ検出部に対する畳み込み処理1100の一例を示す。特にこの図は、畳み込み機能を実施する4つのインターリーブ積分およびダンプ処理の例を示す。ここではより明確にするため、符号反転処理よりも乗算処理1102が示されている。各リセットパルス1104が発生すると、対応するレジスタ1106がゼロになる。また同時に、ゼロ以前のレジスタの内容が出力サンプルとして選択される。4つのインターリーブ処理のため、カーネルと入力信号遷移との間の位相遅延は、カーネル期間のせいぜい $1/8$ になる。実際の入力列と最善となる配列との間のミスアライメントに起因する出力1108の誤差は、せいぜい25%となる。

【0079】

4つの平行な積分およびダンプ処理を実行するため、ビットシリアル算術ユニットが実装可能である。これは、回路の構築および処理のためにいくつかの論理包含 (implication) をもつことができる。例えば、ビットシリアル算術ユニットは、あるタイミングでの処理に1ビットしか必要とならないため、ハードウェアを含まない傾向にある。他の例としては、キャリ・チェーンおよびレジスタの多重化あるいはまったく同じALUを取り除くことが可能である。

【0080】

累算器 (accumulator) の状態を保存するシフトレジスタは、一連のダイナミックなフリップフロップあるいはラッチとして実装可能である。例えば、シフトレジスタが常に名目的なクロックレートでクロックされるならば、深刻なオペレーション状況下であってもリフレッシュ時間が容易に満たされるため、ダイナミック論理素子が魅力的である。しかしながら他のケースでは、同じ論理素子の並列的実装が使える。レジスタがクロックレートの $1/4$ で動作可能であるため、それらもまたダイナミック論理素子として実装可能である。転送ゲートベースの多重化は、ALUの適切なレジスタを辿っていくのに使用できるであろう。代わりに、SRAMセルが使用可能であり、レジスタセルを再ロードする前に結果を保存するダイナミックフリップフロップの単一レジスタ幅のバンクとともにアップデートすることが可能である。そのようなスキームは、簡素化されたタイミング論理素子を許容する。例えば、SRAMに基づくアプローチは、ビットシリアルシフトレジスタにとって必要なビットストレージセルよりも小さなビットストレージセルを結果としてもたす。

【0081】

今度は、図12A-Cに示すデータ経路およびタイミング生成を参照しながら、いくつかの例を述べる。これらの図では、スラッシュ記号およびビット幅の符号が言及されていない限り、すべてのラインが1ビット幅である。データ経路は、ここでは本質的に3つのコンポーネントを備え、以下述べる。

10

20

30

40

50

【 0 0 8 2 】

図 1 2 A は、図 2 の任意のサブノードのデータ経路においてエッジ検出とともに使用可能なタッチブロック 1 2 0 0 の一例を示す。入力ラッチは、周波数識別フィルタから 2 つのパルス列 (F 1 、 F 2) をとり、1 つの処理期間の存続期間に対してそれらを保持する。例えばこれは、A L U を通じてすべての累算器ビットをクロックするのにかかる時間になるといえる。ここでは、パルス列 F 1 には重み + 1 が与えられ、パルス列 F 2 には重み - 1 が与えられる。処理期間中、受信された重み付けのあるパルスのネットワーク数 (net number) が、最大 + 1 および最小 - 1 に対して累積される。

【 0 0 8 3 】

ラッチブロックの 1 つの出力は、入力値 1 に対して T R U E 、入力値 - 1 に対して F A L S E 、そして入力値 0 に対して F A L S E である方向信号 1 2 0 2 (D I R が付されている) である。他のラッチブロックの出力は、+ 1 もしくは - 1 が存在すれば T R U E 、そうでなければ F A L S E であるインクリメントーデクリメントコマンド信号 1 2 0 4 (C O M が付されている) である。

【 0 0 8 4 】

図 1 2 B は、図 2 の任意のサブノードのデータ経路においてエッジ検出とともに使用可能な累算レジスタセット 1 2 3 0 、A L U 1 2 3 2 、そして比較ブロック 1 2 3 4 の一例を示す。これらは、ラッチブロックの出力および他の信号によって駆動可能である。

【 0 0 8 5 】

ここでの累算レジスタは、4 つの文字列連結シフトレジスタとして例示されている。ある実装では、これは 2^{-1} で表される 4 つの 6 ビット累算ワードを含む単一の 2 4 ビットシフトレジスタとすることができる (例えば図 9) 。そしてシステムは、これらレジスタを同時というよりは順に作動させる。さらに、ブロックは、2 4 ビットシフトレジスタ全体を処理するのにかかる時間の間、せいぜい、パルス密度列からの 1 つのネットワークパルスを受け取るだけである。正の入力パルスがフィルタから到達したら、次の期間が始まるまで、4 つの累算レジスタから必要に応じて加算あるいは減算される地点でその期間を処理するためにラッチされて格納される。負のインパルスが同様に次の処理期間前に到達すると、正のパルスが無効となり、次の処理期間の間何の動作も起こさない。このように、入力パルスゼロ、+ 1 、- 1 だけが所定の処理期間の間、処理されることが可能である。

【 0 0 8 6 】

今度は A L U 1 2 3 2 に向けると、仮にパルスを受けた場合、それが A L U を通過するときに各レジスタの内容はインクリメントかデクリメントいずれかである。レジスタの内容がインクリメントであるかデクリメントであるかは、受信する入力のパルスに依存し、また、レジスタが、累算器に関連した置み込みインパルス応答の第 1 (負) 半期間の間、あるいは第 2 (正) 半期間の間、データを積算しているか否かに依存する。ここでは、インパルス応答の現在の半期間が、符号 P の付された信号によって記されている。各レジスタのインパルス応答累算期間の第 1 半期間において信号 P は T R U E であり、第 2 半期間において信号 P は F A L S E である。

【 0 0 8 7 】

次に比較ブロック 1 2 3 4 は、正または負の切り上げた二進閾値に関し、各レジスタでの累算値の比較を実行する。例えばこれは、数 b 以上の重みをもつすべてのビットのブール O R (N A N D S) を演算することによってなすことが可能である。ただし、 2^b は正 (負) の比較閾値である。そして比較値の符号が閾値の符号と一致することで、符号ビットの情報が適切に得られることができる。この比較は、累算器シフトレジスタから離れるたびに各ワードで実行される。(1 パルス応答期間の入力パルス積算を完全に終えて) ワードがリセットされる処理期間において、比較結果が U もしくは D の符号が付された適切な出力にラッチされる。すなわち、これらは、“ U P ” (F 2 から F 1) もしくは“ D O W N ” (F 1 から F 2) の信号遷移を表す信号を出力する。

【 0 0 8 8 】

最後に、上述した論理素子に使用可能な信号の例を述べる。図 1 2 C は、図 2 の任意のサブノードのデータ経路内でエッジ検出とともに使用可能なタイミング論理素子 1 2 6 0 の一例を示す。ボックスは、出力ラインがビット幅ラベルを示すマルチビットカウンタを示している。

【 0 0 8 9 】

上述したラッチ事象の比較はインパルス応答期間のクォーターごとに生じる。インパルス応答の各クォーターは、位相スキップ信号 1 2 6 2 (P S と名付ける) によって伝えられる。P S 信号はまた、2 ビットカウンタ 1 2 6 4 (P h a s e と名付ける) の移送を 1 カウント分だけ回す。6 ビットレジスタがデータ経路を通過するレートでインクリメントする位相カウンタは、各レジスタが現在実行しているインパルス応答積算サイクルの位相をたどる。ここでは、4 つの累算器各々が、時系列的に任意の地点で異なったカーネル位相になり、カーネルは P S パルスレートで処理する。したがって位相カウンタは、ここでは 2 つの原因によって進み、1 つは、たいていの入力サンプル処理ルーチン期間に (後述する) マスターインデックスパルスと同期してインクリメントすることであり、もう 1 つは、マスターインデックスパルスが各積算ワード演算を行うときに同位相内で P h a s e を常に見つけることである。しかしながら、カーネル位相エッジを印づける P S サイクル上では、P h a s e は 1 つではなく 2 つでインクリメントし、次のマスターインデックスパルスが新しい位相において P h a s e をみつける。また、各累算器ワードは位相が 1 つだけ進んだことを見つけ、これにより、入力サンプルが積み込まれるべき新しいカーネル位相に対して適切に扱われる。P h a s e カウンタは、2 4 ビットデータ処理期間の度にオーバーフローする。

【 0 0 9 0 】

P h a s e がオーバーフローする (すなわち P h a s e が二進数 1 1 と等しくなる) 前の 6 ビットの間 A L U が処理しようとする積算レジスタは、積算閾値に対する比較およびリセットのために選択されるレジスタである。この選択は、インパルス期間の 4 倍のレートで生じ、また、P h a s e カウンタが、所定の積算ワードが再整列する前に、2 4 ビットデータフローに関して 4 つの可能な位相オフセットを通じて回るため、各ワードは、各インパルス応答期間の度に閾値と比較されると同時にリセットされ、その期間に渡る積算処理およびダンプ処理が必要とされる。

【 0 0 9 1 】

タイミング論理素子 1 2 6 0 は、1 / 2 4 ビットデータ処理期間のレートでマスターインデックスパルス 1 2 6 6 (M I P と名付ける) を生成する。M I P は、重み付けされた入力パルスのネットワーク数がデータ経路ラッチに転送されるべきであって、入力ラッチがリセットされるべき入力ラッチ回路へ信号を送る。特に、M I P は、累算器の内容が累算器のワード位置にワード整列する間、クロックサイクルよりも前に置かれる (続く 4 つの積算ワード演算に及ぶ) 。次の入力サンプリング処理ルーチンに対し設定が必要な任意のレジスタの中身は、このクロックサイクルの終わりでラッチされる。

【 0 0 9 2 】

タイミング論理素子は、6 ビットワード処理期間の度にインデックスパルス 1 2 6 8 (I P と名付ける) を生成する。I P は、ワードの境界であって、A L U 内のキャリーラッチが新たなワードを受信するために A L U をリセットすべき信号を示す。特に I P は、累算器が累算器ワード境界とともにビット整列している間、クロックサイクルよりも前に優置かれる。またそれは、ダンプ信号 1 2 7 0 によって信号が送信されるように、積算が最終となっている 6 ビット処理サイクル上の出力信号ラッチ内に比較結果を転送すること使用される。

【 0 0 9 3 】

ダンプ信号 1 2 7 0 は、インパルス応答処理期間の第 4 期間ごとに生じる。それは、P h a s e と付された 4 つの累算レジスタの 1 つが積分閾値と比較されるべきという信号を送る。またそれは、累算器のクリアを強制的に問題 (question) にし、次の完全なカーネル処理のために準備する。

【 0 0 9 4 】

比較リセット信号 1 2 7 2 (C R と名付ける) は、積分閾値を設定するために使用される。データワードは、処理された第 1 の最下位有効ビットであるため、C R 信号が、第 1 の有効ビット (すなわち、その重みが積分閾値を十分超える第 1 ビット) が現れるまで、 “ T R U E ” を保持するために使用される。

【 0 0 9 5 】

サイクルカウンタは、M I P を使用する P S 信号を生成し、そこでは P S 信号が、畳み込みカーネルエッジよりも先行する入力サンプル処理ルーチンの期間、H i g h となる。カーネルエッジでは、入力サンプルが累算器に加えられるあるいは累算器から引かれる極性が、累算器の数および現在のカーネルの位相に基づいて変更される。P S 信号 1 2 6 2 は、インパルス応答期間の第 4 期間ごとに生じ、新しい累算器レジスタを整列させるために位相カウンタを進める。この位相シフト処理は、各累算器レジスタ内に累算されたインパルス応答の一部を辿るために使用され、そしてダンプされるレジスタを選択するために使用される。

【 0 0 9 6 】

P 信号はここでは、位相レジスタ 1 2 6 4 の最上位有効ビットの反転したものである。

【 0 0 9 7 】

数々の実装は例として記載してきた。にもかかわらず、他の実装は以下のクレームによってカバーされる。

【 図 1 】

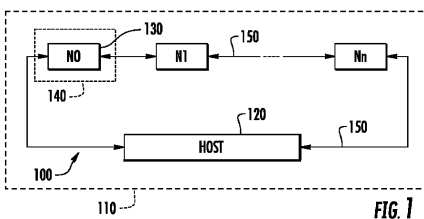


FIG. 1

【 図 2 】

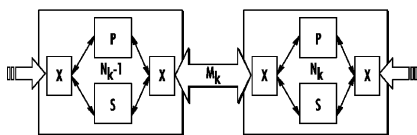


FIG. 2

【 図 3 】

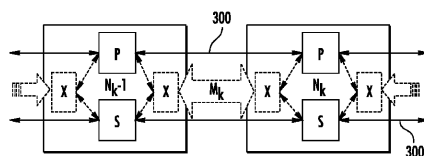


FIG. 3

【 図 4 】

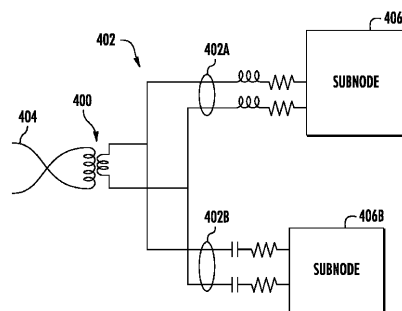


FIG. 4

【 図 5 】

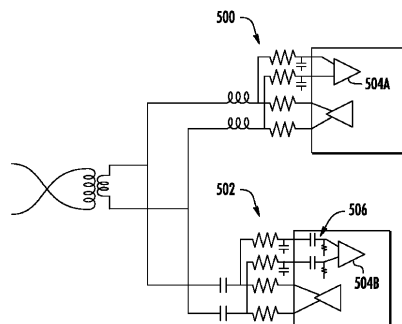
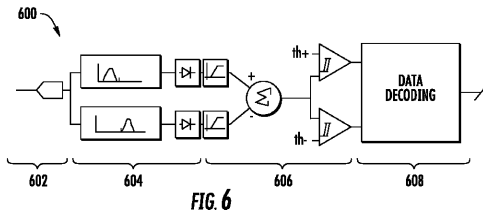
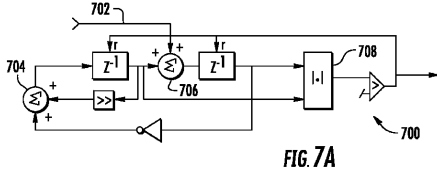


FIG. 5

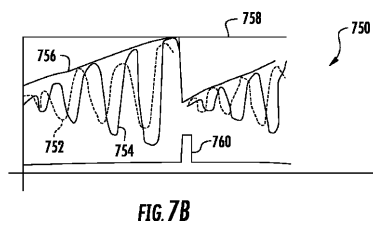
【図 6】



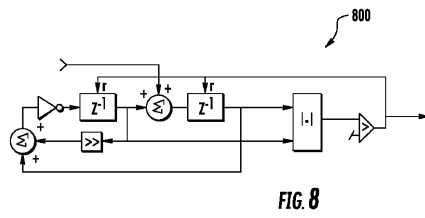
【図 7 A】



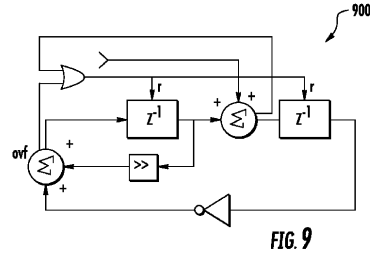
【図 7 B】



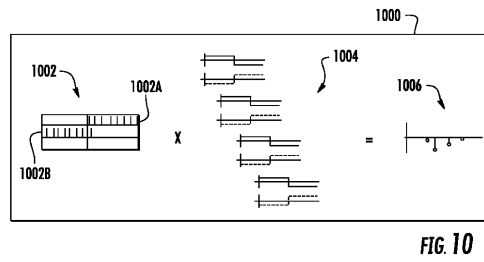
【図 8】



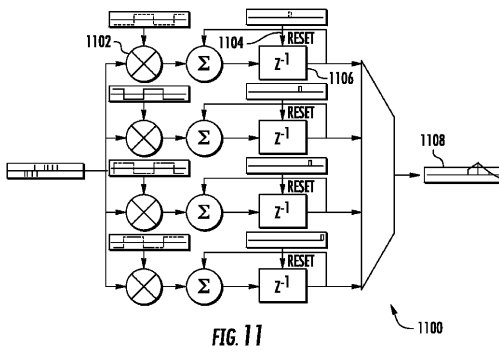
【図 9】



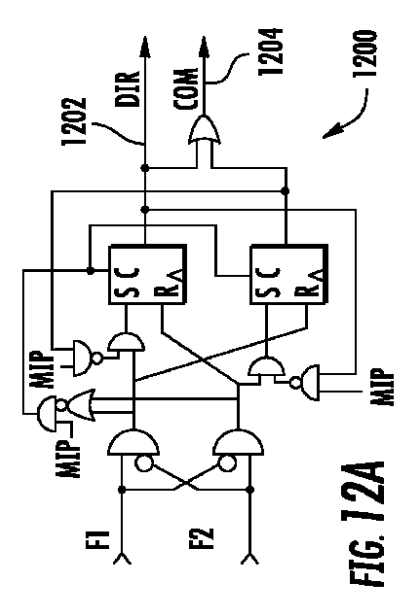
【図 10】



【図 11】



【図 12 A】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2015/024148

A. CLASSIFICATION OF SUBJECT MATTER IPC (2015.01) G01R 31/36, G01R 27/02, G01R 31/36, H01M 10/48, G06F 19/00, G06F 1/26, B60Q 1/00, B60R 16/033 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC (2015.01) G01R 31/36, G01R 27/02, G01R 31/36, H01M 10/48, G06F 19/00, G06F 1/26, B60Q 1/00, B60R 16/033 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Databases consulted: Esp@cenet, Google Patents, FamPat database Search terms used: communication energy storage system loop redundancy monitor module battery pack transmission primary secondary		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2013141230 A1 CHANDLER et al. 06 Jun 2013 (2013/06/06) The whole document	1-5,19-23
A	The whole document	6-18,24-30
Y	US 2008180106 A1 GORBOLD JEREMY RICHARD[GB] 31 Jul 2008 (2008/07/31) Abstract, paragraphs 0005-0008, 0021-0023, 0025	1-5,19-23
Y	US 2013066572 A1 TERASHIMA et al. 14 Mar 2013 (2013/03/14) Abstract, paragraphs 0014-0039, 0132-0137	1-5,19-23
P,X	US 2014129164 A1 GORBOLD JEREMY RICHARD[GB] 08 May 2014 (2014/05/08) The whole document	1,20,21
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 Aug 2015		Date of mailing of the international search report 19 Aug 2015
Name and mailing address of the ISA: Israel Patent Office Technology Park, Bldg.5, Malcha, Jerusalem, 9695101, Israel Facsimile No. 972-2-5651616		Authorized officer PLACHINTA Ekaterina Telephone No. 972-2-5651740

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2015/024148

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1099119 B1 METRIX LTD?[GB] 16 May 2001 (2001/05/16) The whole document	1-30
A	US 2011101920 A1 SEO et al. 05 May 2011 (2011/05/05) The whole document	1-30

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2015/024148

Patent document cited search report	Publication date	Patent family member(s)	Publication Date
US 2013141230 A1	06 Jun 2013	US 2013141230 A1	06 Jun 2013
		US 8760306 B2	24 Jun 2014
		DE 102010047960 A1	16 Jun 2011
		US 2011089953 A1	21 Apr 2011
		US 8384354 B2	26 Feb 2013
US 2008180106 A1	31 Jul 2008	US 2008180106 A1	31 Jul 2008
		US 7859223 B2	28 Dec 2010
US 2013066572 A1	14 Mar 2013	US 2013066572 A1	14 Mar 2013
		CN 102918739 A	06 Feb 2013
		JP 2011182558 A	15 Sep 2011
		JP 5467597 B2	09 Apr 2014
		TW 201206011 A	01 Feb 2012
		WO 2011108201 A1	09 Sep 2011
US 2014129164 A1	08 May 2014	US 2014129164 A1	08 May 2014
		CN 103809490 A	21 May 2014
		DE 102013111632 A1	25 Sep 2014
EP 1099119 B1	16 May 2001	EP 1099119 A1	16 May 2001
		EP 1099119 B1	20 May 2009
		AT 431933 T	15 Jun 2009
		AU 738680 B2	27 Sep 2001
		AU 753215 B2	10 Oct 2002
		AU 5053399 A	14 Feb 2000
		AU 5672998 A	07 Aug 1998
		CA 2338282 A1	03 Feb 2000
		CN 1319189 A	24 Oct 2001
		CN 1313831 C	02 May 2007
		DE 69940909 D1	02 Jul 2009

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2015/024148

Patent document cited search report	Publication date	Patent family member(s)	Publication Date
		EP 0966772 A2	29 Dec 1999
		GB 9720037 D0	19 Nov 1997
		GB 2321315 A	22 Jul 1998
		GB 9717967 D0	29 Oct 1997
		GB 2328540 A	24 Feb 1999
		GB 2328540 B	20 Dec 2000
		GB 9815899 D0	16 Sep 1998
		GB 2339943 A	09 Feb 2000
		GB 2339943 B	16 Apr 2003
		GB 9701165 D0	12 Mar 1997
		GB 9825954 D0	20 Jan 1999
		GB 9826141 D0	20 Jan 1999
		JP 2002521792 A	16 Jul 2002
		JP 4530538 B2	25 Aug 2010
		JP 2010257964 A	11 Nov 2010
		JP 5281609 B2	04 Sep 2013
		JP 2013141402 A	18 Jul 2013
		JP 5628358 B2	19 Nov 2014
		MX PA01000720 A	04 Jun 2002
		US 6133709 A	17 Oct 2000
		US 6404166 B1	11 Jun 2002
		WO 0005596 A1	03 Feb 2000
		WO 9832181 A2	23 Jul 1998
		WO 9832181 A3	05 Nov 1998
US 2011101920 A1	05 May 2011	US 2011101920 A1	05 May 2011
		CN 102097646 A	15 Jun 2011
		CN 102110842 A	29 Jun 2011
		EP 2325919 A2	25 May 2011
		EP 2325919 A3	30 Nov 2011
		EP 2325920 A2	25 May 2011

International application No.
PCT/US2015/024148

Patent document cited search report	Publication date	Patent family member(s)	Publication Date
		EP 2325920 A3	07 Dec 2011
		JP 2011119235 A	16 Jun 2011
		JP 2011155829 A	11 Aug 2011
		JP 2012028186 A	09 Feb 2012
		KR 20110076752 A	06 Jul 2011
		US 2011156618 A1	30 Jun 2011

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

F ターム(参考) 5G503 AA01 BA02 BB01 GD04
5H030 AA01 AS06 AS08 FF43 FF44
5K029 AA02 CC01 DD12 FF08 JJ03 KK26 LL02 LL03 LL08