

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
1. November 2007 (01.11.2007)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2007/121992 A1

(51) Internationale Patentklassifikation:

B81C 1/00 (2006.01) **H01L 21/50** (2006.01)
G01J 5/20 (2006.01)

[DE/DE]; Rotdornbogen 28, 45481 Mülheim (DE).
BAUER, Jochen [DE/DE]; Euskirchener Strasse 6, 52428
Jülich (DE).

(21) Internationales Aktenzeichen: PCT/EP2007/003607

(74) **Anwälte:** **SCHENK, Markus** usw.; Schoppe, Zimmer-
mann, Stöckeler & Zinkler, Postfach 246, 82043 Pullach
bei München (DE).

(22) Internationales Anmeldedatum:
24. April 2007 (24.04.2007)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2006 019 080.7 25. April 2006 (25.04.2006) DE

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA,
CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG,
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,
IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK,
LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,
RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(71) **Anmelder** (für alle Bestimmungsstaaten mit Aus-
nahme von US): **FRAUNHOFER-GESELLSCHAFT
ZUR FÖRDERUNG DER ANGEWANDTEN
FORSCHUNG E.V.** [DE/DE]; Hansastrasse 27c, 80686
München (DE).

(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,

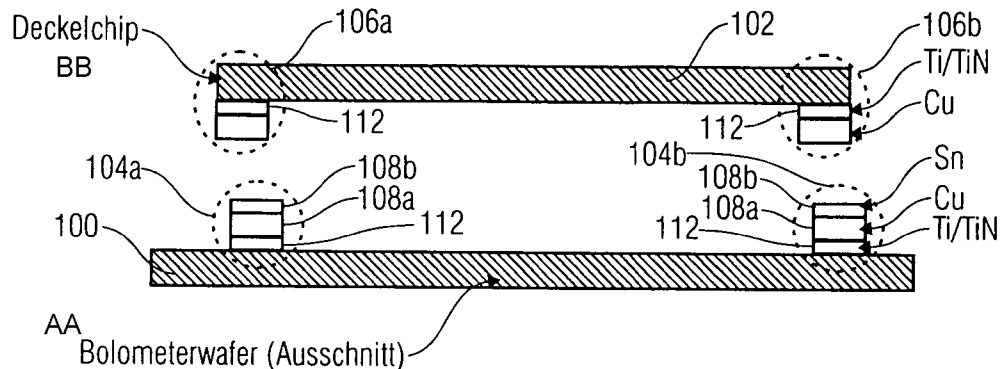
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **VOGT, Holger**

[Fortsetzung auf der nächsten Seite]

(54) Title: HOUSING WITH AN ELECTRIC CIRCUIT

(54) Bezeichnung: GEHÄUSE MIT EINER ELEKTRISCHEN SCHALTUNG



AA ... bolometer wafer BB ... cover chip

(57) **Abstract:** A housing with an electric circuit can be more efficiently produced, when the circuits on a substrate with a number of circuits are tested for functional capacity and the functional circuits are bonded to a second substrate by means of a frame enclosing the circuit on the substrate surface, the area of which is less than that of the first substrate. The substrates are bonded by means of a second frame on the surface of the second substrate which matches the first frame such that the first and second frame rest on each other. The functional housed circuits can then be separated in a technically simple manner.

(57) **Zusammenfassung:** Ein Gehäuse mit einer elektrischen Schaltung kann effizienter hergestellt werden, wenn auf einem Substrat mit einer Mehrzahl von elektrischen Schaltungen die Schaltungen auf Funktionsfähigkeit geprüft werden und wenn die funktionsfähigen Schaltungen mittels eines die Schaltung auf der Oberfläche des Substrates umschließenden Rahmens mit einem zweiten Substrat verbunden werden, dessen Fläche geringer ist als diejenige des ersten Substrates. Die Substrate werden mittels eines an den ersten Rahmen angepassten zweiten Rahmens auf der Oberfläche des zweiten Substrates so verbunden, dass der erste und der zweite Rahmen aufeinanderliegen. Danach können die funktionsfähigen gehäuseten Schaltungen technologisch einfach vereinzelt werden.



WO 2007/121992 A1



ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Gehäuse mit einer elektrischen Schaltung

Beschreibung

5

Die vorliegende Erfindung befasst sich mit Gehäusen für elektrische Schaltungen und insbesondere mit solchen Gehäusen und einem Verfahren zur Herstellung derselben, die eine elektrische Schaltung in einem abgeschlossenen Volumen kapseln.

Anwendungen, bei denen elektrische, optische, mikromechanische oder andere Bauelemente innerhalb eines Gehäuses angeordnet werden müssen, um deren Funktionsweise sicherzustellen, sind vielfältig. Beispielsweise werden Infrarot-Sensoren für Infrarot-Kameras, Wärmebildkameras oder Bildaufnehmer für Nachtsichtgeräte innerhalb von geschlossenen Gehäusen zur Vermeidung von Beschädigung oder die Messungen verfälschenden Umgebungseinflüssen angebracht. Im mikromechanischen Bereich gilt dies ebenfalls für Gyroskope und elektrisch verstellbare Mikrospiegel und andere mechanische Komponenten, wie mikromechanische Sensoren. Bei Kameras für sichtbares Licht oder anderen Sensoren müssen dabei sowohl einzelne Sensoren, Sensorzeilen oder ganze zweidimensionale Arrays innerhalb eines Gehäuses angeordnet werden.

Bei einigen Sensoren, wie beispielsweise bei Bolometern, sind dabei die Anforderungen an das Gehäuse extrem hoch, wenn dieses den Sensor umschließen muss, ohne jedoch die Funktionalität des Sensors dadurch zu beeinträchtigen, dass durch das Gehäuse die von dem Sensor zu messende Größe verfälscht wird. Für ein Bolometer, das im Wesentlichen zur Messung von Temperaturen über den Nachweis von abgestrahlter Infrarot-Strahlung dient, sind Gehäuse besonders kompliziert herstellbar, wie im Folgenden kurz erläutert wird.

Ein Bolometer, wie es beispielsweise in Fig. 6 gezeigt ist, misst die Infrarot-Strahlung im Wesentlichen dadurch, dass die Strahlung in einem innerhalb des Sensors angebrachten Material absorbiert wird, dessen Temperatur und Widerstand sich dadurch verändert. Eine solche Membran 2, die aus einem Material mit endlichem elektrischen Widerstand besteht, verändert diesen Widerstand abhängig von der Temperaturerhöhung und dem Temperaturkoeffizienten des Widerstands. Dabei ergibt sich jedoch die Problematik, dass die Temperaturänderung des Widerstands aufgrund der geringen einfallenden Energie der Wärmestrahlung im Infrarot-Bereich sehr gering ist (einige Milli-Kelvin). Daher ist es bei dem in Fig. 6 gezeigten Bolometer besonders wichtig, die Membran 2 thermisch isoliert von einem Trägersubstrat 4 anzuordnen, um die äußerst sensible Messung nicht etwa dadurch zu beeinflussen, dass die Membrantemperatur durch thermische Leitung über die Anschlusskontakte der Membran 2 künstlich verändert wird. Der Erfolg der Messung hängt also stark davon ab, dass der Widerstand gut thermisch isoliert angebracht ist. Dies erreicht man im Allgemeinen dadurch, dass die Membran 2 über Anschlüsse 6a und 6b mit dem Substrat verbunden ist, die über dünne, lange Arme verfügen, wie es in Fig. 6 zu sehen ist. Diese Arme haben einen relativ hohen Wärmewiderstand, da ihr wärmetransportierender Querschnitt sehr klein ist.

Da auf einem solchen integrierten Bauelement die großflächige Membran 2 in geringem Abstand zum Substrat 4 angeordnet ist, ist es darüber hinaus erforderlich, die Wärmeleitung über den Spalt zwischen Membran 2 und Substrat 4 zu unterbinden. Da der effizienteste Wärmetransport über Konvektion stattfindet, ist es erforderlich, die Umgebung des Bolometers bzw. der Membran 2 zu evakuieren. Dies wird im Stand der Technik im Allgemeinen dadurch realisiert, dass der Mikrobolometer-Chip als solches in einem Gehäuse montiert wird, welches evakuiert werden kann. Die Fig. 7 und 8 zeigen ein Beispiel für ein solches dem Stand der Technik entsprechendes Gehäuse, wobei insbesondere der Explosions-

zeichnung in Fig. 7 entnommen werden kann, wie aufwendig die Herstellung eines solchen Gehäuses ist. Solche, typischerweise aus Metall gefertigten Gehäuse sind demzufolge sehr teuer, so dass deren Einsatz für den Massenmarkt nicht
5 geeignet ist. Darüber hinaus ist aufgrund der vollständigen Umhüllung des kompletten Chips durch das Gehäuse das Gehäusevolumen deutlich größer als dasjenige des eigentlichen Detektorchips.

10 Gegenstand intensiver Bemühungen war es daher in jüngerer Vergangenheit, Verfahren zu entwickeln, die das Häusen eines Bauelements bereits auf der Waferebene erlauben.

Beispielsweise beschreibt die US-Patentanmeldung 5895233,
15 wie ein Gehäuse hergestellt werden kann, das kaum größer als der Detektorchip selbst ist. Dabei werden auf einem Substrat bzw. einem ersten Wafer Mikrobolometer-Arrays hergestellt. Um jedes Array wird ein Rahmen aus Metall gefertigt, auf welchem Lötzinn abgeschieden wird. Ein Deckelwafer wird hergestellt, der ebenfalls mit einer Vielzahl lötfähiger Metallrahmen versehen ist. Dabei ist die Anordnung
20 der Rahmen auf dem zweiten Wafer spiegelbildlich passend zu den Rahmen auf dem ersten Wafer. In einem Waferbondverfahren wird dann zunächst der Deckelwafer kopfüber auf dem Substratwafer angebracht, wobei jeder Rahmen des Deckelwafers auf dem korrespondierenden Rahmen des Substratwafers zu liegen kommt. Daraufhin werden beide Wafer unter Schutzgas oder unter Vakuum miteinander verlötet. Zur Vereinzelung der Chips wird im Anschluss der entstandene Schichtaufbau zersägt und in die einzelnen Detektorchips zerlegt.
30 Basierend auf dieser grundlegenden Idee gibt es eine Reihe weiterer Entwicklungen, die beispielsweise in den US-Patentanmeldungen 6479320 B1 und 6521477 B1 gezeigt sind.

35 Diesen Verfahren ist gemeinsam, dass sie zu relativ kompakten Detektorchips führen. Aufgrund der Vorgehensweise weisen diese Verfahren allerdings einige gravierende Nachteile auf. Zunächst müssen das Substrat bzw. der Wafer und der

Deckel typischerweise gleich groß sein. Dabei verliert man die Flexibilität, den Deckel und das Substrat aus verschiedenen Quellen und Fertigungsstätten zu beziehen. Deckel, die aus speziellen Materialien mit genau festgelegten physikalischen Eigenschaften bestehen müssen, sind in der Regel nicht in den großen Durchmessern verfügbar, die bei Silizium-Wafern üblich sind. Dies gilt insbesondere für mikro-bolometrische Systeme, bei denen der Deckel gleichzeitig das Eingangsfenster für die Strahlung ist und somit eine hohe Durchlässigkeit im infraroten Spektralbereich aufweisen muss.

Beim Verlöten selbst besteht das Problem, dass die Wafer zunächst justiert werden müssen und nach der Justage gemeinsam in eine Vakuumkammer verbracht werden müssen, wo diese dann aufeinander gepresst und verlötet werden. Um bei diesem Vorgehen die Justage nicht zu gefährden, ist eine aufwendige Transport- und Vakuumeinrichtung vonnöten.

Ein weiterer großer Nachteil ist, dass in einer solchermaßen gebondeten und verlöteten Struktur jeweils nur die beiden Rückseiten der ursprünglichen Wafer sichtbar sind. Ohne zusätzliche aufwendige Maßnahmen sind damit eventuell auf der Waferoberfläche angebrachte Justiermarken, die notwendig sind, um mit einer Wafersäge den Wafer zur Vereinzelung zu zersägen, nicht mehr sichtbar. Selbst wenn die Sägestraßen zwischen den Detektorchips bekannt sind, ist der Sägeprozess selbst äußerst kompliziert, da typischerweise der Deckelwafer unterschiedlich zum Substratwafer gesägt werden muss, damit beispielsweise Bondpads auf dem Substratwafer nach dem Sägen frei zugänglich sind. Daher ist im Allgemeinen aus dem Deckelwafer eine kleinere Fläche auszusägen als aus dem Substratwafer. Unterscheiden sich die Materialien des Deckel- und des Substratwafers darüber hinaus signifikant in ihrer Zusammensetzung oder ihrer Stärke, kann ein gemeinsames Sägen unmöglich sein, da dabei eines der Substrate zerstört wird. Ein weiterer Nachteil betrifft die Kosten des Verfahrens insbesondere dann, wenn der Deckelwa-

fer aus speziellem Material und daher teuer ist. Hat der Substratwafer eine schlechte Ausbeute (viele defekte Detektorchips) wird der teure Deckelwafer nicht optimal genutzt, da sowohl auf intakte als auch auf defekte Chips ein
5 Deckel gebondet wird.

Ein weiterer Nachteil betrifft das Verfahren des Verlöten, für das beispielsweise ein Glaslot oder ein niedrig schmelzendes Eutektikum (beispielsweise Au/Sn, 80%/20%, 280°)
10 verwendet wird. Mittels herkömmlich aufgetragenen Lotes ist der Abstand zwischen Substrat und Deckelwafer nicht einfach reproduzierbar einstellbar, da das Lot in unterschiedlichen Stärken abgeschieden wird. Um zumindest einen Mindestabstand sicherzustellen, wird oftmals in den Deckelwafer eine
15 Kavität über jedem Chip geätzt. Die Tiefe dieser Kavität gibt dann einen Mindestabstand zur Oberfläche des Substratwafers vor. Jedoch ist dieser Prozess aufwendig und erfordert eine Reihe von zusätzlichen Prozessschritten, die darüber hinaus das Abscheiden des Metall- und Lotrahmens auf
20 dem Deckelchip schwieriger machen. Auch wird bei einer Benutzung von Weichlot die Temperatur der Weiterverarbeitung solchermaßen verpackter Chips stark eingeschränkt.

Zum Verbinden von CMOS-Chips wird seit kurzem eine Technik
25 entwickelt, bei der auf einem Substratwafer einzelne Chips mit einem Hochgeschwindigkeits-Flip-Chip-Bonder aufgebracht werden. Die Veröffentlichung „Advanced-Chip-to-Wafer Technology: Enabling Technology for Volume Production of 3D System Integration on Wafer Level“, Christoph Scheiring et al., IMAPS 2004, Long Beach, Nov. 14-18, 2004, beschreibt
30 eine Anwendung, die entwickelt wurde, um unterschiedliche CMOS-Chips elektrisch miteinander zu verbinden. So kann der Substratwafer mit CMOS-Logik-Chips hergestellt werden, der Deckelwafer besteht aus Speicherchips. Der Deckelwafer wird
35 nach Applikation eines Lotrahmens zersägt, als „gut“ getestete Speicherchips werden als Deckel auf Chips des Substratwafers gebondet, die ebenfalls „gut“ getestet sind. Es wird zudem kein Weichlot eingesetzt, sondern die Solid-

- Liquid-Interdiffusion (SLID)-Technik genutzt. Eine Schicht niedrig schmelzenden Metalls wird, z.B. Zinn (Sn), wird zwischen einer oberen und einer unteren Schicht aus höher schmelzendem Metall, z.B. Kupfer (Cu) gebracht und bei
5 niedriger Temperatur aufgeschmolzen. Das Sn diffundiert nun oben und unten in das Cu. Dabei bildet sich eine höher schmelzende Verbindung, z.B. Cu_3Sn , diese erstarrt und verbindet die beiden Cu-Schichten.
- 10 Beim Bau von mikro-elektromechanischen Systemen (MEMS) wird häufig die SLID-Technik zum Verbinden von einzelnen Komponenten des System angewandt. SLID basiert darauf, dass bei einem geeignet gewählten System aus zwei Metallen, bei dem ein Metall einen niedrigeren Schmelzpunkt aufweist als das
15 andere Metall, eine stabile Legierung gebildet werden kann, die einen höheren Schmelzpunkt hat als das niedriger schmelzende Metall. Werden solche Metalle miteinander in Kontakt gebracht und über die Schmelztemperatur des niedriger schmelzenden Metalls erhitzt, schmilzt dieses und dif-
20 fundiert in das höher schmelzende Metall, so dass sich an der Grenzschicht eine Legierung bildet, die bei geeigneter Wahl der Partner wiederum eine höhere Schmelztemperatur als das niedriger schmelzende Material aufweist. Sind die geometrischen Rahmenbedingungen geeignet gewählt, schmilzt das
25 niedriger schmelzende Metall vollständig und es bildet sich an der Verbindungsstelle eine höher schmelzende und damit feste Legierung, in der das niedriger schmelzende Metall vollständig enthalten ist.
- 30 Die US-Patentanmeldung 6793829 B2 beschreibt dabei, dass mikromechanische Komponenten mit der Schichtenfolge CR/AU/IN/AU/CR miteinander auf diese Art verbunden werden können. Dabei ist gezeigt, dass ein Substrat mit mikromechanischen Komponenten mit einem Deckel, der beispielsweise
35 aus Silizium, Glas oder Keramik besteht, durch SLID verbunden werden kann. Die US-Patentanmeldung 2004/0266048 A1 beschreibt ein ähnliches Verfahren.

Ausgehend von diesem Stand der Technik ist die Aufgabe der vorliegenden Erfindung, eine Vorrichtung und ein Verfahren zu schaffen, um ein Gehäuse mit einer elektrischen Schaltung effizienter herstellen zu können.

5

Diese Aufgabe wird durch ein Verfahren gemäß Patentanspruch 1 und durch eine Vorrichtung gemäß Patentanspruch 17 gelöst.

10 Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, dass ein Gehäuse mit einer elektrischen Schaltung effizienter hergesellt werden kann, wenn auf einem Substrat mit einer Mehrzahl von elektrischen Schaltungen die Schaltungen auf Funktionsfähigkeit geprüft werden und wenn die funktionsfähigen Schaltungen mittels eines die Schaltung auf der
15 Oberfläche des Substrates umschließenden Rahmens mit einem zweiten Substrat verbunden werden, dessen Fläche geringer ist als diejenige des ersten Substrates. Die Substrate werden mittels eines an den ersten Rahmen angepassten zweiten
20 Rahmens auf der Oberfläche des zweiten Substrates so verbunden, dass der erste und der zweite Rahmen aufeinanderliegen. Danach können die funktionsfähigen gehäusten Schaltungen technologisch einfach vereinzelt werden.

25 Bei einem Ausführungsbeispiel der vorliegenden Erfindung werden elektrische Schaltungen auf einem Wafer nur dann gehäust, wenn diese durch Prüfung als funktionsfähig erkannt wurden. Dabei wird um die elektrische Schaltung zunächst ein Rahmen auf der Oberfläche des die Schaltung tragenden
30 oder integrierenden Substrats gebildet. Dann wird ein Deckel bestehend aus einem zweiten Substrat bereitgestellt, der ebenfalls einen spiegelbildlich zum Rahmen des ersten Substrats angeordneten Rahmen aufweist. Zum Erstellen des Gehäuses werden für die funktionsfähigen elektrischen
35 Schaltungen Deckel so aufgebracht, dass zunächst die Rahmen der beiden Substrate aufeinander ausgerichtet und dann miteinander verbunden werden. Das Vereinzeln der fertig gehäusten elektrischen Schaltungen geschieht erst nach dem

Erstellen des Gehäuses auf dem Wafer, was unter anderen den Vorteil hat, dass lediglich ein Wafermaterial, nämlich das des Wafers bzw. Substrates mit den elektrischen Schaltungen, mittels einer Wafersäge zersägt werden muss.

5

Darüber hinaus hat das erfindungsgemäße Verfahren den großen Vorteil, dass die geometrische Ausdehnung des Deckels beliebig wählbar ist, dass also beispielsweise der Deckel kleiner sein kann als das fertig prozessierte Bauelement.

10 So können beispielsweise Bondpads zur Kontaktierung des Bauteils außerhalb des gehäusten Bereichs verbleiben, um ein späteres Kontaktieren des umschlossenen Bauteils mittels Standardverfahren zu ermöglichen.

15 Bei einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung werden die beiden Rahmen mittels eines SLID-Verfahrens verbunden, bei dem als metallische Phasen Kupfer (Cu) und Zinn (Sn) verwendet werden, die über die Schmelztemperatur des Zinn erhitzt werden, so dass sich durch Diffusion des Zinn in das Kupfer eine Legierung bildet, deren
20 Schmelzpunkt höher als derjenige von Zinn ist, so dass nach einer Zeitdauer von typischerweise einigen Minuten eine feste metallische Verbindung entstanden ist, die darüber hinaus elektrischen Strom gut leiten kann.

25

Die SLID-Technik hat dabei den großen Vorteil, dass die Schichtdicken der verwendeten Materialien mittels Standardbeschichtungsverfahren extrem genau eingestellt werden können, so dass ein Abstand zwischen dem ersten und dem zweiten Substrat mit hoher Präzision einstellbar ist, wenn die
30 Substrate mittels des erfindungsgemäßen Verfahrens miteinander verbunden werden.

Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung wird das endgültige Verbinden der Substrate in einem Vakuum durchgeführt, so dass nach Verbinden des ersten Substrats mit dem zweiten Substrat ein abgeschlossenes Vo-
35

lumen zwischen den beiden Substraten gebildet ist, in dem die Gasdichte stark reduziert ist.

Es ist zu bemerken, dass vollständig materiefreier Raum und damit ein perfektes Vakuum nicht herstellbar ist. Technische Vakua können jedoch in verschiedenen Qualitäten hergestellt werden. Man unterscheidet in der Technik unterschiedliche Qualitäten der erzielten Vakua nach der Menge der verbleibenden Materie (gemessen durch den Druck in Pa = Pascal oder mbar = Millibar):

Vakuumbereich	Druck in hPa	Moleküle pro cm^3
Großvakuum	300..1	$10^{19}..10^{16}$
Feinvakuum	$1..10^{-3}$	$10^{16}..10^{13}$
Hochvakuum (HV)	$10^{-3}..10^{-7}$	$10^{13}..10^9$
Ultrahochvakuum (UHV)	$10^{-7}..10^{-12}$	$10^9..10^4$
extr. Ultrahochv. (EHV)	$<10^{-12}$	$<10^4$

Für den gesamten Kontext dieses Dokumentes bezeichnet daher der Begriff Vakuum eine Umgebung, in der die verbleibende Materie- beziehungsweise Molekülkonzentration geringer als $10^{19} / \text{cm}^3$ ist.

Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung wird der Rahmen so erzeugt, dass dessen erstes Metall, welches sich auf der dem Substrat zugewandten Seite befindet, die elektrische Schaltung vollständig umschließt, während das zweite Metall mit niedrigerem Schmelzpunkt auf der Oberfläche des Rahmens in einzelnen voneinander ge-

trennten Abschnitten aufgebracht ist, so dass zwischen den Abschnitten ein nicht von dem zweiten Metall gefülltes Volumen entsteht. Dies hat den großen Vorteil, dass ein Gas innerhalb des zu bildenden Gehäuses durch die so entstandenen Spalte zwischen den Rahmen leichter abgesaugt werden kann, wenn das Verbinden der Rahmen in einer evakuierten Umgebung erfolgen soll.

Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung wird das zweite Substrat zunächst temporär mittels einer geeigneten Verbindungsmethode mit dem ersten Substrat verbunden. Nachdem alle Substratdeckel auf die positiv geprüften elektrischen Schaltungen des ersten Substrats aufgebracht sind, der Wafer also vollständig prozessiert wurde, wird der Wafer mit den vorläufig befestigten Substratdeckeln zum Fertigprozessieren in eine heizbare Prozesskammer transportiert. Dies hat den großen Vorteil, dass das relativ zeitaufwendige Verbinden, bei dem die Schmelztemperatur über eine gewisse, durch die Diffusion des niedrig schmelzenden Materials bestimmte Zeit überschritten werden muss, vom Vorgang des Alignments getrennt werden kann, was den Prozessdurchsatz deutlich erhöht.

Bei einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung wird das Gehäuse erfindungsgemäß für ein Substrat bzw. einen Wafer erzeugt, auf dessen Oberfläche Mikrobolometer prozessiert wurden. Da Mikrobolometer, wie bereits beschrieben, auf Strahlung im Infrarot-Bereich sensitiv sein müssen, ist ein äußerst dünner Deckelchip bzw. ein Deckelchip mit ausgezeichneten optischen Eigenschaften erforderlich, um die Funktionsweise des Bolometers sicherzustellen. Darüber hinaus ist beim Aufbau resistiver Bolometer erforderlich, dass das Volumen, in welchem sich das Bolometer befindet, bis zu einem gewissen Grad evakuiert ist. Das erfindungsgemäße Verfahren, zwei Substrate mittels eines Rahmens aus Metallen, die miteinander eine Legierung bilden können, zu verbinden, ist dabei in zweierlei Hinsicht besonders vorteilhaft.

Es sei hier angemerkt, dass Infrarotstrahlung oder Wärmestrahlung in der Physik elektromagnetische Wellen im Spektralbereich zwischen sichtbarem Licht und der langwelligeren Mikrowellenstrahlung bezeichnet. Dies entspricht
5 einem Wellenlängenbereich von etwa 780 nm bis 1 mm. Bei kurzwelliger IR-Strahlung spricht man oft von "Nahinfrarot" (NIR), bei Wellenlängen von ca. 5...20 Mikrometer von "mittlerem Infrarot" (MIR). Extrem langwellige IR-Strahlung
10 bezeichnet man als "Ferninfrarot" (FIR). Sie grenzt an den Bereich der Terahertzstrahlung. Da die Grenzen der Spektralbereiche fließend sind, sollen im Kontext des gesamten Dokumentes die Begriff Infrarot oder infraroter Spektralbereich gleichbedeutend mit einem Wellenlängenbereich von
15 700nm bis 2mm verstanden werden.

Zum einen lassen sich mittels des Verfahrens der SLID unterschiedliche Substratmaterialien miteinander verbinden, so dass dies insbesondere auch für die empfindlichen Eintrittsfenster für Infrarot-Strahlung gilt. Zum anderen ist
20 das erfindungsgemäße Verfahren deswegen besonders geeignet, da bei der Verbindung eine vollständig metallische Verbindung zwischen dem oberen und dem unteren Substrat hergestellt wird, die per se eine hohe Gasundurchlässigkeit aufweist, so dass es erfindungsgemäß möglich ist, bereits auf
25 Waferenebene den Sensor effizient und vollständig zu kapseln. Dabei kann innerhalb des gekapselten Volumens eine nahezu beliebige Gaszusammensetzung, insbesondere auch ein Vakuum, erzeugt werden.

30 Bei der hier vorgeschlagenen Gehäusetechnik werden also einzelne Deckelchips auf einen Substratwafer gebondet, wobei die SLID-Technik eingesetzt wird. Um jeden Chip auf dem Substrat ist ein Rahmen aus Cu/Sn aufgebracht, jeder Deckel
35 ist mit einem passenden Cu-Rahmen versehen. Die Deckel können zusätzlich mit einer Haftschrift versehen werden, mittels derer sie auf dem Substrat platziert und provisorisch „angeheftet“ werden. In einem weiteren Schritt können nun

in einer zweiten Anlage alle Deckel unter Vakuum (oder unter Schutzgas) im SLID-Verfahren gleichzeitig verlötet werden. Eine eventuell aufgebrachte Haftschrift verdampft dabei. Anschließend können die Chips getrennt und einzeln
5 weiter verarbeitet werden.

Erfindungsgemäß kann somit eine vakuumdichte Verbindung zwischen Substrat und Deckel erzeugt werden, welche eine Reihe von Nachteilen im Stand der Technik vermeidet. Ein
10 solches Miniaturgehäuse ist für Infrarot-Sensoren ebenso wie für mikromechanische Bauelemente besonders vorteilhaft einsetzbar.

Bevorzugte Ausführungsbeispiele werden nachfolgend, Bezug
15 nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Beispiel für erfindungsgemäß zu verbindende Substrate;
20

Fig. 2 ein Beispiel für den schichtweisen Aufbau eines erfindungsgemäßen Rahmens;

Fig. 3 ein Beispiel für ein fertig prozessiertes Gerät;
25

Fig. 4a und 4b Illustration der erfindungsgemäß erzielbaren Steigerung der Prozesseffektivität;

30 Fig. 5 ein Flussdiagramm für ein Beispiel eines erfindungsgemäßen Verfahrens;

Fig. 6 ein Beispiel für ein Mikrobolometer;

35 Fig. 7 eine Explosionszeichnung eines Vakuumgehäuses nach dem Stand der Technik; und

Fig. 8 ein Beispiel für ein Vakuumgehäuse gemäß dem
Stand der Technik.

Die Fig. 1 zeigt ein Beispiel für erfindungsgemäß vorberei-
5 tete Substrate zum Erzeugen eines Gehäuses.

Fig. 1 zeigt ein erstes Substrat 100 bzw. einen Wafer, wo-
bei hier lediglich ein Ausschnitt eines Wafers gezeigt ist,
der mehrere der in Fig. 1 gezeigten Abschnitte umfasst.

10

Darüber hinaus ist ein zweites Substrat bzw. ein Deckelchip
102 dargestellt.

In der Schnittansicht des Wafers 100 und des Deckelchips
15 102 sind darüber hinaus auf dem Wafer 100 Querschnitte ei-
nes eine elektrische Schaltung auf dem Wafer 100 umschlie-
ßenden Rahmens 104a und 104b gezeigt. Die erfindungsgemäßen
komplementären Gegenstücke, Rahmen 106a und 106b des zwei-
ten Substrats bzw. des Deckelchips 102 ist in Fig. 1 eben-
20 falls dargestellt.

Erfindungsgemäß besteht der Rahmen zumindest einer der Sub-
strate aus einer Schichtfolge zweier Metalle, die zusammen
eine Legierung bilden können, deren Schmelzpunkt höher ist
25 als der Schmelzpunkt des niedriger schmelzenden der beiden
Metalle. Der Rahmen 104a bzw. 104b besteht daher aus einer
ersten Schicht 108a aus Kupfer, auf die eine zweite Schicht
108b aus Zinn aufgebracht ist. Ebenso ist die dem ersten
Wafer 100 zugewandte Schicht des Rahmens 106a bzw. 106b des
30 Deckelchips 102 aus Kupfer gefertigt, so dass sich beim er-
findungsgemäßen Aufeinandersetzen der beiden Chips eine
Schichtfolge Cu/Sn/Cu ergibt.

Erfindungsgemäß können die beiden Chips nun durch SLID (So-
35 lid Liquid Interdiffusion) miteinander verbunden werden, da
Cu und Sn eine metastabile Phase Cu_6Sn_5 mit einer Schmelz-
temperatur von 415°C und eine stabile Phase von Cu_3Sn mit
einer Schmelztemperatur von 678°C bilden können. Da Zinn

selbst eine Schmelztemperatur von etwa 251°C aufweist, wird, wenn die aufeinandergelegten Substrate beispielsweise bei einer Temperatur von etwa 300°C über längere Zeit erhitzt werden, eine metallische Verbindung zwischen dem Wafer 100 und dem Deckelchip 102 hergestellt. Je nach Dauer der Erhitzung, wird die metastabile oder die stabile Phase gebildet. Um eine zusätzliche ungewünschte Diffusion von Wafermaterialien in die Kupferschicht zu vermeiden, bzw. um das Haften einer Kupferschicht auf der Oberfläche der Wafer überhaupt zu ermöglichen, können, wie es in Fig. 1 zu sehen ist, zwischen der Kupferschicht 108 des Rahmens und den Wafern zusätzliche metallische Schichten angebracht werden. Ein Beispiel für solche Schichten ist die in Fig. 1 gezeigte Schicht 112, die zunächst als Haftschrift aus purem Titan auf den Waferoberflächen angebracht ist, woraufhin als Diffusionssperre eine Schicht aus TiN zwischen der Titanschicht und der Kupferschicht angeordnet ist.

Im erfindungsgemäßen Prozess werden also einzelne Deckelchips 102 auf die Chips des noch unzerteilten Substratwafers 100 gebondet. Als Verbindungstechnik wird bevorzugt das SLID-Verfahren eingesetzt. Als Ausgangssubstrat dient vorzugsweise ein Silizium-Wafer, auf dem eine elektrische Schaltung, wie beispielsweise ein Bolometer-Array, erstellt ist, und der auch als Substratwafer bezeichnet wird.

Ein anderes Beispiel für eine elektrische Schaltung eines prozessierbaren Wafers ist beispielsweise eine Anordnung einer Vielzahl von Mikrospiegeln oder anderer mikromechanischer Elemente.

Bevor im Herstellungsprozess die Bolometer-Membranen durch Entfernen einer typischerweise genutzten Opferschicht freigelegt werden, wird auf dem Wafer um jeden Chip herum ein Ring aus Haftmetall (beispielsweise Ti, 50 nm), eine Barriere (beispielsweise TiN, TiW, 120 nm), eine Schicht aus einem hoch schmelzenden Metall (beispielsweise Cu, Ag, Au, 5 µm) und niedrig schmelzendem Metall (beispielsweise Sn,

In 3 μm) gelegt. Dies kann durch herkömmliche sequentielle galvanische Abscheidung der Schichten auf einem mit Photolack (beispielsweise 8 μm) versehenen Wafer geschehen, wenn der Lack im Bereich der Metallringe belichtet und wegentwickelt wurde.

Das Abscheiden mittels herkömmlicher Verfahren, die beispielsweise auch Sputtern und andere schichtweise Abscheidungsverfahren umfassen können, hat dabei den großen Vorteil, dass die Schichtdicken und somit der Abstand zwischen dem Wafer 100 und dem Deckelchip 102 äußerst präzise eingestellt bzw. reproduziert werden kann.

Für die weiteren Betrachtungen wird hauptsächlich eine Schichtenfolge aus Ti/TiN/Cu/Sn verwendet, wie sie in Fig. 1 zu sehen ist, wobei der Deckelwafer ebenfalls mit einer Schichtenfolge aus Ti/TiN/Cu versehen ist. Die spezifische Wahl des Materials ist für die erfolgreiche Anwendung des erfindungsgemäßen Verfahrens mitnichten zwingend, andere Materialkomponenten, mittels derer SLID-Verfahren möglich sind, sind ebenso geeignet, das erfindungsgemäße Konzept umzusetzen. Wird, wie anhand von Fig. 1 gezeigt, als schmelzendes Metall Zinn (Sn) verwendet, kann auch auf eine Zinnschicht am Deckelchip 102 verzichtet werden, wenn die Zinnschicht bereits am Wafer 100 angebracht ist. Alternativ ist jedoch selbstverständlich auch die Beschichtung beider Rahmen mit Zinn möglich. Darüber hinaus kann die Zinnschicht nicht einfach direkt galvanisch auf den ebenfalls galvanisch abgeschiedenen Kupfer-Ring aufgebracht werden. Es ist ebenso möglich, nach der Kupfer-Abscheidung eine weitere Phototechnik auf dem Wafer anzuwenden, welche die Fläche für die weitere Abscheidung des Zinn einschränkt, wie es beispielsweise anhand von Fig. 2 zu sehen ist.

Die Fig. 2 zeigt dabei als ein Beispiel, dass auf der Kupferschicht 108a des Rahmens eine Zinnschicht blockweise in Blöcken 120a und 120b aufgetragen ist, die die Kupferschicht 108a nicht vollständig bedecken. Dadurch wird ver-

hindert, dass beim Schmelzen des Zinn geschmolzenes Zinn seitlich austritt und beim Verlöten eventuell ein Kurzschluss zu möglichen benachbarten Cu-Bumps herstellt. Ein weiterer wesentlicher Vorteil einer solchen Anordnung ist, dass die durch die Zinn-Blöcke 120a und 120b gebildeten Kanäle auf der Oberfläche des Kupfer-Rings 108a eine sichere Evakuierung eines durch den Ring eingeschlossenen Volumens ermöglichen, wenn der Deckelchip 102 bereits auf dem Wafer 100 abgelegt ist. Beim eigentlichen Verlöten laufen die Kanäle durch das schmelzflüssige Zinn zu, so dass das gesamte System letztendlich dicht ist. Eine Strukturierung, wie sie in Fig. 2 zu sehen ist oder auch jeder andere Art der Feinstrukturierung kann im weichen Zinn beispielsweise auch mittels eines Stempels erzeugt werden.

15

Um von der in Fig. 1 gezeigten Situation zu einem fertig prozessierten Gehäuse zu gelangen, wie es in Fig. 3 zu sehen ist, ist eine Reihe von Schritten, die im Folgenden kurz dargestellt werden sollen, erforderlich. Zunächst ist der Deckelchip 102 bereitzustellen, wozu dieser typischerweise von einem Wafer gesägt wird, auf dem bereits die Rahmen prozessiert wurden.

20

Dann kann der Deckel provisorisch auf dem Substratwafer befestigt werden, wobei in der einfachsten Ausgestaltung der Deckel 102 lediglich auf dem Wafer 100 abgelegt wird.

25

Bei einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung ist der Bondkopf, mittels dessen der Deckelchip 102 beim Ablegen gehalten wird, beheizt und wird mit dem Metallrahmen nach unten gehalten. Dann wird eine Haftschiicht (beispielsweise aus Bibenzyl oder Ethylenglykol, EG 2000) aufgebracht. Dabei ist der Bondkopf auf beispielsweise 60°C geheizt, so dass das Haftschiichtmaterial mit Schmelzpunkt von etwa 55°C am beheizten Deckelchip flüssig bleibt. Selbstverständlich sind auch andere Haftmaterialien mit eventuell auch höheren Schmelztemperaturen möglich, so-

30

35

lange die Schmelztemperatur des Haftmaterials unterhalb der Schmelztemperatur des niedriger schmelzenden Metalls liegt.

Der bewegliche Bondkopf wird zum Substratwafer so justiert,
5 dass die Rahmen des Deckels und des Chips auf dem Substratwafer direkt zueinander zeigen.

Durch Senken des Bondkopfes wird der Deckelchip 102 auf das Substrat 100 aufgedrückt. Wurde vorher Haftschnittmaterial
10 angebracht, erkaltet dieses und erstarrt, wenn das Substrat 100 deutlich kälter als die Schmelztemperatur des Haftschnittmaterials bzw. des Bondkopfes ist.

Wird kein spezielles Haftschnittmaterial verwendet, kann
15 eine temporäre Verbindung zwischen dem Rahmen des Deckelchips 102 und dem Rahmen des Wafers 100 beispielsweise durch Reibschweißen hergestellt werden, wenn der Bondkopf eine Temperatur von über 100°C besitzt und der Deckelchip 102 beim Absetzen relativ zum Wafer 100 bewegt wird. Dies
20 kann zusätzlich noch durch eine Ultraschallquelle unterstützt werden.

Erfindungsgemäß wird dieser Vorgang des Justierens bzw. Verbindens des Deckelchips 102 mit dem Wafer 100 so lange
25 wiederholt, bis alle gewünschten Chips auf dem Substratwafer mit einem Deckel versehen sind.

Dann werden alle Deckel gleichzeitig auf dem Wafer 100 durch Löten befestigt. Dazu wird der Wafer 100 mit den Deckeln in einen evakuierten Lötoven gebracht, und zunächst
30 auf eine erste Temperatur (beispielsweise 50-100°C) aufgeheizt. Danach kann die Kammer des Ofens evakuiert werden, wobei zusätzlich eine reinigende Spülung des Volumens des Ofens mit einer geeigneten Substanz, wie Ameisensäure, vorgesehen sein kann. Nach der erfolgten Reinigung kann eine
35 erneute Evakuierung des Ofens erfolgen.

- Das eigentliche Verbinden der Substrate über die Rahmen erfolgt durch Aufheizen auf eine zweite Temperatur (im Beispiel des Cu-Sn-Systems beispielsweise auf 300°C). Wird diese Temperatur einige Sekunden gehalten, diffundiert das
- 5 schmelzflüssige Zinn ins Kupfer. Es bildet sich zunächst eine metastabile Phase, die Cu_6Sn_5 -Phase. Wird der Heizvorgang länger als etwa 30 Minuten aufrechterhalten, bildet sich die stabile Cu_3Sn -Phase.
- 10 Beim Verbinden können die Deckelchips 102 innerhalb des Lötovens mittels einer heizbaren elastischen Membran auf das Substrat gedrückt werden. Alternativ kann das Verbinden auch ohne Druck erfolgen, wobei sich zusätzlich der Vorteil ergibt, dass das schmelzflüssige Zinn zur Minimierung sei-
- 15 ner Oberflächenenergie den Deckelchip 102 auf dem Kupfer-Rahmen des Wafers 100 zentriert und gewissermaßen automatisch justiert, wobei diese Justage genauer als diejenige eines herkömmlichen Bond-Apparates ist.
- 20 Es ist zu bemerken, dass die metastabile Phase bereits nach wenigen 10 Sekunden vorliegt, so dass bei einer Variante des erfindungsgemäßen Verfahrens der prozessierte Wafer während der Zeit der Umwandlung der Cu_6Sn_5 -Phase in die Cu_3Sn -Phase in einen anderen Batch-Ofen unter Vakuum ge-
- 25 meinsam mit anderen Wafers getempert werden kann, um den Durchsatz des gesamten Verfahrens nicht herabzusetzen.

In einer alternativen Ausführungsform kann statt der bevorzugten SLID-Technik der Deckel auch mit herkömmlichen Loten

30 auf das Substrat gelötet werden (beispielsweise Au/Sn-Lot).

Nach Aufbringen des Deckelchips 102 und Vakuumverlöten der Deckel sind die empfindlichen IR-Sensor-Arrays der Bolometer geschützt. Danach kann der Wafer 100 in die einzelnen

35 Chips zersägt werden, wobei ein Beispiel für einen solchen Chip in Abbildung 3 oder 7 gezeigt ist. Nach Vereinzeln der Chips können die IR-Arrays durch Chip-on-Board-Technik oder

anderen Montageverfahren (beispielsweise durch Anbringen einer flexiblen Leiterplatte) weiterverarbeitet werden.

Fig. 3 zeigt ein Beispiel für einen erfindungsgemäß hergestell-
5 stellten Bolometerchip 200, auf dessen ersten Substrat 100 empfindliche Sensorpixel 202 angeordnet sind. Dabei sind Bondpads 204a und 204b zur elektrischen Kontaktierung der Pixel 202 außerhalb des Gehäuses angeordnet. Der Deckel des Gehäuses 204 ist erfindungsgemäß über einen Rahmen 206 mit
10 dem Substrat 100 verbunden, welcher durch SLID verbunden wurde und der demzufolge die charakteristische Materialreihenfolge Cu-Cu₃Sn-Cu aufweist, wie sie beim SLID-Verbinden von Cu und Sn entsteht.

15 Ein großer Vorteil des erfindungsgemäßen Konzepts ist anhand von Fig. 3 unmittelbar ersichtlich. Der Deckelwafer muss aufgrund des Herstellungsverfahrens nicht die selbe Größe wie der Substratwafer besitzen, so dass Konfigurationen wie in Fig. 3 erst möglich werden, in denen Bondpads
20 außerhalb des gehäusten Bereichs angeordnet sind, so dass diese nach Vereinzelung frei zugänglich sind.

Gegenüber dem Stand der Technik entsprechenden Verfahren sind darüber hinaus im Deckelchips 102 keine Kavitäten notwendig,
25 da das hoch schmelzende Material (Kupfer) während der Herstellung nicht erweicht wird und somit der Abstand zwischen Substrat und Deckel mindestens der Summe der Dicken der beiden Kupferschichten entspricht.

30 Im Fall von dem System aus Kupfer und Zinn liegt eine bevorzugte Löttemperatur bei ca. 300°C. Die resultierende Verbindung ist dabei äußerst temperaturfest, da der Schmelzpunkt von reinem Kupfer bei 1085°C liegt und der der stabilen Phase Cu₃Sn bei 678°C. Bemerkenswert ist, dass
35 selbst die metastabile Phase Cu₆Sn₅ bereits eine Schmelztemperatur von 415°C aufweist, so dass eine innerhalb von wenigen Sekunden hergestellte Cu-Cu₃Sn-Verbindung bei einer weiteren Temperung bei 300°C nicht mehr trennbar ist, so

dass beispielsweise das hergestellte Gehäuse mit normalen Lötsschritten weiter verarbeitet werden kann, selbst wenn die stabile Phase noch nicht erreicht ist.

5 Ein weiterer Vorteil des vereinzelt Bestückens des Substrats mit Deckelchips 102 ist, dass sich einzeln geheftete Deckel wesentlich einfacher evakuieren lassen als die gesamte Oberfläche des Wafers 100 bedeckender Deckelwafer. Wird zudem Zinn durch galvanische oder sonstige Schritte
10 auf einem Kupfer-Ring nur lokal abgeschieden, wie es in Fig. 2 gezeigt ist, ist die Evakuierung der individuellen Hohlräume besonders einfach möglich.

Ein weiterer großer Vorteil des erfindungsgemäßen Verfahrens ist, dass lediglich die gut getesteten Chips des Substratwafers 100 mit einem Deckel versehen werden müssen, wie es anhand von den Fig. 4a und 4b dargestellt ist.
15

In Fig. 4b ist dabei zunächst ein prozessierter Wafer 300 dargestellt, der in regelmäßigen Abständen prozessierte Chips bzw. elektrische Schaltungen oder mikromechanische Komponenten aufweist.
20

Im selektierten Wafer 302 sind lediglich diejenigen elektrischen Schaltungen dargestellt, die durch einen Qualitätstest für funktionsfähig erachtet wurden. Wie leicht einzusehen ist, ist es im Hinblick auf die entstehenden Kosten vorteilhaft, nur diejenigen elektrischen Schaltungen mit einem Deckelchip bzw. einem zweiten Substrat zu versehen,
25 die auch funktionsfähig sind, so dass sich insgesamt das in Fig. 4a gezeigte Szenario ergibt, wo ausgehend von einem Wafer 304 nur diejenigen Bereiche mit Deckeln bestückt werden, die den Funktionstest bestanden haben. Nach dem vorläufigen Bonden ergibt sich eine Waferanordnung 306, die
30 danach durch Verlöten, welches beispielsweise unter zusätzlichen Ausüben einer Kraft auf die Deckelchips erfolgen kann, fertig prozessiert wird.
35

Besonders interessant und kostensparend ist das einzelne Bestücken dann, wenn der Deckelchips selbst eine Schaltung enthält und dadurch vergleichsweise teuer ist. Zusätzlich werden selbstverständlich lediglich fehlerfreie Deckelchips für das Bonden ausgewählt, so dass die Gesamtausbeute guter Chips potentiell deutlich höher als beim Wafer-to-Wafer-Bonden ist, bei dem ein fertig prozessierter Wafer 100 mit einem fertig prozessierten Deckelwafer in einem einzigen Schritt verbunden wird, wobei ein resultierendes Bauteil bereits dann unbrauchbar ist, wenn lediglich eines der kombinierten Bauteile des Wafers oder des Deckelwafers funktionsunfähig ist.

Ein weiterer nicht zu unterschätzender Vorteil für die Anwendbarkeit des erfindungsgemäßen Verfahrens ist, dass eine große Materialauswahl an (hoch schmelzenden und niedrig schmelzenden) Metallen zur Anwendung des SLID-Verfahrens zur Verfügung steht. Dabei ist zu bedenken, dass das Justieren und Absetzen der einzelnen Deckelchips auf dem Wafer mittels aktueller Hochgeschwindigkeitsbonder mit einer Geschwindigkeit erfolgen kann, die bis zu 10 000 solcher Vorgänge (Bonds) pro Stunde ausführt, so dass durch das einzelne Ausrichten der Deckel kein Durchsatzproblem erzeugt wird. Dies gilt insbesondere, wenn die einzelnen Deckelchips erfindungsgemäß zunächst vorläufig befestigt werden, so dass das eigentliche Verbinden mittels SLID unabhängig vom Bonden durchgeführt werden kann.

Ein weiterer großer Vorteil ist, dass nach dem Bonden der Deckel die Sensoren bzw. die elektrischen oder mikromechanischen Schaltungen innerhalb des Gehäuses bereits geschützt sind. Dabei bleiben jedoch etwaige Justierstrukturen auf der Waferoberfläche (Substratwaferoberfläche) sichtbar, so dass eine automatische Wafersäge mit Bilderkennung zum Trennen der Chips einsetzbar ist, was das Vereinzeln erheblich vereinfacht.

Wie bereits mehrfach erwähnt, können statt einfachen Deckeln ebenfalls komplexe Strukturen, Sensoren oder CMOS-Schaltungen auf den Substratwafer gebondet werden, was die große Flexibilität des erfindungsgemäßen Verfahrens noch
5 einmal unterstreicht.

Nachfolgend soll anhand der in den Fig. 1 und 3 gezeigten gehäuteten Schaltungen das erfindungsgemäße Verfahren zur Erzeugung dieser Schaltungen noch einmal detailliert beschrieben werden. Im Anschluss daran wird das generelle erfinderische Konzept anhand eines Flussdiagramms noch einmal verdeutlicht.
10

Zum Herstellen der Deckelchips 102 ist zunächst das Sputtern einer Haftschrift und einer Diffusionsbarriere (Ti und TiN) auf die Oberfläche des Deckelsubstrats erforderlich. Danach wird eine Galvanik-Saatschicht aus Kupfer aufgesputtert. Dann wird mittels Phototechnik die Struktur des Lotrings bzw. des Rahmens erzeugt, wobei beispielsweise eine
15 Lackdichte von 8 μm verwendet wird. Mittels einer darauffolgenden Kupfer-Galvanik kann nun die erste Kupferschicht des Rahmens mit einer Dicke von beispielsweise 5 μm abgeschieden werden. Danach wird die Zinnschicht auf der Kupferschicht des Rahmens erzeugt, wobei diese entweder direkt
20 gesputtert wird oder mittels einer zusätzlichen photolithographischen Prozedur erzeugt wird, bei der eventuell nur räumlich diskret auf der Kupferschicht abgeschieden wird. Eine bevorzugte Schichtdicke des Zinns ist dabei zwischen 1 bis 3 μm . Nach Entfernen des Photolacks kann ein Nassätzen
25 der Saatschicht bzw. der Haftschrift und der Diffusionsbarriere erfolgen. Das erforderliche erfindungsgemäße Vereinzeln der Deckelchips kann dann durch Aufspannen des Deckelwafers auf eine Sägefolie und Vereinzeln der Deckel durch eine Wafersäge erfolgen.
30

35

Der Substratwafer wird zunächst analog zum Deckelwafer vorbereitet, d.h. zunächst wird eine Haftschrift und eine Diffusionsbarriere aus Ti und TiN auf die Oberfläche gesput-

tert. Auf das Sputtern der Galvanik-Saatschicht Kupfer erfolgt eine photolithographische Selektion des Lotrings, wobei beispielsweise eine Lackdicke von 5 µm verwendet wird. Nach Belichten des Rahmen- oder Ring-Bereichs kann mittels
5 Kupfer-Galvanik ein Kupfer-Rahmen von 5 µm Höhe erzeugt werden. Nach Entfernen des Photolacks kann die Saatschicht bzw. die Haftschiicht und die Diffusionssperre durch Nassätzen entfernt werden. Nachdem der Rahmen so vollständig erzeugt wurde, kann bei einem durch eine Opferschicht geschützten Sensor derselbe durch Entfernen der Opferschicht
10 frei geätzt werden.

Im Folgenden wird davon ausgegangen, dass der Deckelchip zunächst mittels eines Haftmittels vorläufig auf dem Wafer
15 befestigt wird.

Dazu ist der Deckelchip zunächst von der Sägefolie zu trennen und an einem Bondkopf, der auf eine Temperatur von mehr als 60°C aufgeheizt ist, zu befestigen. Danach wird ein
20 Haftmittel, welches bei 55°C schmilzt, aufgebracht (beispielsweise Bibenzyl oder anderes Wachs). Das Aufbringen kann beispielsweise durch ein Ink-Jet-Verfahren erfolgen, wobei wegen der Temperatur des Bondkopfes das Haftmittel am Deckelchip zunächst flüssig bleibt.

25 Danach erfolgt die Justage des Deckelchips relativ zum Substratwafer, so dass die Lotringe einander direkt gegenüberliegen. Das Aufsetzen des Deckelchips auf dem kalten Substratwafer führt dazu, dass das Haftmittel (Bibenzyl) unter
30 55°C abkühlt und erstarrt, so dass nach Loslassen des Bondkopfs der Deckelchip auf dem Substratwafer fixiert ist. Wie bereits beschrieben, kann die vorläufige Fixierung auch durch Anpressen, leichte Übertemperatur (beispielsweise 100°C), leichtes Reibschweißen mit Ultraschall oder anderen
35 temporären Bondingmethoden erfolgen, wobei dann selbstverständliche der Bibenzyl-Schritt, wie oben beschrieben, entfallen kann. Durch oben beschriebenes Verfahren werden zunächst alle Deckel auf den Chips bzw. elektrischen Schal-

tungen (ggf. nur auf den gut-getesteten) auf dem Substratwafern nach dem gleichen Verfahren fixiert.

Nachdem alle Deckelchips fixiert sind, wird der gedeckelte Substratwafer in einen evakuierbaren Lötoven transferiert, in dem die Deckelchips optional mit einem beheizbaren Elastomer und definierter Kraft auf den Substratwafer gedrückt werden können. Danach kann eine Spülung mit Ameisensäure erfolgen, um Oxidation zu verhindern. Nach einem vorläufigen Aufheizen des Lötovens auf eine Temperatur von mehr als 60°C verdampft das Haftmittel, so dass durch ein darauffolgendes Abpumpen des Lötovens potentielle Verunreinigungen weitestgehend entfernt sind. Danach erfolgt ein Aufheizen auf die Löttemperatur (etwa 300°C bei Cu/Sn). Das Löten unter Vakuum erfordert das Aufrechterhalten der Temperatur für eine vorbestimmte Zeitdauer (> 10 Sekunden zum Erreichen der metastabilen Cu_6Sn_5 -Phase; > 30 Min für die stabile Cu_3Sn -Phase). Danach kann der Wafer innerhalb des Vakuums abgekühlt werden, wobei nun innerhalb der soeben erzeugten Gehäuse ein Vakuum herrscht, das im Wesentlichen dem Vakuumlevel entspricht, wie er innerhalb des Lötovens vorherrschte.

Während der Weiterverarbeitung kann unter Ausnutzung der oben beschriebenen Vorteile das Substrat zersägt werden, um die vereinzelter Bauelemente zu erhalten. Die durch das Gehäuse geschützten Bauelemente können nun mit Standardverfahren, wie beispielsweise dem Anbringen eines Flex-Tapes oder mittels Chip-on-Board-Montage und Drahtbonden weiterverarbeitet werden, ohne die empfindlichen Elemente innerhalb des Gehäuses zu gefährden.

Abgeleitet von eben detailliert beschriebenen Ausführungsbeispielen lässt sich das Herstellungsverfahren anhand des in Fig. 5 gezeigten Flussdiagramms zusammenfassen.

Im Vorbereitungsschritt 300 wird das Substrat mit den zu häusenden Komponenten vorbereitet.

Im Schritt der Rahmenerzeugung 302 werden die Rahmen um die auf dem Substrat angeordneten oder in dem Substrat integrierten elektrischen Schaltungen erzeugt.

5

Zum effektiven Häusen der elektrischen bzw. mikromechanischen Schaltungen oder Komponenten wird nun in einem Prüfschritt 304 für jede der elektrischen Schaltungen geprüft, ob diese funktionsfähig ist. Ist dies nicht der Fall, wird
10 in einem Iterationsschritt 306 geprüft, ob noch weitere nicht-geprüfte Schaltungen auf dem Substrat vorhanden sind. Ist dies nicht der Fall, wird der Bestückungsprozess beendet und es kann mit dem Löten bzw. dem Vereinzeln fortgefahren werden.

15

Sind weitere Schaltungen vorhanden, wird in der Schleife 308 fortgefahren und es wird erneut geprüft, ob die nächste elektrische Schaltung funktionsfähig ist.

20 Ergibt der Prüfschritt 304, das die elektrische Schaltung funktionsfähig ist, wird in einem Verbindungsschritt ein Deckelchip mit dem Substrat an der Stelle der elektrischen Schaltung verbunden, woraufhin im Schritt 306 geprüft wird, ob weitere Schaltungen auf dem Substrat noch nicht geprüft
25 wurden. Ist dies nicht der Fall, wird mit dem Endschritt 312 das Löten bzw. Vereinzeln begonnen. Sind weitere Schaltungen auf dem Substrat vorhanden, wird entlang einer zweiten Schleife 314 verfahren und es wird erneut geprüft, ob die nächste Schaltung funktionsfähig ist.

30

Obwohl in den vorhergehenden Abschnitten die Anwendung des erfindungsgemäßen Konzepts und das erfindungsgemäße Erzeugen eines Gehäuses im Wesentlichen zur Häusung eines Bolometers beschrieben wurde, ist das erfindungsgemäße Konzept
35 natürlich ebenso auf beliebige andere Bauelement, die von Umwelteinflüssen geschützt werden sollen, anwendbar. Beispiele hierfür sind unter anderem Drucksensoren, Mikrofone, Lichtsensoren und andere optische Sensoren sowie jedwede

Art von mikromechanischen Elementen, wie beispielsweise
Drehratensensoren.

Patentansprüche

1. Verfahren zum Erzeugen eines Gehäuses mit einer elektrischen Schaltung, mit folgenden Schritten:
 - 5 Bereitstellen eines ersten Substrates mit einer Mehrzahl von elektrischen Schaltungen;
 - 10 Prüfen der elektrischen Schaltungen auf Funktionsfähigkeit;
 - 15 Erzeugen eines zumindest eine elektrische Schaltung umschließenden ersten Rahmens auf einer Oberfläche des ersten Substrates;
 - 20 Verbinden eines zweiten Substrates mit einem an den ersten Rahmen angepassten zweiten Rahmen auf einer Oberfläche des zweiten Substrates mit dem ersten Substrat, so dass der erste Rahmen und der zweite Rahmen aufeinanderliegen, um eine funktionsfähige elektrische Schaltung zu häusen, wobei die Oberfläche des zweiten Substrates kleiner ist als die Oberfläche des ersten Substrates; und
 - 25 Vereinzeln der funktionsfähigen elektrischen Schaltung entlang einer Vereinzlungskontur, welche die Oberfläche des zweiten Substrates nicht schneidet.
2. Verfahren gemäß Anspruch 1, bei dem die elektrischen Schaltungen ein Bolometer umfassen.
3. Verfahren gemäß Anspruch 1 oder 2, bei dem beim Verbinden das erste und das zweite Substrat gasdicht miteinander verbunden werden.
- 35 4. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem der Schritt des Verbindens in einem Vakuum oder in einer Schutzgasatmosphäre durchgeführt wird.

5. Verfahren gemäß einem der vorhergehenden Ansprüche,
bei dem beim Erzeugen des ersten Rahmens ein metalli-
scher Rahmen erzeugt wird; und
- 5
bei dem beim Verbinden der erste metallische Rahmens
mit einem zweiten metallischen Rahmen verbunden wird.
6. Verfahren gemäß einem der vorhergehenden Ansprüche,
- 10
bei dem das Erzeugen des ersten Rahmens folgende
Schritte umfasst:
- Erzeugen eines ersten Rahmenabschnitts aus einem ers-
ten Metall; und
- 15
Erzeugen eines zweiten Rahmenabschnitts aus einem
zweiten Metall auf dem ersten Rahmenabschnitt, wobei
das erste und das zweite Metall derart gewählt sind,
dass eine erste Schmelztemperatur einer aus dem ersten
und dem zweiten Metall gebildeten Legierung größer als
eine zweite Schmelztemperatur des zweiten Metalls ist;
und
- 20
bei dem beim Verbinden ein zweiter Rahmen verbunden
wird, dessen dem ersten Substrat zugewandte Seite aus
dem ersten Metall besteht.
- 25
7. Verfahren gemäß einem der Ansprüche 1 bis 4, bei dem
ein erster Rahmen mit einer dem zweiten Substrat zuge-
wandten Seite aus dem ersten Metall erzeugt wird; und
- 30
bei dem beim Verbinden ein zweiter Rahmen verbunden
wird, dessen dem ersten Substrat zugewandte Seite aus
einem auf einem ersten Rahmenabschnitt aus dem erstem
Metall aufgebrachten zweiten Rahmenabschnitt aus einem
35
zweitem Metall besteht, wobei

das erste und das zweite Metall derart gewählt sind, dass eine erste Schmelztemperatur einer aus dem ersten und dem zweiten Metall gebildeten Legierung größer als eine zweite Schmelztemperatur des zweiten Metalls ist.

5

8. Verfahren gemäß Anspruch 6 oder 7, bei dem das erste Metall Kupfer und das zweite Metall Zinn ist.

9. Verfahren gemäß Anspruch 6 oder 7, bei dem die erste Schmelztemperatur größer als 400°C ist und bei dem die zweite Schmelztemperatur geringer als 350°C ist.

10

10. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem beim Erzeugen des ersten Rahmenabschnitts zuerst eine Diffusionssperrschicht aus einem metallischen Metall erzeugt wird.

15

11. Verfahren gemäß Anspruch 10, bei dem die Diffusionssperrschicht aus einer Kombination einer oder mehrerer Schichten folgender Materialien besteht:
Ti, TiN, TiW.

20

12. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem beim Erzeugen des ersten Rahmens an einer der Oberfläche des Substrats abgewandten Seite des Rahmens ein bei vorbestimmter Temperatur schmelzendes elektrisches Lot aufgebracht wird.

25

13. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem das Verbinden folgende Schritte umfasst:

30

Erhitzen des ersten und des zweiten Substrats für eine erste Zeitspanne, um eine vorläufige Verbindung herzustellen;

35

Transportieren des vorläufig verbundenen ersten und zweiten Substrats nach der ersten Zeitspanne; und

Erhitzen des ersten und des zweiten Substrats für eine zweite Zeitspanne, um eine endgültige Verbindung herzustellen.

- 5 14. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem das Verbinden zusätzliche folgende Schritte umfasst:

10 Beschichten des ersten und/oder zweiten Rahmens mit einem Haftmittel; und

vorläufiges Verbinden des ersten und des zweiten Rahmens mittels des Haftmittels, um eine relative Fixierung des ersten Substrats und des zweiten Substrats zueinander zu erreichen.

15

15. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem beim Bereitstellen des ersten Substrats ein Substrat mit einer Mehrzahl im Substrat integrierter Schaltungen bereitgestellt wird.
- 20

16. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem das zweite Substrat zumindest teilweise für Wellenlängen im infraroten Spektralbereich durchlässig ist.
- 25

17. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem das zweite Substrat eine integrierte Schaltung umfasst.
- 30

18. Gehäuse mit einer elektrischen Schaltung, mit folgenden Merkmalen:

einem ersten Substrat mit einer elektrischen Schaltung;

35

einem zweiten Substrat, das über einem freien Volumen gegenüber dem ersten Substrat angeordnet ist;

- 5 einem das freie Volumen zwischen dem ersten und dem zweiten Substrat begrenzenden Rahmen, welcher auf beiden Seiten eines zwischen dem ersten und dem zweiten Substrat angeordneten Grenzbereichs aus einem ersten Metall besteht, wobei der Grenzbereich eine Legierung aus dem ersten Metall und einem zweiten Metall aufweist; wobei
- 10 eine Schmelztemperatur des zweiten Metalls geringer als eine Schmelztemperatur des ersten Metalls und eine Schmelztemperatur der Legierung ist.
- 15 19. Gehäuse gemäß Anspruch 18, bei der das erste Metall Kupfer ist und bei der das zweite Metall Zinn ist.
- 20 20. Gehäuse gemäß Anspruch 18 oder 19, bei der das erste Substrat eine integrierte Schaltung mit einem Bolometer aufweist.
21. Gehäuse gemäß einem der Ansprüche 18 bis 20, bei dem das zweite Substrat zumindest teilweise für Wellenlängen im infraroten Spektralbereich durchlässig ist.
- 25 22. Gehäuse gemäß einem der Ansprüche 18 bis 21, bei dem das freie Volumen eine geringere Gasdichte aufweist als die Umgebung des Gehäuses.
- 30 23. Gehäuse gemäß einem der Ansprüche 18 bis 22, bei dem das freie Volumen gasdicht umschlossen ist.
24. Gehäuse gemäß einem der Ansprüche 18 bis 23, bei dem das zweite Substrat eine geringere Fläche aufweist als das erste Substrat.

FIG 1

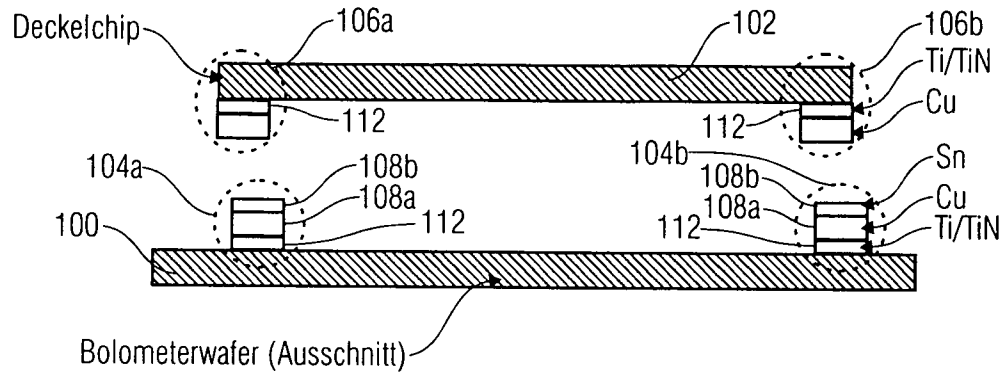


FIG 2

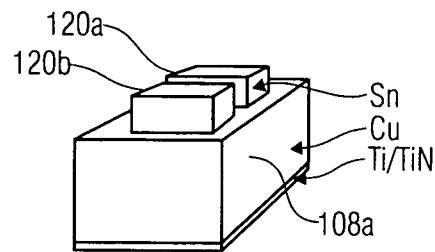


FIG 3

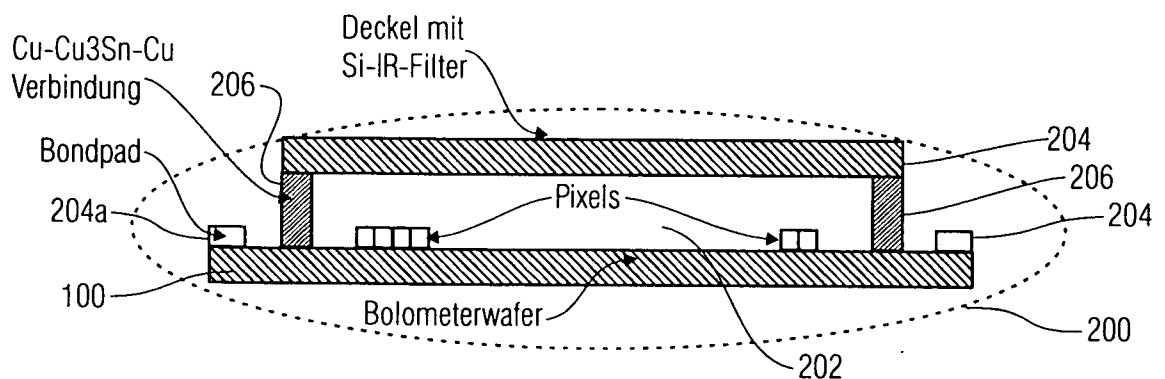


FIG 4a

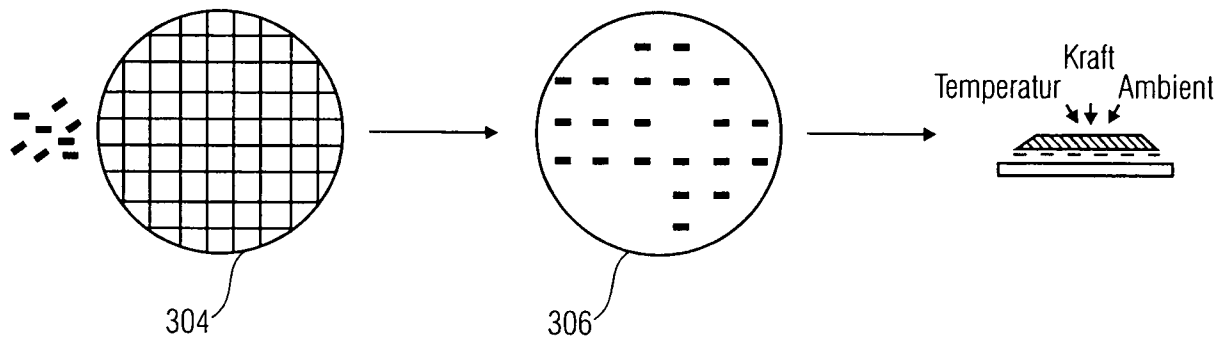


FIG 4b

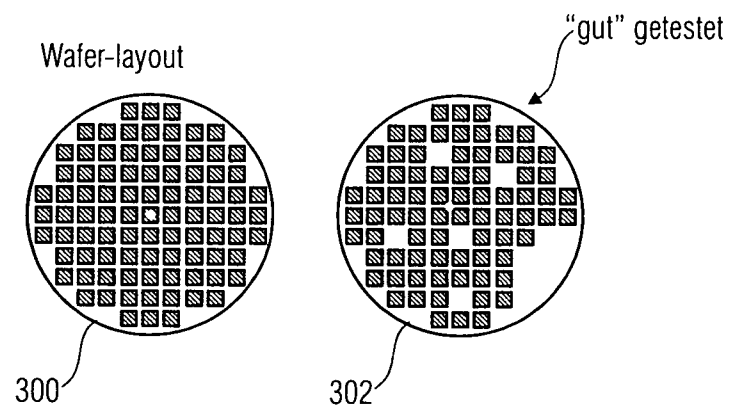


FIG 5

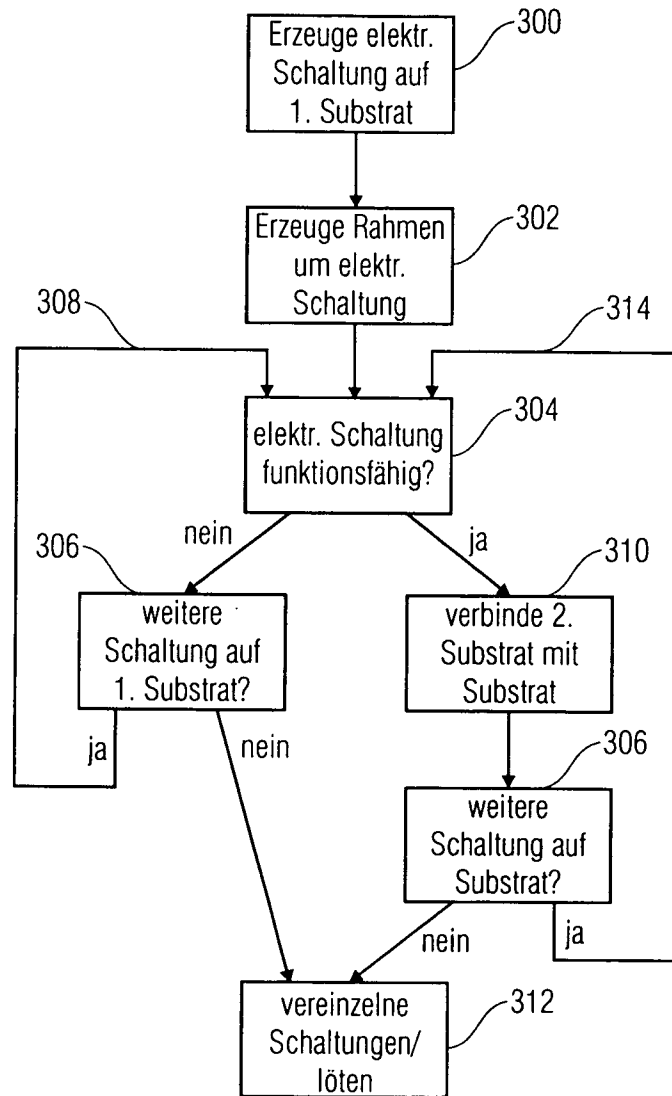


FIG 6

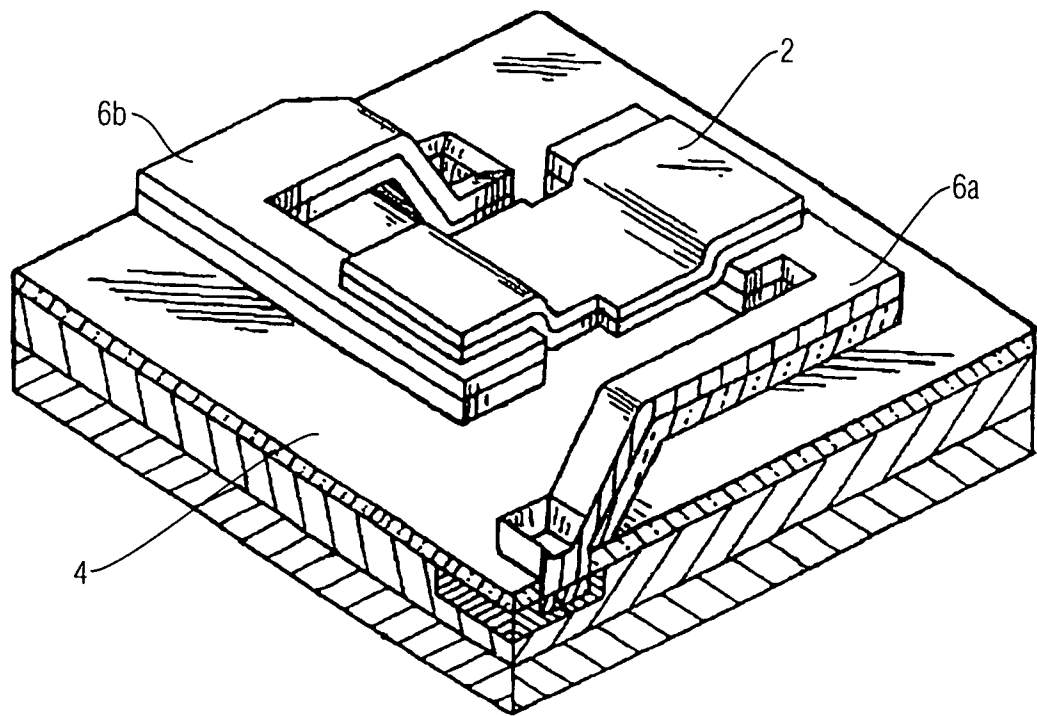


FIG 7

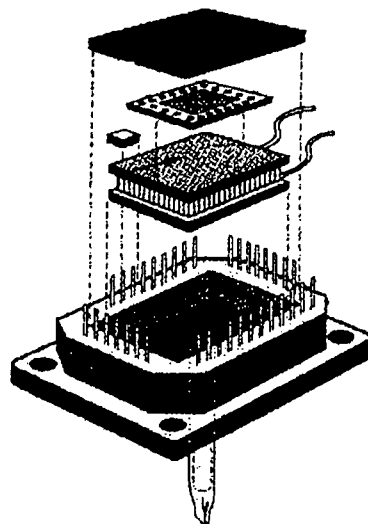
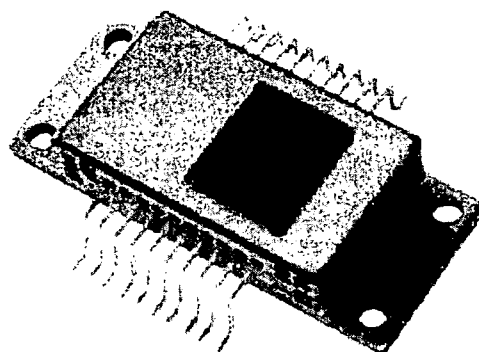


FIG 8



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2007/003607

A. CLASSIFICATION OF SUBJECT MATTER

INV. B81C1/00 G01J5/20 H01L21/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

B81C G01J H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC, COMPENDEX, BIOSIS, EMBASE, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2005/108283 A (INTEL CORP [US]; LU DAOQIANG [US]; HECK JOHN [US]) 17 November 2005 (2005-11-17) figures 5-7 paragraphs [0016] - [0026]	1-24
X	WO 01/36320 A (AMKOR TECHNOLOGY INC [US]) 25 May 2001 (2001-05-25) figures 4-7 page 7, line 31 - page 18, line 14	1-4, 15
A	----- -/--	5-14, 16-24

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

17 August 2007

Date of mailing of the international search report

29/08/2007

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Polesello, Paolo

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2007/003607

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 895 233 A (HIGASHI ROBERT E [US] ET AL) 20 April 1999 (1999-04-20) cited in the application figures 2-5 column 2, line 39 - column 6, line 8	1-5,12, 15,16
A		6-11,13, 14,17-24
X	US 2003/104651 A1 (KIM WOON-BAE [KR] ET AL) 5 June 2003 (2003-06-05) figures 4,5 paragraphs [0029] - [0043]	1-12, 15-24
A		13,14
X	US 2003/160021 A1 (PLATT WILLIAM P [US] ET AL) 28 August 2003 (2003-08-28) cited in the application figures 1-9 paragraphs [0011], [0012], [0029] - [0098]	1-24
X	EP 1 405 821 A (DALSA SEMICONDUCTOR INC [CA]) 7 April 2004 (2004-04-07) figures 28-35 paragraphs [0076] - [0127]	1-12, 15-24
A		13,14
X	US 2002/113296 A1 (CHO CHANG-HO [KR] ET AL) 22 August 2002 (2002-08-22) figures 3,4 paragraphs [0023] - [0033]	1-5,11, 15,17
A		6-10, 12-14, 16,18-24
X	US 6 479 320 B1 (GOOCH ROLAND W [US]) 12 November 2002 (2002-11-12) cited in the application figures 1-14 column 3, line 40 - column 11, line 59	18,22,23
A		1-17,19, 24
A	DE 43 03 790 A1 (DAIMLER BENZ AG [DE]) 11 August 1994 (1994-08-11) the whole document	6-9,18, 19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2007/003607

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 2005108283	A	17-11-2005	CN 1964915 A US 2005253282 A1	16-05-2007 17-11-2005
WO 0136320	A	25-05-2001	AU 2616601 A TW 473903 B	30-05-2001 21-01-2002
US 5895233	A	20-04-1999	NONE	
US 2003104651	A1	05-06-2003	JP 3864134 B2 JP 2003243550 A KR 20030045496 A	27-12-2006 29-08-2003 11-06-2003
US 2003160021	A1	28-08-2003	AU 2003223194 A1 WO 03072487 A2 US 2004266048 A1	09-09-2003 04-09-2003 30-12-2004
EP 1405821	A	07-04-2004	US 2004067604 A1	08-04-2004
US 2002113296	A1	22-08-2002	JP 2002246489 A KR 20020064824 A	30-08-2002 10-08-2002
US 6479320	B1	12-11-2002	NONE	
DE 4303790	A1	11-08-1994	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2007/003607

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. B81C1/00 G01J5/20 H01L21/50

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
B81C G01J H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, INSPEC, COMPENDEX, BIOSIS, EMBASE, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2005/108283 A (INTEL CORP [US]; LU DAOQIANG [US]; HECK JOHN [US]) 17. November 2005 (2005-11-17) Abbildungen 5-7 Absätze [0016] - [0026]	1-24
X	----- WO 01/36320 A (AMKOR TECHNOLOGY INC [US]) 25. Mai 2001 (2001-05-25) Abbildungen 4-7 Seite 7, Zeile 31 - Seite 18, Zeile 14	1-4, 15
A	----- -/-	5-14, 16-24

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. August 2007

Absendedatum des internationalen Recherchenberichts

29/08/2007

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Polesello, Paolo

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2007/003607

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 895 233 A (HIGASHI ROBERT E [US] ET AL) 20. April 1999 (1999-04-20) in der Anmeldung erwähnt Abbildungen 2-5 Spalte 2, Zeile 39 - Spalte 6, Zeile 8	1-5,12, 15,16
A		6-11,13, 14,17-24
X	US 2003/104651 A1 (KIM WOON-BAE [KR] ET AL) 5. Juni 2003 (2003-06-05) Abbildungen 4,5 Absätze [0029] - [0043]	1-12, 15-24
A		13,14
X	US 2003/160021 A1 (PLATT WILLIAM P [US] ET AL) 28. August 2003 (2003-08-28) in der Anmeldung erwähnt Abbildungen 1-9 Absätze [0011], [0012], [0029] - [0098]	1-24
X	EP 1 405 821 A (DALSA SEMICONDUCTOR INC [CA]) 7. April 2004 (2004-04-07) Abbildungen 28-35 Absätze [0076] - [0127]	1-12, 15-24
A		13,14
X	US 2002/113296 A1 (CHO CHANG-HO [KR] ET AL) 22. August 2002 (2002-08-22) Abbildungen 3,4 Absätze [0023] - [0033]	1-5,11, 15,17
A		6-10, 12-14, 16,18-24
X	US 6 479 320 B1 (GOOCH ROLAND W [US]) 12. November 2002 (2002-11-12) in der Anmeldung erwähnt Abbildungen 1-14 Spalte 3, Zeile 40 - Spalte 11, Zeile 59	18,22,23
A		1-17,19, 24
A	DE 43 03 790 A1 (DAIMLER BENZ AG [DE]) 11. August 1994 (1994-08-11) das ganze Dokument	6-9,18, 19

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2007/003607

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 2005108283 A	17-11-2005	CN 1964915 A US 2005253282 A1	16-05-2007 17-11-2005
WO 0136320 A	25-05-2001	AU 2616601 A TW 473903 B	30-05-2001 21-01-2002
US 5895233 A	20-04-1999	KEINE	
US 2003104651 A1	05-06-2003	JP 3864134 B2 JP 2003243550 A KR 20030045496 A	27-12-2006 29-08-2003 11-06-2003
US 2003160021 A1	28-08-2003	AU 2003223194 A1 WO 03072487 A2 US 2004266048 A1	09-09-2003 04-09-2003 30-12-2004
EP 1405821 A	07-04-2004	US 2004067604 A1	08-04-2004
US 2002113296 A1	22-08-2002	JP 2002246489 A KR 20020064824 A	30-08-2002 10-08-2002
US 6479320 B1	12-11-2002	KEINE	
DE 4303790 A1	11-08-1994	KEINE	