



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

254538

(11)

(B1)

(51) Int. Cl.⁴

H 03 M 1/12

(22) Přihlášeno 04 05 86

(21) PV 3182-86.X

(40) Zveřejněno 14 05 87

(45) Vydáno 15 09 88

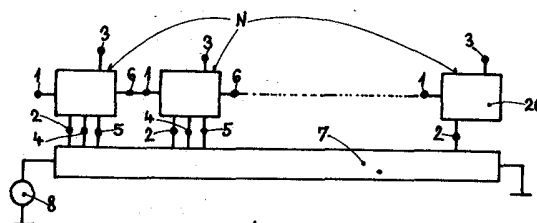
(75)

Autor vynálezu

NEUMANN PŘEMEK doc. ing. CSc., UHLÍŘ JAN ing. CSc., PRAHA

(54) Rychlý analogově-číslicový převodník

Je řešen rychlý analogově-číslicový převodník, který je tvořen kaskádou N bloků. N-tý blok je jednovýstupovým komparátorem, ostatní bloky jsou shodné. Každý blok má analogový a komparační vstup a číslicový výstup. Každý z N-1 má dále referenční případně posouvací vstup a analogový výstup. Analogové vstupy jsou propojeny s analogovými výstupy. Komparační, referenční, případně posouvací vstupy jsou připojeny ke společnému referenčnímu děliči. Každý z N-1 bloků je tvořen dvouvýstupovým komparátorem, jehož jeden vstup je spojen s analogovým vstupem a zároveň s invertujícím vstupem invertujícího zesilovače a s neinvertujícím vstupem neinvertujícího zesilovače a druhý vstup je spojen s komparačním vstupem. Neinvertující vstup invertujícího zesilovače je spojen s referenčním vstupem, invertující vstup neinvertujícího zesilovače s posouvacím vstupem, přičemž výstupy těchto zesilovačů jsou spojeny jeden přes první analogový spínač a druhý přes druhý analogový spínač s analogovým výstupem. Analogové spínače jsou řízeny z výstupů dvouvýstupového komparátoru. Převodník lze konstruovat z diskrétních součástí a integrovaných obvodů, jako hybridní, případně i monoliticky integrovaný obvod.



OBR.1

Vynález se týká rychlého analogově číslicového převodníku s kaskádním spojením jednotlivých bloků převodu a s číslicovým výstupem v Grayově úsporném kódu.

Současné analogově číslicové převodníky lze rozdělit do dvou velkých skupin: na převodníky s přímým a převodníky s nepřímým převodem. Převodníky s nepřímým převodem využívají převodníky číslicově analogové, které jsou vyráběny jako monolitické integrované obvody ve velkých sériích a jsou proto poměrně levné. Číslicově analogové převodníky pracují s binárním úsporným kódem a na každý bit mají dobu ustálení mezi 0,1 a 1 μ s. Při jejich použití v převodnicích analogově číslicových se různými způsoby převádí číslicový signál na analogový a ten je porovnáván se vstupním analogovým signálem. Při shodě obou signálů je příslušný číslicový signál s N-bitovým číslicovým slovem z výstupu odebírána jako obraz signálu analogového. Podle způsobu vyhledávání shody se celková doba převodu pohybuje mezi N násobkem až 2^N násobkem doby ustálení jednoho bitu, takže doba převodu trvá u běžných osmibitových převodníků od 1 do 50 μ s.

Přímé analogově číslicové převodníky lze rozdělit do různých skupin podle různých hledisek. Podle rychlosti převodu je dělíme na pomalé a rychlé. Pomalé převodníky nejčastěji pracují na integračním principu nebo s převodem napětí na kmitočet. Jejich doby převodu jsou zpravidla delší než 1 ms. Z rychlých převodníků je nejvíce znám tzv. převodník paralelní, který je již ze samého principu nejrychlejším převodníkem vůbec.

Je známo, že N bitový převodník je schopen rozlišit nejvýše $n = 2^N$ diskretních úrovní analogového signálu. Paralelní převodník pro rozlišení n diskretních úrovní potřebuje n-1 komparátorů úrovní. Aby výstupní číslicový signál mohl být úsporně binárně zakódován, musí být výstupy komparátorů propojeny s poměrně složitou kombinační logickou sítí. Celková doba převodu takového převodníku je pak dána citlivostí a rychlostí kteréhokoliv z komparátorů a dobou reakce kombinační sítě. Například paralelní čtyřbitový převodník rozlišuje 16 úrovní s 15 komparátory. S dosažitelnými součástmi lze s ním převod uskutečnit za 30 až 100 ns s celkovým počtem 30 integrovaných obvodů. Jeho přesnost, cca 6 %, není příliš velká a pro praktické využití je proto nevyhovující.

Zvětšení přesnosti a tím i rozlišovací schopnosti o každý další bit však znamená zvětšit počet použitých integrovaných obvodů na dvojnásobek. Současná technika číslicového zpracování analogových signálů je uzpůsobena na osmibitové sběrnice číslicových signálů, vývoj směřuje k šestnáctibitovému zpracování. Osmibitový paralelní převodník však vyžaduje 255 rychlých a citlivých komparátorů a odpovídající kombinační síť. Proto se takové převodníky obtížně realizují a jsou velmi drahé.

Tam, kde nejsou kladeny extrémní požadavky na rychlost, řeší se rychlé převodníky kompromisně: spojují se například dva ekonomicky i technicky únosné čtyřbitové paralelní převodníky do kaskády, přičemž první čtyři bity osmibitového signálu jsou získány přímo z prvního čtyřbitového bloku. Druhé čtyři bity jsou však získány nepřímo s použitím rychlého čtyřbitového číslicově analogového převodníku, s jehož pomocí je vytvořen rozdílový analogový signál, který pak druhý čtyřbitový paralelní převodník převede na binární číslo.

Vřazený číslicově analogový převodník a pomocný odečítací obvod mají přitom rozhodující vliv na celkovou dobu převodu, kterou výrazně prodlužují. Převodníky tohoto smíšeného typu vyhovují například pro zpracování obrazových signálů a při realizaci vyžadují asi 70 integrovaných funkčních obvodů.

Do skupiny přímých analogově číslicových převodníků patří též méně známé převodníky s postupným převodem bit po bitu. Na rozdíl od předcházejících převodníků je každý bit převáděn jedním funkčním blokem, takže N-bitový převodník vyžaduje kaskádní spojení N funkčních bloků. Zpravidla je (N-1) bloků zapojených shodně, poslední N-tý (nejméně významný) blok je tvořen jediným komparátorem. Převodníky této skupiny bez pomocné kombinační sítě vytvářejí číslicový signál v úsporném Grayově kódu. Je-li nutné získat výstupní signál v binárním kódu,

stačí použít jednoduchý převodník kódu složený z logických obvodů typu Exclusive-or nebo AND-OR-Invert.

Nevýhodou dosud známých převodníků s postupným převodem bit po bitu je, že vyžadují velice rychlé a přesné zesilovače absolutní hodnoty a velice rychlé a přesné analogové sčítací nebo odčítací obvody. Funkční bloky těchto převodníků jsou velice náročné na výběr součástí a v současné době se nedají realizovat tak, aby umožňovaly současně dostatečně rychlý a přesný převod.

Výše uvedené nedostatky dosud používaných převodníků odstraňuje rychlý analogově číslicový převodník podle vynálezu. Je tvořen N-funkčními bloky, kde N je rovno počtu bitů výstupního číslicového slova. Tyto bloky jsou spojeny kaskádně. Poslední N-tý blok je tvořen samotným jednovýstupovým komparátorem a ostatní N-1 bloky jsou shodné. Každý z N-bloků má analogový vstup, komparační vstup a číslicový výstup. Každý z N-1 bloků je navíc opatřen referenčním vstupem, analogovým výstupem a případně posouvacím vstupem. V kaskádě je vždy analogový vstup následujícího bloku spojen s analogovým výstupem předcházejícího bloku.

Podstatou převodníku podle vynálezu je, že všechny komparační, referenční a případné posouvací vstupy jsou připojeny ke společnému referenčnímu děliči spojenému se společným zdrojem referenčního napětí. Každý z N-1 bloků je tvořen dvouvýstupovým komparátorem, invertujícím zesilovačem, neinvertujícím zesilovačem a prvním a druhým analogovým spínačem. U každého z N-1 bloků je analogový vstup spojen s invertujícím resp. neinvertujícím vstupem dvouvýstupového komparátoru a zároveň s invertujícím vstupem invertujícího zesilovače a s neinvertujícím vstupem neinvertujícího zesilovače.

Komparační vstup je spojen s neinvertujícím resp. invertujícím vstupem dvouvýstupového komparátoru. Referenční vstup je spojen s neinvertujícím vstupem invertujícího zesilovače. Posouvací vstup je spojen s invertujícím vstupem neinvertujícího zesilovače. Invertující resp. neinvertující výstup dvouvýstupového komparátoru je číslicovým výstupem bloku. Výstup invertujícího zesilovače je přes první analogový spínač spojen s analogovým výstupem bloku, k němuž je zároveň přes druhý analogový spínač připojen výstup neinvertujícího zesilovače. Řídící svorka prvního analogového spínače je spojena s invertujícím resp. neinvertujícím výstupem dvouvýstupového komparátoru a řídící svorka druhého analogového spínače je spojena s jeho neinvertujícím resp. invertujícím výstupem.

Mezi analogový vstup každého z N-1 bloků a spojení invertujícího vstupu invertujícího zesilovače s neinvertujícím vstupem neinvertujícího zesilovače lze zařadit oddělovací zesilovač, případně i zpožďovací člen, který může být součástí oddělovacího zesilovače.

Dále mohou být různě pospojovány vstupy bloků převodníku. Lze posouvací vstup N-1 bloků připojit k invertujícímu vstupu neinvertujícího zesilovače. Dále je možno uzemnit komparační vstup nebo referenční vstup nebo posouvací vstup každého z N-1 bloků, nebo jen prvního z N-1 bloků nebo druhého až N-1. bloku. Jinou variantou je, že každý z N-1 bloků nebo první z nich nebo druhý až N-1. blok má posouvací vstup spojen s analogovým vstupem.

Invertující zesilovač může být s výhodou tvořen operačním zesilovačem v zapojení invertoru a oddělovací zesilovač a neinvertující zesilovač může být zároveň tvořen operačními zesilovači v zapojení sledovače napětí.

Tento rychlý analogově číslicový převodník umožňuje dostupnými prostředky a ekonomicky výhodně dosáhnout dostatečně rychlého a přesného převodu analogové veličiny. Převodník ke své činnosti nevyžaduje ani generátor taktovacích impulsů, ani vzorkovací obvod. Jeho převod probíhá s plným využitím rychlosti komparátorů, analogových spínačů a zesilovačů. Rychlost převodníku se nejlépe uplatní ve funkci číslicového sledovače analogového signálu. Této funkci též plně vyhovuje výstupní Grayův kód převodníku.

Příklady zapojení rychlého analogově číslicového převodníku podle vynálezu jsou uvedeny

na přiložených výkresech. Na obr. 1 je uvedeno blokové schéma zapojení celého N-bitového převodníku, na obr. 2 je příklad blokového zapojení vnitřní struktury jednoho z N-1 bloků této kaskády a na obr. 3 je příklad zapojení jednoho z N-1 bloků s operačními zesilovači.

Rychlý analogově číslicový převodník je tvořen řetězcem N bloků, přičemž poslední blok je tvořen jednovýstupovým komparátorem 20 a má pouze analogový vstup 1, komparační vstup 2 a číslicový výstup 3. Ostatní (N-1) bloky mají zcela shodnou strukturu a jsou opatřeny analogovými vstupy 1, komparačními vstupy 2, referenčními vstupy 4, posouvacími vstupy 5, číslicovými výstupy 3 a analogovými výstupy 6. Analogový vstup 1 prvního bloku je vstupem převodníku, analogové vstupy 1 následujících bloků jsou vždy propojeny s analogovými výstupy 6 předcházejících bloků. Všechny komparační vstupy 2, referenční vstupy 4 a posouvací vstupy 5 jsou připojeny ke společnému referenčnímu děliči napětí 7, který je napájen společným zdrojem 8 referenčního napětí.

Vnitřní struktura posledního, tedy N-tého bloku, je nejjednodušší. Jeho analogový vstup 1 a komparační vstup 2 jsou vstupy jednovýstupového komparátoru 20 napětí, jeho číslicový výstup 3 je nejméně významným, tzv. LSB výstupem rychlého analogově číslicového převodníku. Ostatní bloky sestávají z dvouvýstupového komparátoru 9, invertujícího zesilovače 11, neinvertujícího zesilovače 12, prvního a druhého analogového spínače 14 a 15, případně z oddělovacího zesilovače 16.

Analogový vstup 1 bloku je spojen s invertujícím resp. neinvertujícím vstupem 10 dvouvýstupového komparátoru 9, s invertujícím vstupem invertujícího zesilovače 11 a s neinvertujícím vstupem neinvertujícího zesilovače 12. Komparační vstup 2 je spojen s invertujícím resp. neinvertujícím vstupem 13 dvouvýstupového komparátoru 9, referenční vstup 4 s neinvertujícím vstupem invertujícího zesilovače 11 a posouvá vstup 5 s invertujícím vstupem neinvertujícího zesilovače 12.

Výstup invertujícího zesilovače 11 je přes první analogový spínač 14 spojen s analogovým výstupem 6 a výstup neinvertujícího zesilovače 12 je přes druhý analogový spínač 15 spojen s analogovým výstupem 6. Řídící svorka prvního analogového spínače 14 je spojena s invertujícím resp. neinvertujícím výstupem dvouvýstupového komparátoru 9, řídící svorka druhého analogového spínače 15 je spojena s neinvertujícím resp. invertujícím výstupem dvouvýstupového komparátoru 9. Invertující resp. neinvertující výstup dvouvýstupového komparátoru 9 je současně číslicovým výstupem 3 bloku.

Je výhodné mezi analogový vstup 1 a oba vstupy invertujícího a neinvertujícího zesilovače 11 a 12 zapojit oddělovací zesilovač 16. Tím se zmenší vliv konečného odporu obou analogových spínačů 14 a 15 a malého vstupního odporu invertujícího zesilovače 11 na přesnost převodníku a je možné vyrovnat zpoždění dvouvýstupového komparátoru 9 se zpožděním signálu v invertujícím a neinvertujícím zesilovači 11 a 12.

Připojením komparačního vstupu 2 k vhodnému napětí na společném referenčním děliči 7 se nastaví potřebná komparační úroveň signálu, při níž se mění logický stav výstupů dvouvýstupového komparátoru 9 a která rozhoduje o číslicovém údaji příslušného bitu výstupního číslicového slova. Přivedení vhodného napětí na referenční vstup 4 způsobí stejnosměrné posunutí výstupního napětí na analogovém výstupu 6 v případě, kdy je sepnut první analogový spínač 14. Analogicky napětí na posouvacím vstupu 5 posouvá stejnosměrné napětí na analogovém výstupu 6 v případě, kdy je sepnut druhý analogový spínač 15.

Nejsnadněji se rychlý analogově číslicový převodník podle vynálezu realizuje tak, že pro funkci zesilovačů jsou použity operační zesilovače, a to pro invertující zesilovač 11 v zapojení invertoru a pro oddělovací zesilovač 16 a neinvertující zesilovač 12 v zapojení sledovače napětí. V takovém případě posouvací vstup 5 odpadá nebo je uzemněn, komparační vstup 2 se spojí s referenčním vstupem 4. Přenos bloku mezi analogovým vstupem 1 a analogovým výstupem 6 je jednotkový. Správné přiřazení vstupů a výstupů dvouvýstupového komparátoru 9 závisí na

předpokládaném rozsahu vstupních napětí na analogovém vstupu 1, na typu vodivosti součástí pro první a druhý analogový spínač 14, 15 a na požadované polaritě napětí na analogovém výstupu 3. Pro zjednodušení vysvětlení funkce bloku lze předpokládat, že bude požadováno kladné napětí na analogovém výstupu 6, že oba analogové spínače 14 a 15 přejdou do sepnutého stavu kladným řídicím napětím, což je v kladné logice stav H, a do vypnutého stavu nulovým nebo záporným řídicím napětím, což je logický stav L. Vzhledem k možným změnám vstupních napětí lze rozeznat tři základní možnosti:

1. napětí u_0 na analogovém vstupu 1 je vždy kladné, tedy

$$0 \leq u_0 < U_M \quad (1)$$

kde U_M je maximální napětí vstupního signálu.

2. napětí u_0 na analogovém vstupu 1 je kladné nebo záporné v rozsahu

$$-U_M < u_0 < +U_M \quad (2)$$

3. napětí u_0 na analogovém vstupu 1 je záporné v rozsahu

$$-U_M < u_0 \leq 0 \quad (3)$$

Ve všech případech U_M představuje hranici, ke které se vstupní napětí u_0 může jen přiblížit.

V prvním případě lze použít zapojení z obr. 2 i z obr. 3 bez posouvacího vstupu 5. Na komparační vstup 2 je třeba připojit napětí

$$U_K = U_M/2 \quad (4)$$

Má-li celkový přenos bloku i s analogovými spínači 14 a 15 hodnotu A, musí mít napětí U_R na referenčním vstupu 4 hodnotu

$$U_R = U_K \cdot 2 \cdot \frac{A}{A_R} \quad (5)$$

kde A_R je zesílení referenčního napětí.

Protože v zapojení podle obr. 3 je $A = 1$, bude $U_R = U_K$ a referenční vstup 4 může být spojen s komparačním vstupem 2. Jsou-li splněny výše uvedené podmínky, bude správné přiřazení svorek následující: analogový vstup 1 bude spojen s invertujícím vstupem 10 komparátoru 9, komparační vstup 2 a v zapojení s operačními zesilovači též referenční vstup 4, s neinvertujícím vstupem 13 dvouvýstupového komparátoru 9, posouvací vstup 5 bude uzemněn nebo vynechán. Za těchto okolností pracuje blok převodníku takto:

Při napětí u_0 menším než U_K je neinvertující výstup dvouvýstupového komparátoru 9 ve stavu logické jedničky a druhý analogový spínač 15 je spojen. První analogový spínač 14 je rozpojen. Tím je k analogovému výstupu 6 připojen neinvertující zesilovač 12 a výstupní napětí u_v má hodnotu

$$u_v = A \cdot u_0 \quad (6)$$

Při napětí u_0 větším než U_K je invertující výstup dvouvýstupového komparátoru 9 ve stavu logické jedničky, takže první analogový spínač 14 je spojen a druhý analogový spínač 15 je rozpojen; k analogovému výstupu 6 je připojen invertující zesilovač 11, takže výstupní napětí má hodnotu

$$u_v = -A \cdot u_0 + A_R \cdot U_R \quad (7)$$

Z tohoto vztahu vyplývá, že výstupní napětí je stejnosměrně posunuto o hodnotu $A_R \cdot U_R$ a jeho změny jsou invertovány.

Je-li u_o v těsné blízkosti U_K , přechází jeden výše popsaný stav v druhý a naopak. Je důležité nastavit hodnotu $A_R \cdot U_R$ tak, aby při změně stavu nedošlo ke změně hodnoty výstupního napětí. Proto musí být splněn vztah

$$2A \cdot U_K = A_R \cdot U_R \quad (8)$$

Aby tento vztah byl splněn i při rychlých změnách u_o , musí být zpoždění odezvy dvouvýstupového komparátoru 9 shodné se zpožděním okamžité hodnoty u_o po průchodu oběma zesilovacími větvemi.

Ze vztahů (6) až (8) vyplývá, že výstupní napětí je stále kladné a nepřesáhne maximální hodnotu $A \cdot U_K$; blíží-li se u_o k U_M , blíží se u_v k nule.

Pokud napětí u_o splňuje vztah (2), pak komparační vstup 2, referenční vstup 4 i posuvací vstup 5 se připojí k nulovému napětí, tedy k zemi. Analogový vstup 1 je připojen k neinvertujícímu vstupu 10 komparátoru 9, komparační vstup 2 je připojen k invertujícímu vstupu 13 komparátoru 9. Za těchto okolností pracuje blok převodníku takto:

Při kladném napětí u_o je sepnut druhý analogový spínač 15 a první analogový spínač 14 je rozpojen. K analogovému výstupu 6 je připojen neinvertující zesilovač 12 a na výstupu je kladné napětí podle vztahu (6).

Při záporném u_o je sepnut první analogový spínač 14 a druhý analogový spínač 15 je rozpojen. K analogovému výstupu 6 je připojen invertující zesilovač 11, takže na výstupu je opět kladné napětí u_v podle vztahu

$$u_v = -A \cdot u_o \quad (9)$$

Obvod pracuje obdobně jako zesilovač absolutní hodnoty.

Při průchodu u_o nulou se mění připojení invertujícího a neinvertujícího zesilovače 11 a 12, přičemž jejich výstupní napětí je nulové.

Další možností je, že napětí u_o je záporné a splňuje vztah (3). Tyto podmínky jsou pro funkční blok, u něhož je požadováno kladné výstupní napětí, nejméně příznivé. Obvod s operačními zesilovači se nedá použít, protože by zaváděl nevhodně veliké zesílení. Komparační napětí U_K pro komparační vstup 2 se zvolí podle vztahu

$$U_K = -U_M/2. \quad (10)$$

Na posuvací vstup 5 se přivede napětí

$$U_P = -U_M \frac{A}{A_P} \quad (11)$$

kde A_P je zesílení posuvného napětí.

Referenční vstup 4 je uzemněn nebo vynechán. Analogový vstup 1 je připojen k invertujícímu vstupu 10 dvouvýstupového komparátoru 9, komparační vstup 2 k neinvertujícímu vstupu 13 dvouvýstupového komparátoru 9. Za těchto okolností pracuje blok převodníku takto:

Při napětí u_o mezi $-U_M$ a U_K , tedy při u_o menším než U_K , bude na neinvertujícím výstupu dvouvýstupového komparátoru 9 logická jednička, takže bude sepnut druhý analogový spínač 15 a k analogovému výstupu 6 bude připojen neinvertující zesilovač 12. Na výstupu bude napětí

$$u_v = A \cdot u_o - A_p \cdot u_p \quad (12)$$

Při napětí u_o mezi U_K a 0 bude na invertujícím výstupu dvouvýstupového komparátoru 9 logická jednička a bude sepnut první analogový spínač 14. K analogovému výstupu 6 bude připojen invertující zesilovač 11 a výstupní napětí bude odpovídat vztahu (9).

V řetězci bloků převodníku pracuje se změnami polarit napětí jen první blok. Na analogové vstupy všech ostatních bloků přichází napětí jen jedné polarit. S ohledem na unifikaci všech bloků je účelné zachovat shodnou polaritu napětí na analogových výstupech všech bloků. Vhodná polarita výstupních napětí je zpravidla vázána na použitý typ spínacího prvku pro oba analogové spínače.

Kromě toho je pro realizaci rychlého převodníku účelné používat sledovače napětí a invertory, neboť zabezpečují nejvyšší dosažitelné rychlosti. V takovém případě hodnoty komparačních napětí jednotlivých bloků se postupně binárně zmenšují a rychlosti změn u_o ve všech blocích jsou stejné. Tím je umožněno maximálně využít dosažitelnou rychlost přeběhu výstupního napětí použitých zesilovačů.

Analogo-číslicový převodník podle vynálezu lze konstruovat z diskrétních součástí a integrovaných obvodů, jako hybridní, případně i monoliticky integrovaný obvod. Výhodně je integrovat jednotlivé funkční bloky, které lze sestavovat do řetězce potřebné délky jako stavebníci.

PŘEDMĚT VYNÁLEZU

1. Rychlý analogově číslicový převodník, tvořený N kaskádně spojenými funkčními bloky, kde N je rovno počtu bitů výstupního číslicového slova, přičemž poslední N-tý blok je tvořen samotným jednovýstupovým komparátorem a ostatní N-1 bloky jsou shodné, každý z N bloků je opatřen analogovým vstupem, komparačním vstupem a číslicovým výstupem, a každý z N-1 bloků je dále opatřen referenčním vstupem, případně posouvacím vstupem a analogovým výstupem, kde vždy analogový vstup následujícího bloku je spojen s analogovým výstupem předcházejícího bloku vyznačující se tím, že všechny komparační vstupy (2), referenční vstupy (4) a případně posouvací vstupy (5) jsou připojeny ke společnému referenčnímu děliči (7), který je spojen se společným zdrojem (8) referenčního napětí, každý z N-1 bloků je tvořen dvouvýstupovým komparátorem (9), invertujícím zesilovačem (11), neinvertujícím zesilovačem (12), prvním analogovým spínačem (14) a druhým analogovým spínačem (15), kde u každého z N-1 bloků je analogový vstup (1) spojen s invertujícím resp. neinvertujícím vstupem (10) dvouvýstupového komparátoru (9), zároveň s invertujícím vstupem invertujícího zesilovače (11) a s neinvertujícím vstupem neinvertujícího zesilovače (12), komparační vstup (2) je spojen s neinvertujícím resp. invertujícím vstupem (13) dvouvýstupového komparátoru (9), referenční vstup (4) je spojen s neinvertujícím vstupem invertujícího zesilovače (11), posouvací vstup (5) je spojen s invertujícím vstupem neinvertujícího zesilovače (12), invertující resp. neinvertující výstup dvouvýstupového komparátoru (9) je číslicovým výstupem (3) bloku, výstup invertujícího zesilovače (11) je přes první analogový spínač (14) spojen s analogovým výstupem (6) a výstup neinvertujícího zesilovače (12) je s tímto analogovým výstupem (6) spojen přes druhý analogový spínač (15), přičemž řídicí svorka prvního analogového spínače (14) je spojena s invertujícím resp. neinvertujícím výstupem dvouvýstupového komparátoru (9) a řídicí svorka druhého analogového spínače (15) je spojena s jeho neinvertujícím resp. invertujícím výstupem.

2. Rychlý analogově číslicový převodník podle bodu 1 vyznačující se tím, že mezi analogový vstup (1) každého z N-1 bloků a spojení invertujícího vstupu invertujícího zesilovače (11) s neinvertujícím vstupem neinvertujícího zesilovače (12) je zařazen oddělovací zesilovač (16).

3. Rychlý analogově číslicový převodník podle bodu 1 a 2 vyznačující se tím, že oddělovací zesilovač je realizován se zpožďovacím členem.

4. Rychlý analogově číslicový převodník podle bodu 1 a 2 vyznačující se tím, že posouvací vstup (5) N-1 bloků je připojen k invertujícímu vstupu neinvertujícího zesilovače (12).

5. Rychlý analogově číslicový převodník podle bodů 1 až 4 vyznačující se tím, že komparační vstupy (2) nebo referenční vstupy (4) nebo posouvací vstupy (5) N-1 bloků jsou uzemněny.

6. Rychlý analogově číslicový převodník podle bodů 1 až 4 vyznačující se tím, že komparační vstup (2) nebo referenční vstup (4) nebo posouvací vstup (5) prvního z N-1 bloků je uzemněn.

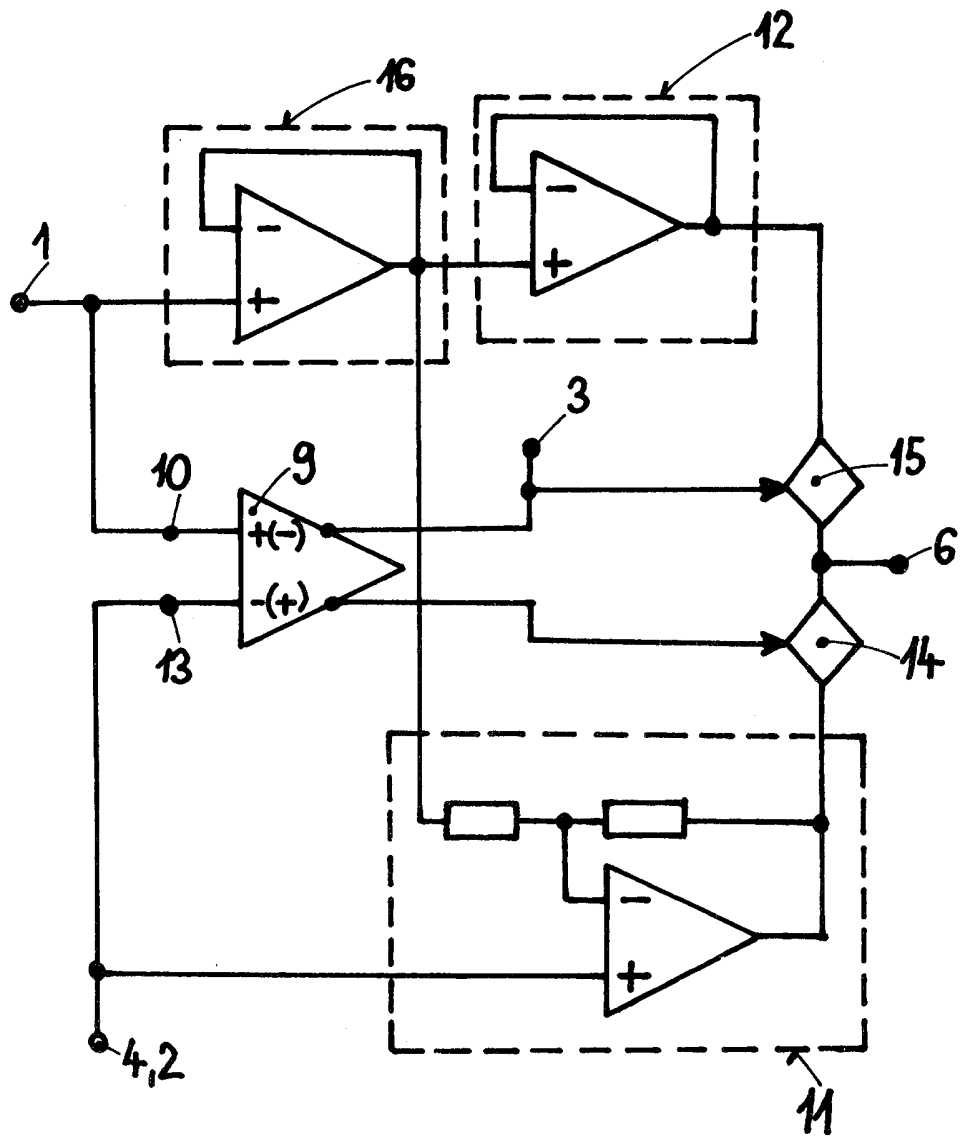
7. Rychlý analogově číslicový převodník podle bodů 1 až 4 vyznačující se tím, že komparační vstupy (2) nebo referenční vstupy (4) nebo posouvací vstupy (5) druhého až (N-1) bloku jsou uzemněny.

8. Rychlý analogově číslicový převodník podle bodů 1 až 4 vyznačující se tím, že každý z N-1 bloků má posouvací vstup (5) spojen s analogovým vstupem (1).

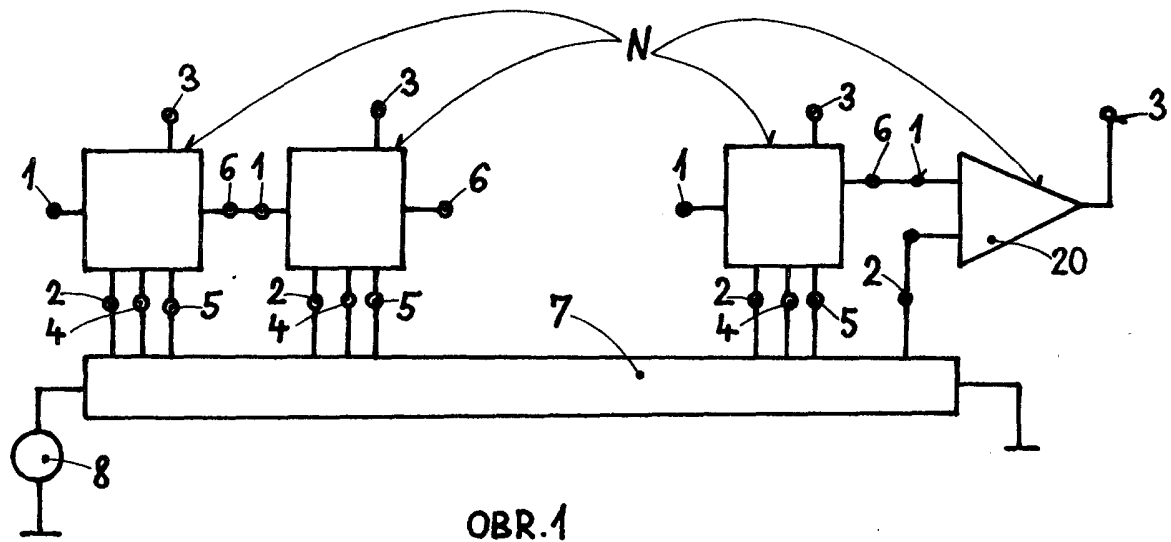
9. Rychlý analogově číslicový převodník podle bodů 1 až 4 vyznačující se tím, že první z N-1 bloků má posouvací vstup (5) spojen s analogovým vstupem (1).

10. Rychlý analogově číslicový převodník podle bodů 1 až 4 vyznačující se tím, že druhý až N-1 blok má posouvací vstup (5) spojen s analogovým vstupem (1).

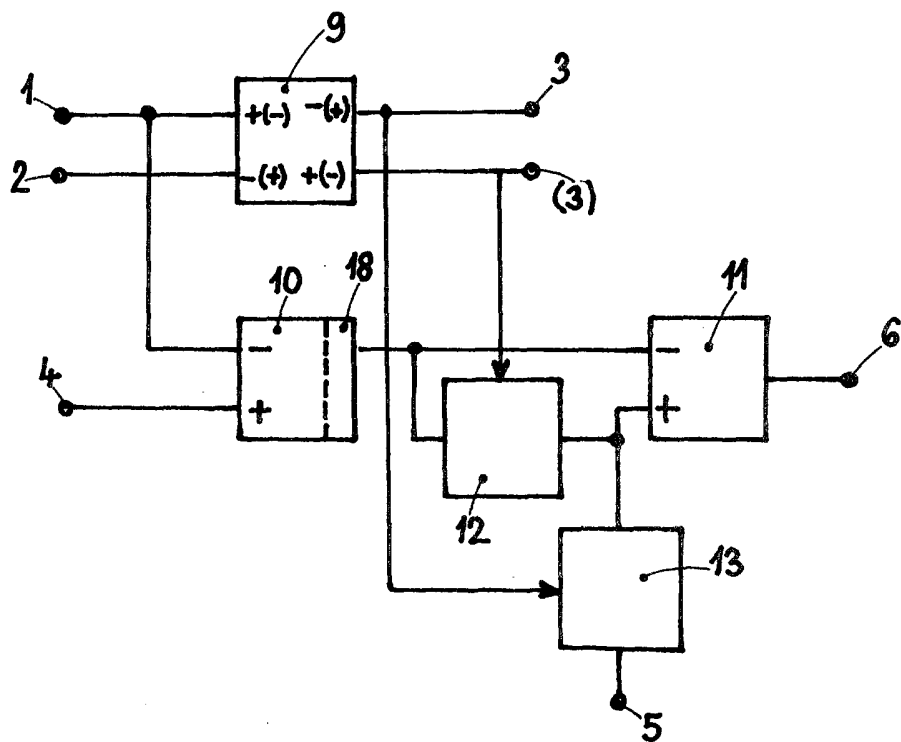
11. Rychlý analogově číslicový převodník podle bodů 1 až 10 vyznačující se tím, že invertující zesilovač (11) je tvořen operačním zesilovačem v zapojení invertoru a oddělovací zesilovač (16) a neinvertující zesilovač (12) jsou tvořeny operačními zesilovači v zapojení sledovače napětí.



OBR.3



OBR.1



OBR.2