

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
COURBEVOIE

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

3 051 971

②1 N° d'enregistrement national : 16 54831

⑤1 Int Cl<sup>8</sup> : H 01 L 21/762 (2017.01), H 01 L 23/48, 23/52, 25/065

⑫

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 30.05.16.

③0 Priorité :

④3 Date de mise à la disposition du public de la  
demande : 01.12.17 Bulletin 17/48.

⑤6 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

⑥0 Références à d'autres documents nationaux  
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : SOITEC Société anonyme — FR.

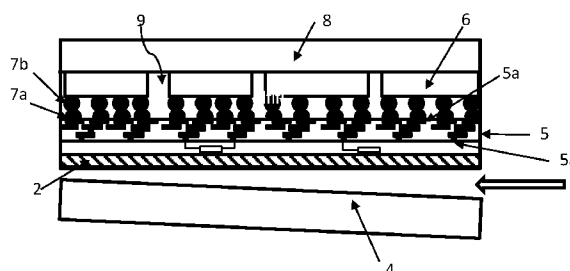
⑦2 Inventeur(s) : NGUYEN BICH-YEN, ECARNOT  
LUDOVIC, BEN MOHAMED NADIA et MALEVILLE  
CHRISTOPHE.

⑦3 Titulaire(s) : SOITEC Société anonyme.

⑦4 Mandataire(s) : IP TRUST.

⑤4 PROCÉDE DE FABRICATION D'UNE STRUCTURE SEMI-CONDUCTRICE COMPRENANT UN INTERPOSEUR.

⑤7 L'invention concerne un procédé permettant de former une structure semi-conductrice comprenant l'introduction, dans des conditions choisies, de composés d'hydrogène et d'hélium dans un support temporaire (1) afin de former une zone de faiblesse (2) à une profondeur prédéterminée à l'intérieur de celui-ci, et pour définir une couche superficielle (3) et une partie résiduelle (4) du support temporaire (1); la formation d'une couche d'interconnexion (5) sur le support temporaire (1); la mise en place d'au moins une puce à semi-conducteur (6) sur la couche d'interconnexion (5) et la fourniture d'énergie au support temporaire (1) pour détacher la partie résiduelle (4) et fournir la structure semiconductrice.



FR 3 051 971 - A1



PROCEDE DE FABRICATION D'UNE STRUCTURE SEMI-CONDUCTRICE  
COMPRENANT UN INTERPOSEUR

**DOMAINE DE L'INVENTION**

5

La présente invention concerne un procédé de fabrication d'une structure semi-conductrice comprenant un interposeur.

10

**ARRIERE-PLAN TECHNOLOGIQUE DE L'INVENTION**

Les interposeurs sont couramment utilisés sous la forme d'éléments passifs permettant d'empiler les puces à semi-conducteurs ou les microplaquettes côte à côte, afin de les connecter les unes avec les autres et avec  
15 l'environnement extérieur. Les interposeurs permettent de mélanger les puces ou les microplaquettes ayant des fonctions différentes (unités centrales, mémoire, entrée/sortie) afin de former des dispositifs semi-conducteurs encapsulés présentant des configurations à  
20 large bande passante et des facteurs de forme compacts. Ils évitent d'avoir à intégrer tous les éléments fonctionnels au niveau de la microplaquette, et abrègent le temps nécessaire à la mise au point des dispositifs.

25

Le document US2013/0214423 rappelle qu'un interposeur est habituellement constitué d'une couche de matériau suffisamment épaisse pour être rigide (par exemple d'environ 200 microns, voire plus), et présente, sur ses faces opposées des plages de contact

permettant une connexion à la puce à semi-conducteurs et/ou à des connecteurs externes. Un interposeur comprend également des vias conducteurs qui le traversent, afin de connecter électriquement les plages  
5 de contact sur ses faces opposées.

Il est généralement difficile de former des vias ayant un rapport de forme élevé (défini comme étant la longueur d'un via divisée par la dimension de sa section), par exemple un rapport supérieur à 5. Par  
10 conséquent, les vias ont une dimension de section transversale minimum qui est typiquement supérieure à 20 microns. Cette dimension limite le nombre de vias qui peuvent être formés sur une surface donnée de l'interposeur, et limite donc la densité d'intégration  
15 du dispositif semi-conducteur encapsulé final. Les dispositifs moins compacts posent également des problèmes en tant que tels, car ils ne peuvent pas être mis en place dans des articles de faibles dimensions (smart phones, montres connectées, etc.). Les  
20 dispositifs moins compacts limitent également les performances, puisque les lignes de connexion nécessairement plus longues risquent d'affecter la largeur de bande et la latence de propagation des signaux.

25 Une nouvelle approche des interposeurs, telle que celle qui est décrite dans le document US2014/0191419, qui ne nécessitent pas de vias traversants, suscite un intérêt grandissant. Cependant, de nouvelles améliorations doivent être apportées dans l'évolution

du boîtier à semi-conducteur et de son procédé de fabrication.

#### OBJET DE L'INVENTION

5           La présente invention a pour objectif de former un dispositif semi-conducteur comprenant au moins une puce à semi-conducteur ou une microplaquette, et un interposeur permettant d'acheminer des signaux électriques à partir de/vers des éléments conducteurs  
10 de la au moins une puce à semi-conducteur. L'interposeur ne contient aucun via traversant.

#### RESUME DE L'INVENTION

          Pour ce faire, l'invention concerne un procédé  
15 permettant de former une structure semi-conductrice qui comprend :

- l'implantation d'ions hydrogène et hélium dans un support temporaire, dans des conditions d'implantation choisies, afin de former une zone de  
20 faiblesse à une profondeur prédéterminée à l'intérieur de celui-ci, et pour définir une couche superficielle et une partie résiduelle du support temporaire ;

- la formation d'une couche d'interconnexion sur le support temporaire, la couche d'interconnexion  
25 comprenant des plages de contact et des chemins électriquement conducteurs entre les plages de contact ;

• la mise en place d'au moins une puce à semi-conducteur sur la couche d'interconnexion afin de coupler électriquement les éléments conducteurs de la puce avec les plages de contact de la couche  
5 d'interconnexion ;

• la fourniture d'énergie au support temporaire afin de détacher la partie résiduelle et de fournir la structure semi-conductrice.

Selon encore d'autres caractéristiques non  
10 restrictives de l'invention, prises soit seules, soit en une combinaison techniquement faisable quelconque :

• les conditions d'implantation sont choisies de telle manière que les étapes de la formation de la couche d'interconnexion et de la mise en place de la  
15 puce à semi-conducteur peuvent être réalisées sans provoquer le détachement de la partie résiduelle du support temporaire ;

• les conditions choisies pour l'introduction des composés d'hélium comprennent l'implantation d'ions  
20 hélium en une dose comprise entre 1 et  $2 \cdot 10^{16}$  at/cm<sup>3</sup> ; et avec une énergie d'implantation de 40 keV voire plus ;

• les conditions choisies pour l'introduction des composés d'hydrogène comprennent l'implantation  
25 d'ions hydrogène en une dose comprise entre 0,5 to  $1,5 \cdot 10^{16}$  at/cm<sup>3</sup> ; et avec une énergie d'implantation de 25 keV voire plus ;

• la couche d'interconnexion présente une première surface du côté de la puce à semi-conducteur

et une seconde surface opposée à la première surface,  
et dans lequel les plages de contact sont disposées à  
la fois sur la première et sur la seconde surface ;

• le procédé comprend l'enlèvement de la couche  
5 superficielle après le détachement de la partie  
résiduelle afin d'exposer au moins certaines plages de  
contact de la seconde surface de la couche  
d'interconnexion ;

• le procédé comprend la formation d'une  
10 fonctionnalité en saillie, telle qu'une micro-bosse ou  
des plots métalliques, sur les plages de contact de la  
première surface afin de faciliter le couplage  
électrique des éléments conducteurs de la puce à semi-  
conducteur avec les plages de contact ;

15 • le procédé comprend la formation de  
dispositifs élémentaires sur et/ou dans la couche  
superficielle ;

• la couche superficielle présente une épaisseur  
inférieure à environ 10 microns, de préférence  
20 inférieure à 1 micron, et encore plus de préférence  
comprise entre 50 et 600 nm ;

• la distance qui sépare deux plages de contact  
juxtaposées est comprise entre 0,2 microns et 2  
microns ;

25 • le procédé comprend une étape d'assemblage  
d'un renfort sur l'arrière de la au moins une puce à  
semi-conducteur ;

- l'étape d'assemblage est exécutée après l'étape de mise en place de la au moins une puce à semi-conducteur sur la couche d'interconnexion ;

- l'étape d'assemblage comprend en outre une  
5 étape de remplissage afin de fournir un matériau de remplissage dans l'espace libre qui entoure la au moins une puce ;

- le procédé comprend en outre une étape de  
10 découpage de la structure semi-conductrice afin de fournir au moins un dispositif semi-conducteur brut, et une étape d'encapsulation du au moins un dispositif semi-conducteur brut afin de former un dispositif à semi-conducteur final.

15

## FIGURES

De nombreux autres caractéristiques et avantages de la présente invention apparaitront à la lecture de la description détaillée suivante, prise conjointement  
20 avec les dessins joints, sur lesquels :

- les Figures 1 et 2 représentent des structures semi-conductrices qui peuvent être fabriquées grâce au procédé selon l'invention ;

- la Figure 3 représente une étape  
25 d'introduction de composés d'hydrogène et d'hélium dans un support temporaire ;

- la Figure 4 représente une étape de formation d'une couche d'interconnexion ;

- la Figure 5 représente une étape de mise en place d'au moins une puce à semi-conducteur sur la couche d'interconnexion ;

5 - la Figure 6 représente une étape d'assemblage d'un renfort ;

- la Figure 7 représente une étape de fourniture d'énergie au support temporaire afin de détacher une partie résiduelle ;

10 - la Figure 8 représente la structure semi-conductrice après l'enlèvement de la partie résiduelle du support temporaire.

#### DESCRIPTION DETAILED DE MODES DE REALISATION SPECIFIQUES DE L'INVENTION

15

Pour simplifier la description suivante, les mêmes références seront utilisées pour des éléments identiques ou des éléments ayant la même fonction dans les différents modes de réalisation de l'invention qui  
20 seront décrits.

La Figure 1 représente une structure semi-conductrice 10 qui peut être fabriquée grâce au procédé de la présente invention.

25 La structure semi-conductrice 10 comprend un interposeur qui consiste en une couche d'interconnexion 5. La couche d'interconnexion 5 comprend des plages de contact 5a de préférence disposées sur ses deux surfaces ; et des chemins électriquement conducteurs 5b entre les plages de contact 5a. La couche



d'interconnexion 5 peut présenter une épaisseur inférieure à 20 microns, et typiquement comprise entre 5 et 10 microns. Certaines plages de contact 5a sont électriquement couplées à des éléments conducteurs 6a d'au moins une puce à semi-conducteur 6. D'autres plages de contact 5a, spécifiquement celles qui sont disposées sur la surface exposée de la couche d'interconnexion 5, peuvent fournir une connexion extérieure entrée/sortie de la structure semi-conductrice 10.

Comme représenté sur la figure 1, les plages de contact 5a peuvent être disposées sur chacune des surfaces de la couche d'interconnexion 5 avec une densité importante. Par exemple, la distance séparant deux plages juxtaposées 5a peut être comprise entre 0,2 et 2 microns.

De préférence, une pluralité de puces à semi-conducteurs 6 sont disposées et électriquement couplées à la couche d'interconnexion 5. Les puces 6 peuvent avoir des tailles différentes, des fonctions différentes et être conçues à partir de technologies différentes. Par exemple, une puce 6 peut être une CPU de technologie 14nm, alors qu'une autre puce 6 peut être une puce entrée/sortie de technologie 0,25 micron. Chaque puce 6 peut être, par exemple, une puce à mémoire DRAM ou SRAM, une CPU, une GPU, un microcontrôleur, ou une puce entrée/sortie.

En option, la structure semi-conductrice 10 peut comprendre des puces 6 supplémentaires positionnées sur

la surface exposée de la couche d'interconnexion 5 (non représentée sur la figure 1).

La couche d'interconnexion 5 permet de co-intégrer ces différentes puces ayant des fonctions  
5 différentes pour réaliser un dispositif semi-conducteur fonctionnel. Des chemins électriquement conducteurs 5b de la couche d'interconnexion 5 permettent de connecter électriquement ensemble les éléments conducteurs 6a des  
10 différentes puces 6, afin qu'ils puissent coopérer sur le plan fonctionnel. Pour permettre un schéma complexe d'interconnexion, la couche d'interconnexion 5 peut être composée d'une pluralité de sous-couches d'interconnexion empilées, par exemple de 2 à 4 sous-couches.

15 Pour faciliter le couplage électrique des éléments conducteurs 6a des puces 6 avec les plages de contact 5a de la couche d'interconnexion 5, les plages de contact et/ou les éléments conducteurs 6a peuvent être muni(e)s d'éléments en saillie 7a, 7b, telles que  
20 des micro-bosses.

La structure semi-conductrice 10 de la figure 1 comprend également un renfort 8 placé sur l'arrière des puces 6 pour fournir un support rigide à la structure. Le renfort 8 peut être constitué de tout matériau  
25 approprié, tel que le silicium ou un matériau époxy. L'espace entre les puces 6, le renfort 8 et la couche d'interconnexion 5 peut être rempli d'un matériau de remplissage isolant, tel que de l'oxyde de silicium, afin d'assurer la protection et d'augmenter la rigidité  
30 de la structure semi-conductrice 10.

En option, et tel que représenté sur la figure 2, la structure semi-conductrice 10 peut comprendre une couche superficielle 3 par dessus, ou partiellement par dessus, la couche d'interconnexion 5, sur sa surface opposée aux puces 6. La couche superficielle 3 peut comprendre des dispositifs élémentaires 11 couplés à certaines des plages de contact 5a de la couche d'interconnexion 5. Des dispositifs élémentaires 11 peuvent fournir des fonctions supplémentaires aux puces 6. Ils peuvent correspondre à des transistors à couche mince, des diodes PN, ou des dispositifs photoniques par exemple.

La structure semi-conductrice 10 des figures 1 ou 2 peut être découpée pour former des dispositifs semi-conducteurs bruts, qui peuvent alors être encapsulés pour former des dispositifs semi-conducteurs finaux, comme cela est habituel dans l'art antérieur. L'encapsulation peut comprendre la formation de liaisons filaires sur certaines des plages de contact 5a disposées sur la surface exposée de la couche d'interconnexion 5 afin de fournir une connexion extérieure aux dispositifs.

La présente invention s'oriente vers un procédé de fabrication de la structure semi-conductrice 10, telle que celle représentée sur les figures 1 ou 2.

En référence à la figure 3, le procédé comprend une étape d'introduction de composés d'hydrogène et d'hélium, comme des ions hydrogène et des ions hélium, dans un support temporaire 1 afin de former une zone de faiblesse 2 à une profondeur prédéterminée dans le

support 1. Les composés d'hydrogène et d'hélium peuvent être introduits par implantation. La zone de faiblesse 2 définit une couche superficielle 3 et une partie résiduelle 4 du support temporaire 1.

5            Pour des raisons de coût et de disponibilité, le support peut correspondre à une tranche de silicium, de forme circulaire et de dimensions normalisées. Par exemple, la tranche de silicium peut présenter un diamètre of 200 ou 300 mm, et une épaisseur comprise  
10 entre 300 to 900 microns. Mais le procédé selon l'invention n'est pas limité à ce matériau, cette forme et cette taille du support temporaire. En résumé, le support temporaire est choisi de manière à fournir une pièce autonome, rigide, et bon marché. Le support  
15 temporaire 1 peut être revêtu d'une, voire de plusieurs couche(s) de matériau en surface, tel qu'un matériau semi-conducteur, un matériau conducteur ou un matériau isolant. En conséquence, la couche superficielle 3 peut également comprendre une, voire plusieurs couche(s) en  
20 surface du support temporaire 1.

          En fonction des conditions d'implantation qui vont être décrites plus en détails dans une partie suivante de la description, la couche superficielle 3 peut présenter une épaisseur inférieure à environ 10  
25 microns, ou inférieure à 1 micron. De préférence, cette épaisseur est comprise entre 50 to 600 nm. Dans certains exemples, la couche superficielle 3 sera complètement enlevée de la structure finale, si bien que son épaisseur n'a pas de réelle importance. Une

couche superficielle 3 plus mince facilite néanmoins son enlèvement.

L'épaisseur de la couche superficielle est typiquement inférieure d'une ou deux décimale(s) à l'épaisseur de la partie résiduelle 4. Par conséquent, l'épaisseur de la partie résiduelle 4 est très semblable à l'épaisseur du support temporaire 1.

La zone de faiblesse 2 est fournie pour permettre et pour faciliter l'enlèvement du support temporaire (et plus précisément, dans la partie résiduelle 4 du support temporaire 1), au cours d'une étape ultérieure de détachement du procédé de fabrication de la structure semi-conductrice 10.

La zone de faiblesse 2 doit donc être précisément contrôlée afin qu'elle reste suffisamment stable au cours de l'étape suivante du processus, avant l'enlèvement de la partie résiduelle 4. L'affaiblissement de la zone 2 peut être particulièrement affecté par les bilans thermiques impliqués dans lesdites étapes suivantes. "Suffisamment stable" signifie que l'affaiblissement de la zone 2, ou toute autre évolution de la zone de faiblesse 2 au cours des étapes suivantes du procédé avant le détachement, ne doit pas se développer en une déformation de la couche superficielle 3 ou ne doit pas provoquer le détachement prématuré de la partie résiduelle 4.

La zone de faiblesse 2 doit cependant être suffisamment fragilisée, de telle sorte que la

fourniture d'une quantité raisonnable d'énergie au cours de l'étape de détachement, permette l'enlèvement de la partie résiduelle 4.

Selon l'invention, le degré de fragilisation de la zone 2 est contrôlé avec une grande précision en choisissant les conditions d'introduction (c'est-à-dire d'implantation) des composés d'hydrogène et d'hélium. Cette sélection doit également prendre en considération le matériau du support temporaire 1, qui peut affecter l'évolution de la fragilisation de la zone 2, et prendre également en considération les bilans thermiques (voire plus généralement les bilans énergétiques) associés aux étapes du procédé appliquées au support temporaire préalablement à l'étape de détachement.

Par exemple, l'implantation d'ions hydrogène et hélium peut être réalisée conformément aux conditions suivantes d'implantation dans un support temporaire en silicium :

- une dose d'hydrogène comprise entre 0,5 to 1,5  $10^{16}$  at/cm<sup>3</sup> ; et avec une implantation d'énergie of 25 keV voire plus.

- une dose d'hélium comprise entre 1 et 2  $10^{16}$  at/cm<sup>3</sup> ; et avec une implantation d'énergie de 40 keV voire plus.

Les ions hydrogène et les ions hélium peuvent être successivement implantés dans le support temporaire 1, par exemple en implantant tout d'abord

les ions hélium. Il est également possible d'implanter les ions hydrogène en premier.

Avec ces composés implantés et ces conditions d'implantation, il a été démontré que le support temporaire pouvait recevoir un bilan thermique équivalent à environ 4 heures de traitement à 250 °C sans subir de déformations de surface ou provoquer de détachement de la partie résiduelle 4. "Bilan thermique équivalent" signifie une température élevée pendant une courte période de temps ; ou une température basse pendant une longue période de temps peut également être appliquée au support temporaire 1.

Ce bilan thermique acceptable est plus large que celui qui aurait pu être appliqué sur un support temporaire muni d'une zone de faiblesse qui aurait été formée par les composés d'hydrogène seuls, les composés d'hélium seuls, ou tout autre composé.

Dans certains cas, le procédé selon l'invention peut comprendre une étape de formation de dispositifs élémentaires 11 dans et/ou sur la couche superficielle 3. Cette étape peut être réalisée avant ou après la formation de la zone de faiblesse 2. Les dispositifs élémentaires 11 peuvent correspondre à des transistors à couche mince, des diodes PN, ou des dispositifs photoniques par exemple. De préférence, les dispositifs élémentaires remplissent des fonctions électriques simples ou de guidage de la lumière, qui ne requièrent pas des niveaux élevés de performances, puisque la qualité du matériau de la couche superficielle 3 peut

Au cours de cette étape du processus, la couche d'interconnexion 5 présente une première surface, en contact avec le support temporaire 1 et une seconde surface exposée. De préférence, les plages de contact

25 plages de contact 5a. et un chemin électriquement conducteur 5b entre les

20 formation, sur le support temporaire 1, de la couche selon l'invention comprend également une étape de Tel que représenté sur la figure 4, le procédé minutes, par exemple.

15 heures ou bien inférieur à environ 350 °C pendant 20 c'est-à-dire bien inférieur à environ 250 °C pendant 4 doit être bien inférieur au bilan thermique acceptable, formés après la création de la zone de faiblesse 2, dispositifs élémentaires 11, dans le cas où ils sont Le bilan thermique associé à la formation de

10 être reçu par le support temporaire 1. contribue pas au bilan thermique acceptable qui peut sont formés avant, de telle sorte que leur formation ne mais de préférence, les dispositifs élémentaires 11 formés après la formation de la zone de faiblesse 2, Les dispositifs élémentaires 11 peuvent être

5 l'implantation ou la diffusion de dopant, etc. semi-conducteurs, comme le dépôt, la gravure, toutes les techniques connues dans l'industrie des Les dispositifs élémentaires sont formés grâce à

faiblesse 2. être détériorée par la formation de la zone de



5a sont disposées sur les deux surfaces de la couche d'interconnexion 5.

La couche d'interconnexion 5 peut être formée à l'aide de la technique classique comme la métallisation ou le double damasquinage. Elle peut comprendre les étapes successives de dépôt de substance diélectrique, de gravure suivant des motifs définis de résine photosensible, de dépôt de barrière, dépôt d'aluminium ou de cuivre (par exemple par galvanoplastie), et de planarisation (par exemple par planarisation chimique-mécanique). La couche d'interconnexion 5 peut être constituée d'une pluralité de sous-couches interconnectées empilées, par exemple de 2 à 4 sous-couches, afin de créer un schéma plus complexe d'interconnexion. Le schéma d'interconnexion est conçu de telle sorte que les puces 6 de la structure semi-conductrice 10 sont couplées ensemble fonctionnellement et couplées à des connexions extérieures.

Le bilan thermique associé à la formation de la couche d'interconnexion 5 est typiquement inférieur à 250 °C pendant quelques heures, en fonction du nombre de sous-couches qui sont comprises dans la couche d'interconnexion 5. En combinaison avec tous les autres bilans thermiques qui précèdent l'étape de détachement, il ne doit pas excéder le bilan thermique acceptable de, par exemple, 4 heures de traitement à 250 °C.

Du fait que les plages de contact 5a et chemins conducteurs 5b sont essentiellement formés par la technique du dépôt, la couche d'interconnexion 5 ne nécessite pas la formation de vias dans un matériau

épais et rigide. La densité des plages de contact 5a au niveau de la première ou de la seconde surface peut être particulièrement élevée. Par exemple, la distance qui sépare deux plages de contact 5a juxtaposées peut  
5 être comprise entre 0,2 micron et 2 microns. La dimension de chaque plage (de sa section de surface) peut être de la même taille, entre 0,2 micron et 2 micron. C'est au moins 5 fois plus petit que la dimension qu'un via typique doit avoir dans l'approche  
10 traditionnelle de l'interposeur.

Cette étape de formation de la couche d'interconnexion 5 peut également comprendre la formation d'éléments en saillie 7a sur au moins certaines des plages de contact 5a de la surface  
15 exposée afin de faciliter le couplage avec les éléments conducteurs 6a des puces 6. Les éléments en saillie 7a sur les plages de contact 5a peuvent consister en micro-bosses. Ces micro-bosses 7a peuvent être formées par croissance sélective du métal sur les plages de  
20 contact 6a. Selon une variante, des plots métalliques peuvent être formés par gravure du matériau isolant qui entoure les plages 6a pour qu'ils émergent au-dessus de la surface exposée, suivie par une fusion du métal en saillie afin de former les plots.

25 Si le processus de formation des éléments en saillie 7a implique un bilan thermique significatif, le bilan thermique global appliqué à la zone de faiblesse 2 qui précède l'étape de détachement, ne doit pas excéder le bilan thermique acceptable de, par exemple,  
30 4 heures de traitement à 250 °C ou 20 minutes à 350 °C.

Tel que représenté sur la figure 5, le procédé de fabrication de la structure semi-conductrice 10 comprend en outre une étape de mise en place d'au moins une puce 6 sur la couche d'interconnexion 5 et de couplage électrique de l'élément conducteur 8a de la puce 8 avec les plages de contact 5a.

La puce 6 peut comprendre des éléments en saillie 7b, similaires à ceux décrits en faisant référence aux éléments en saillie 7a formés sur les plages de contact 5a, comme les micro-bosses ou les plots métalliques afin de faciliter leur connexion électrique avec la couche d'interconnexion 5. Les éléments en saillie 7b des puces 6 peuvent être en contact avec les éléments en saillie 7a de la couche d'interconnexion (tel que représenté sur la figure 5) ou être directement en contact avec les plages de contact 5a.

Selon une variante, un contact direct peut être formé entre les éléments conducteurs 8a des puces 6 et les plages de contact 5a, par exemple par liaison "moléculaire" directe ou liaison adhésive des deux éléments.

De préférence, l'étape de mise en place d'au moins une puce 6 implique la mise en place d'une pluralité de puces 6. Ceci peut être réalisé à l'aide de la technique bien connue du "pick and place" (saisie et mise en place).

Cette étape est de préférence réalisée à température ambiante, de telle sorte qu'elle ne contribue pas de manière significative au bilan

thermique acceptable qui précède l'étape de détachement.

Comme expliqué ci-dessus, les puces 6 peuvent être de différentes taille, technologie et fonctions.

- 5 Chaque puce 6 peut être une mémoire DRAM ou SRAM, une CPU, une GPU, un microcontrôleur, un dispositif entrée/sortie.

- 10 Un groupe choisi de puces, par exemple une puce DRAM, une puce GPU et une puce I/O peut être placé dans la position qui leur est destinée sur la couche d'interconnexion 5 et elles peuvent être couplées électriquement ensemble par la couche d'interconnexion 5 de manière fonctionnelle.

- 15 La structure semi-conductrice 10 peut être composée d'une pluralité de ces groupes de telle sorte que, après découpe et encapsulation, une pluralité de dispositifs semi-conducteurs peuvent être fabriqués collectivement.

- 20 Une fois que la puce 6 a été mise en place sur la couche d'interconnexion 5, l'espace libre qui entoure les puces 6, au-dessus de la couche d'interconnexion 5 peut être rempli d'un matériau de remplissage isolant 9, dans le but de protéger et de rigidifier l'ensemble. Le matériau de remplissage peut consister en de l'oxyde de silicium disposé sur la couche d'interconnexion 5 et  
25 autour des puces 6 grâce à une technique de dépôt sur verre par rotation. Le dépôt et le remplissage du matériau sont facilités si celui-ci présente une faible densité.

De préférence également, et tel que représenté sur la figure 6, le processus selon l'invention comprend une étape d'assemblage d'un renfort 8 sur l'arrière des puces 6. Le renfort 8 est constitué d'un  
5 matériau suffisamment épais et rigide pour que la structure semi-conductrice 10 soit autonome une fois que le substrat temporaire 1 est enlevé.

Le renfort 8 peut être composé, par exemple, d'une tranche de silicium ou d'une pièce de matériau  
10 époxy. Ses dimensions doivent au moins correspondre aux dimensions du support temporaire 1.

L'ensemble peut être obtenu par liaison adhésive, par liaison directe ou toute autre technique. De préférence, la technique choisie n'implique pas  
15 l'exposition à une température supérieure à la température ambiante, afin d'éviter d'affecter la zone de faiblesse 2 et de provoquer le détachement prématuré de la partie résiduelle 4 du support 1.

Dans une autre approche, l'arrière des puces 6  
20 peut être positionné en premier et fixé dans une position prédéterminée sur le renfort 8, et ensuite l'ensemble formé des puces 6 et du renfort 8 est mis en place sur la couche de connexion 6, et couple électriquement tous les éléments conducteurs 6a des  
25 puces 6 avec les plages de contact 5a.

Quelle que soit l'approche choisie pour la mise en place des puces 6 sur la couche d'interconnexion 5 et l'assemblage du renfort 8, le processus a pour résultat la configuration représentée sur la figure 6.

Si le processus d'assemblage du renfort ou l'étape de remplissage de l'espace autour de la puce 6 avec du matériau isolant 9 implique un bilan thermique significatif, the bilan thermique global appliqué à la zone de faiblesse 2 qui précède l'étape de détachement, ne doit cependant pas excéder le bilan thermique acceptable de, par exemple, 4 heures de traitement à 250 °C.

Le procédé de fabrication de la structure semi-conductrice 10 comprend en outre une étape de fourniture d'énergie au support temporaire 1, et plus particulièrement à la zone de faiblesse 2, pour détacher la partie résiduelle 4 et fournir la structure semi-conductrice 10. Cette étape est représentée sur la figure 7.

L'énergie peut être une énergie thermique, comme un recuit autour de 400 °C pendant une période de 10 minutes à environ 2 heures. Tout autre traitement thermique qui mène au détachement de la partie résiduelle 4 du support temporaire 1 peut être approprié. Selon une variante, l'énergie fournie peut être une énergie mécanique, comme l'insertion d'une lame au niveau de la zone de faiblesse 2 du support temporaire 1.

Quelle que soit sa forme, l'énergie appliquée, en combinaison avec l'énergie reçue au niveau de la zone de faiblesse au cours des étapes précédentes, mène au détachement de la partie résiduelle 4 du support 1, afin de fournir la structure semi-conductrice 10 représentée sur la figure 8.

Au cours d'une étape suivante, en option, la couche superficielle 3 peut être enlevée soit complètement (si aucun dispositif élémentaire 11 n'a été formé au cours d'une étape précédente) ou  
5 partiellement (afin de préserver les dispositifs élémentaires 11). L'enlèvement peut être réalisé par gravure sélective sèche ou humide, par exemple en utilisant KOH (oxyde de potassium) dans le cas où le support temporaire est en silicium.

10 Les structures semi-conductrices 10 qui peuvent être obtenues grâce au procédé exposé sont représentées sur les figures 1 et 2.

Bien entendu, l'invention n'est pas limitée au mode de réalisation particulier du procédé qui a été  
15 décrit. L'invention inclut également tous les modes de réalisation alternatifs ou les étapes supplémentaires dans le cadre des revendications jointes.

Par exemple, des dispositifs élémentaires 11 ou des dispositifs élémentaires 11 supplémentaires peuvent  
20 également être formés dans la couche superficielle 3, après l'étape de la fourniture d'énergie et le détachement de la partie résiduelle 4 du support temporaire 1.

Dans une étape optionnelle qui peut être exécutée  
25 après l'étape de détachement, une puce 6 supplémentaire peut être mise en place par-dessus la surface exposée de la couche d'interconnexion 5, et couplée électriquement aux plages de contact 5a.

Comme cela a été mentionné ci-dessus, cette structure semi-conductrice 10 peut être découpée pour former des dispositifs semi-conducteurs bruts, qui peuvent ensuite être encapsulés de façon à former des  
5 dispositifs semi-conducteurs finaux comme cela est habituel dans l'art antérieur. L'encapsulation peut comprendre the formation de liaisons filaires sur certaines des plages de contact 5a disposées sur la surface exposée de la couche d'interconnexion 5 afin de  
10 fournir une connexion extérieure aux dispositifs.



## REVENDICATIONS

1. Procédé permettant de former une structure semi-conductrice (10) comprenant:

5       • l'introduction, dans des conditions choisies, de composés d'hydrogène et d'hélium dans un support temporaire (1) afin de former une zone de faiblesse (2) à une profondeur prédéterminée à l'intérieur de celui-ci, et pour définir une couche superficielle (3) et une  
10       partie résiduelle (4) du support temporaire (1) ;

      • la formation d'une couche d'interconnexion (5) sur le support temporaire (1), la couche d'interconnexion comprenant des plages de contact (5a) et des chemins électriquement conducteurs (5b) entre  
15       les plages de contact (5a) ;

      • la mise en place d'au moins une puce à semi-conducteur (6) sur la couche d'interconnexion (5) afin de coupler électriquement les éléments conducteurs de la puce (6a) avec les plages de contact (5a) de la  
20       couche d'interconnexion (5) ;

      • la fourniture d'énergie au support temporaire (1) afin de détacher la partie résiduelle (4) et de fournir la structure semi-conductrice (10).

2. Procédé selon la revendication 1, dans lequel  
25       les conditions d'implantation sont choisies de telle manière que les étapes de la formation de la couche d'interconnexion (5) et de la mise en place de la puce à semi-conducteur (6) peuvent être réalisées sans

provoquer le détachement de la partie résiduelle (4) du support temporaire (1).

3. Procédé selon l'une quelconque des revendications précédentes, dans lequel les conditions  
5 choisies pour l'introduction des composés d'hélium comprennent l'implantation d'ions hélium en une dose comprise entre 1 et  $2 \cdot 10^{16}$  at/cm<sup>3</sup> ; et avec une énergie d'implantation de 40 keV voire plus.

4. Procédé selon l'une quelconque des  
10 revendications précédentes, dans lequel les conditions choisies pour l'introduction des composés d'hydrogène comprennent l'implantation d'ions hydrogène en une dose comprise entre 0,5 et  $1,5 \cdot 10^{16}$  at/cm<sup>3</sup> ; et avec une énergie d'implantation de 25 keV voire plus.

15 5. Procédé selon l'une quelconque des revendications précédentes, dans lequel la couche d'interconnexion (5) présente une première surface du côté de la puce à semi-conducteur (6) et une seconde surface opposée à la première surface, et dans lequel  
20 les plages de contact (5a) sont disposées à la fois sur la première et sur la seconde surface.

6. Procédé selon revendication 5, comprenant en outre au moins l'enlèvement partiel de la couche superficielle (3) après le détachement de la partie  
25 résiduelle (4) afin d'exposer au moins certaines plages de contact (5a) de la seconde surface de la couche d'interconnexion (5).

7. Procédé selon revendication 5 ou 6, comprenant en outre la formation d'une fonctionnalité (7a) en

saillie, telle qu'une micro-bosse ou des plots métalliques, sur les plages de contact (5a) de la première surface afin de faciliter le couplage électrique des éléments conducteurs (6a) de la puce à  
5 semi-conducteur (6) avec les plages de contact (5a).

8. Procédé selon l'une quelconque des revendications précédentes, comprenant en outre l'étape de la formation de dispositifs élémentaires (11) sur et/ou dans la couche superficielle (3).

10 9. Procédé selon l'une quelconque des revendications précédentes, dans lequel la couche superficielle (3) présente une épaisseur inférieure à environ 10 microns, de préférence inférieure à 1 micron, et encore plus de préférence comprise entre 50  
15 et 600 nm.

10. Procédé selon l'une quelconque des revendications précédentes, dans lequel la distance qui sépare deux plages de contact (5a) juxtaposées est comprise entre 0,2 microns et 2 microns.

20 11. Procédé selon l'une quelconque des revendications précédentes, comprenant en outre une étape d'assemblage d'un renfort (8) sur l'arrière de la au moins une puce à semi-conducteur (6).

25 12. Procédé selon la revendication précédente dans lequel l'étape d'assemblage est exécutée après l'étape de mise en place de la au moins une puce à semi-conducteur (6) sur la couche d'interconnexion (5).

13. Procédé selon la revendication précédente, dans lequel l'étape d'assemblage comprend en outre une

étape de remplissage afin de fournir un matériau de remplissage (9) dans l'espace libre qui entoure la au moins une puce (6).

14. Procédé selon l'une quelconque des  
5 revendications précédentes, comprenant en outre une  
étape de découpage de la structure semi-conductrice  
(10) afin de fournir au moins un dispositif semi-  
conducteur brut, et une étape d'encapsulation du au  
moins un dispositif semi-conducteur brut afin de former  
10 un dispositif à semi-conducteur final.

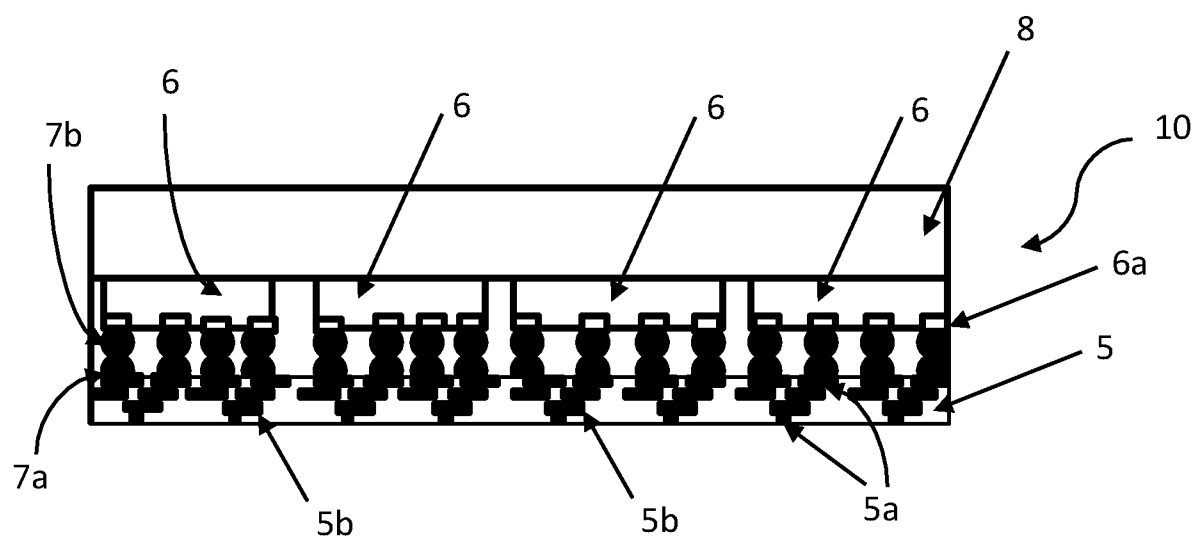


FIG.1

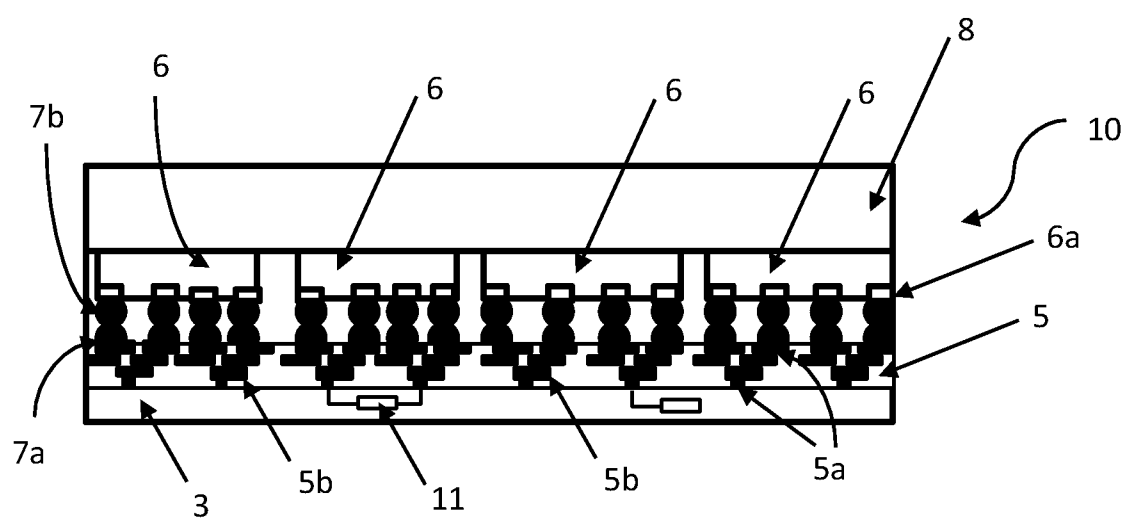


FIG.2

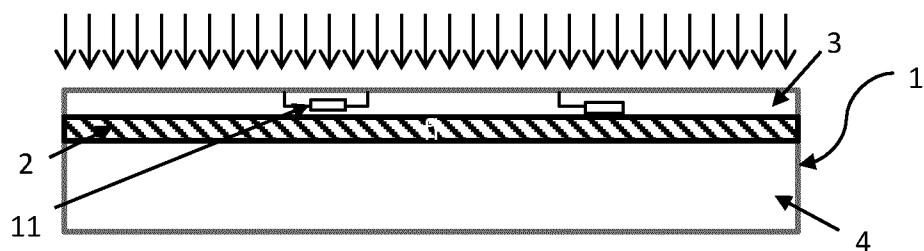


Figure 3

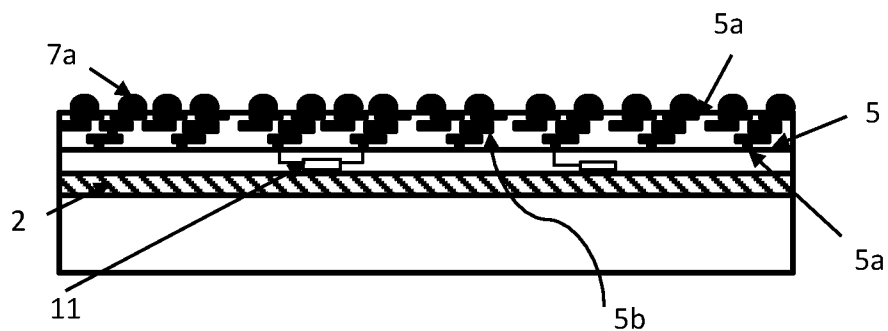


Figure 4

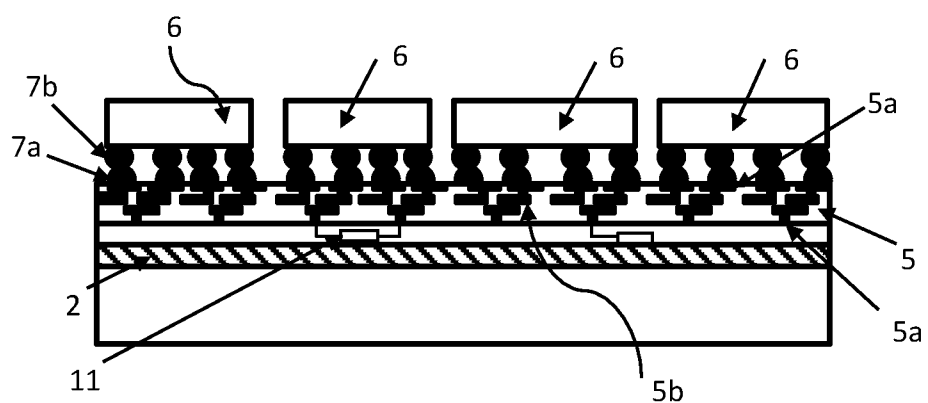


Figure 5

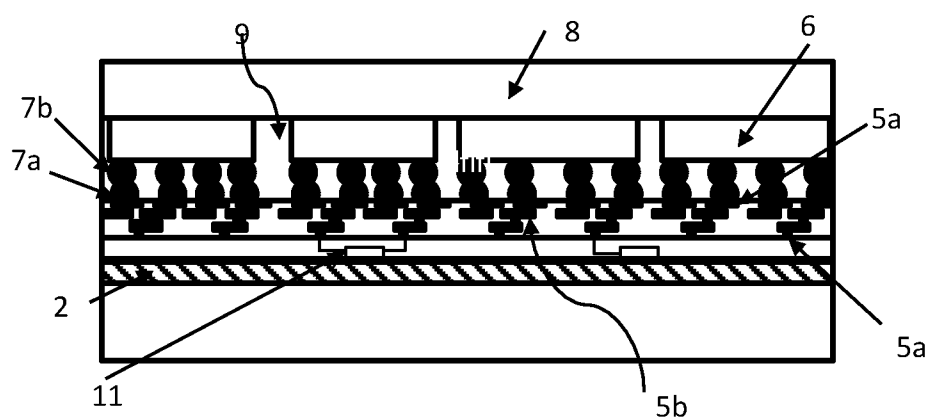
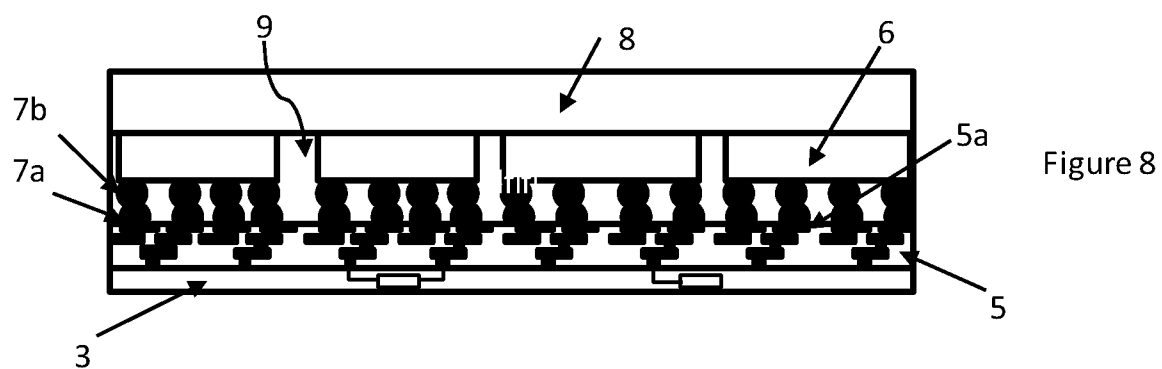
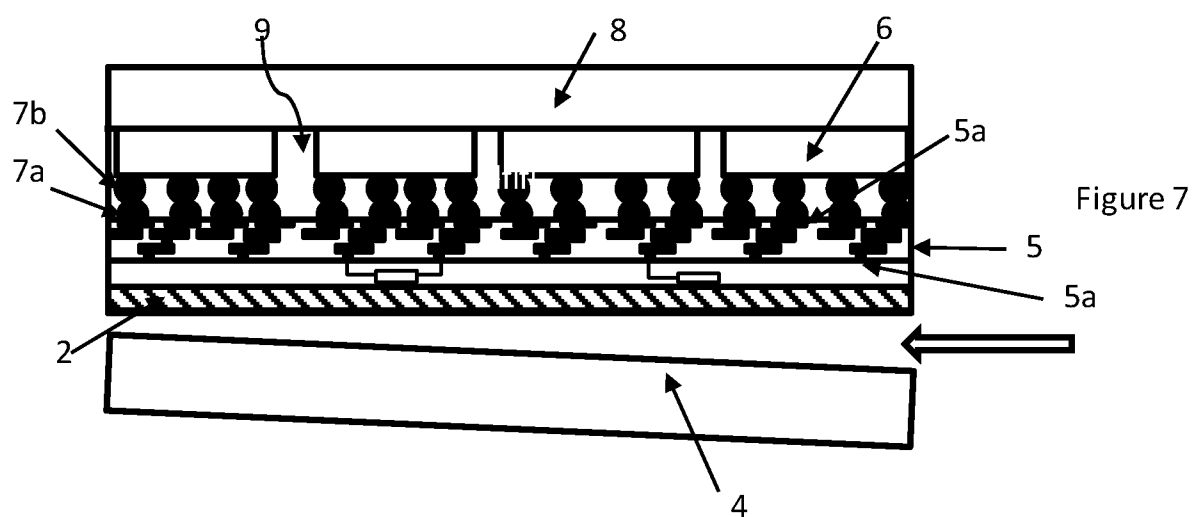


Figure 6





# **RAPPORT DE RECHERCHE PRÉLIMINAIRE PARTIEL**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 825631  
FR 1654831

voir FEUILLE(S) SUPPLÉMENTAIRE(S)

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendications concernées	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
Y	US 6 503 778 B1 (YAMAUCHI KAZUSHI [JP] ET AL) 7 janvier 2003 (2003-01-07) * colonne 3, ligne 37 - colonne 9, ligne 34 * * colonne 12, ligne 46 - colonne 13, ligne 46 * * colonne 18, lignes 53-61 * * colonne 19, lignes 12-25 * * figures 1-9, 14-15 * -----	1-9	H01L21/762 H01L23/48 H01L23/52 H01L25/065
Y	US 2003/219969 A1 (SAITO NOBUKATSU [JP] ET AL) 27 novembre 2003 (2003-11-27) * alinéa [0003] - alinéa [0011] * * alinéa [0168] - alinéa [0174] * * alinéa [0182] - alinéa [0193] * * figures 1, 4-7 * -----	1-9	
Y	LAGAHE-BLANCHARD C ET AL: "Hydrogen and helium implantation to achieve layer transfer" In: BENGTSOON S ET AL (Eds.): "Semiconductor Wafer Bonding VII: Science, Technology, and Applications, Proceedings of the International Symposium, April/May 2003, Paris, France, Electrochemical Society Proceedings", 2003, The Electrochemical Society, Inc., XP9193304, vol. 19, pages 346-358, * le document en entier * -----	1-9	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H01L
Y A	FR 2 928 031 A1 (SOITEC SILICON ON INSULATOR [FR]) 28 août 2009 (2009-08-28) * page 1, lignes 11-16 * * page 2, lignes 8-11 * * page 3, lignes 15-17 * * page 3, ligne 27 - page 4, ligne 7 * ----- -/-	8 3,4	
Date d'achèvement de la recherche		Examineur	
31 janvier 2017		Maslankiewicz, Paweł	
CATÉGORIE DES DOCUMENTS CITES			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... & : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (P04C35)





# **RAPPORT DE RECHERCHE PRÉLIMINAIRE PARTIEL**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

voir FEUILLE(S) SUPPLÉMENTAIRE(S)

N° d'enregistrement  
national

FA 825631  
FR 1654831

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendications concernées	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
Y	EP 1 014 452 A1 (SEIKO EPSON CORP [JP]) 28 juin 2000 (2000-06-28) * alinéa [0085] - alinéa [0109] * * figures 8-18 *	8	
A	FR 2 748 851 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 21 novembre 1997 (1997-11-21) * le document en entier *	2	
A	EP 1 517 363 A2 (SHARP KK [JP]) 23 mars 2005 (2005-03-23) * alinéa [0047] - alinéa [0068] * * figures 2, 3(a)-(c) *	8	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
Date d'achèvement de la recherche		Examineur	
31 janvier 2017		Maslankiewicz, Paweł	
<p><b>CATÉGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... &amp; : membre de la même famille, document correspondant</p>			

**ABSENCE D'UNITÉ D'INVENTION**  
**FEUILLE SUPPLÉMENTAIRE B**

Numéro de la demande

FA 825631  
FR 1654831

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

1. revendications: 1-9

cf. les sous-inventions définies sous les points 1.1-1.4 ci-dessous

1.1. revendications: 1-4

Procédé selon la revendication 1, avec des détails concernant les conditions d'implantation de l'hydrogène et de l'hélium

L'effet technique est associé à la formation de la zone de faiblesse d'une telle façon qu'elle reste stable lors des étapes du procédé avant l'étape de détachement du support temporaire mais se détache lors de l'étape de détachement. Le problème technique à résoudre est comment éviter un détachement prématuré du support temporaire.

1.2. revendications: 5-7

Procédé selon la revendication 1, dans lequel la couche d'interconnexion présente une première surface du côté de la puce à semi-conducteur et une seconde surface opposée à la première surface, et dans lequel les plages de contact sont disposées à la fois sur la première et sur la seconde surface

L'effet technique est associé à la formation d'un interposeur permettant d'interconnecter la puce à l'extérieur. L'objet technique à résoudre est comment former un interposeur destiné à l'interconnexion extérieure entrée/sortie de la structure semi-conductrice.

1.3. revendication: 8

Procédé selon la revendication 1, comprenant en outre l'étape de la formation de dispositifs élémentaires sur et/ou dans la couche superficielle

L'effet technique est associé à la formation d'un interposeur ayant d'autres fonctionnalités à part les lignes d'interconnexion. Le problème technique à résoudre est comment fournir des fonctions supplémentaires aux puces et ainsi à la structure semi-conductrice.

1.4. revendication: 9

Procédé selon la revendication 1, dans lequel la couche superficielle présente une épaisseur inférieure à environ 10 microns

**ABSENCE D'UNITÉ D'INVENTION**  
**FEUILLE SUPPLÉMENTAIRE B**

Numéro de la demande

FA 825631  
 FR 1654831

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

L'effet technique est associé à la possibilité d'enlever facilement la couche superficielle après l'étape de détachement du support temporaire. Le problème technique à résoudre est comment faciliter l'enlèvement des restes du support non nécessaires pour le fonctionnement de la structure semi-conductrice.

---

2. revendication: 10

Procédé selon la revendication 1, dans lequel la distance qui sépare deux plages de contact juxtaposées est comprise entre 0,2 microns et 2 microns

L'effet technique est associé à la miniaturisation de la structure semi-conductrice. Le problème technique à résoudre est de trouver la distance minimale possible de séparation de deux plages de contact.

---

3. revendications: 11-13

Procédé selon la revendication 1, comprenant en outre une étape d'assemblage d'un renfort sur l'arrière de la au moins une puce à semi-conducteur

L'effet technique est associé à un support rigide fourni à la structure. Le problème technique à résoudre est comment renforcer la structure semi-conductrice.

---

4. revendication: 14

Procédé selon la revendication 1, comprenant en outre une étape de découpage de la structure semi-conductrice afin de fournir au moins un dispositif semi-conducteur brut, et une étape d'encapsulation du au moins un dispositif semi-conducteur brut afin de former un dispositif à semi-conducteur final

L'effet technique est associé à la manière de former un dispositif à semi-conducteur final. Le problème technique à résoudre est comment finaliser la production du dispositif à semi-conducteur prêt à l'intégration dans un dispositif électronique.

---

Prière de noter que toutes les inventions mentionnées sous point 1, qui ne sont pas nécessairement liées par un concept inventif commun, ont pu être recherchées sans effort particulier justifiant une taxe additionnelle.

**ABSENCE D'UNITÉ D'INVENTION  
FEUILLE SUPPLÉMENTAIRE B**

Numéro de la demande

FA 825631  
FR 1654831

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

La première invention a été recherchée.

Il est fait référence aux documents suivants :

D1 US 6 503 778 B1

D2 LAGAHE-BLANCHARD C ET AL: "Hydrogen and helium implantation to achieve layer transfer", dans: BENGTTSSON S ET AL (Eds.): "Semiconductor Wafer Bonding VII: Science, Technology, and Applications, Proceedings of the International Symposium", April/May 2003, Paris, France, Electrochemical Society Proceedings, vol. 19, 2003, The Electrochemical Society, Inc., pages 346-358

D3 US 2003/219969 A1

D4 FR 2 928 031 A1

1. L'idée principale de la présente demande réside dans un procédé de fabrication d'un dispositif semi-conducteur comprenant au moins une puce à semi-conducteur ou une microplaquette et un interposeur permettant d'acheminer des signaux électriques à partir de/vers des éléments conducteurs de la au moins une puce à semi-conducteur, l'interposeur ne contenant aucun via traversant, ce qui peut être considéré réfléchi par l'objet de la revendication 1. Cependant, la revendication 1 manque d'activité inventive:

1.1. D1 divulgue (les figures 14-15 et le texte correspondant en tenant aussi compte de la référence au mode de réalisation des figures 1-12 (col. 12, l. 54-57, col. 13, l. 18-19)) un procédé permettant de former une structure semi-conductrice comprenant:

- l'introduction, dans des conditions choisies, de composés (ions - cf. la description de la présente demande, p. 10, l. 27-28) d'hydrogène dans un support temporaire (11) afin de former une zone de faiblesse à une profondeur prédéterminée à l'intérieur de celui-ci, et pour définir une couche superficielle et une partie résiduelle du support temporaire (col. 7, l. 24-31);

- la formation d'une couche d'interconnexion (26+27a+27b+27c+28+29a+29b+29c) sur le support temporaire (11), la couche d'interconnexion (26+27a+27b+27c+28+29a+29b+29c) comprenant des plages de contact et des chemins électriquement conducteurs entre les plages de contact (figures 4C-4D);

- la mise en place d'au moins une puce à semi-conducteur (4) sur la couche d'interconnexion (26+27a+27b+27c+28+29a+29b+29c) afin de coupler électriquement les éléments conducteurs de la puce avec les plages de contact de la couche d'interconnexion (figure 15A; le couplage est assuré par les bosses de soudure (19a-19c) (col. 4, l. 61 - col. 5, l. 2));

- la fourniture d'énergie au support temporaire (11) afin de détacher la partie résiduelle et de fournir la structure semi-conductrice (col. 13, l. 15-26).

D1 ne divulgue pas que les composés introduits dans le support temporaire sont des composés (ions) d'hydrogène et d'hélium; seul l'hydrogène est mentionné (col. 7, l. 29-31).

L'effet technique de cette différence est associé à une façon alternative de former la zone de faiblesse.

Le problème technique objectif est comment former la zone de faiblesse d'une manière alternative.

**ABSENCE D'UNITÉ D'INVENTION**  
**FEUILLE SUPPLÉMENTAIRE B**

Numéro de la demande

FA 825631  
 FR 1654831

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

D2 divulgue (p. 346, second alinéa en conjonction avec premier alinéa) une formation d'une zone de faiblesse dans un support destinée au détachement du support par co-implantation de l'hydrogène et de l'hélium, permettant en particulier de réduire la dose implantée totale et présentant ainsi un intérêt économique. Il serait alors évident pour l'homme du métier d'appliquer cet enseignement de D2 à la solution de D1 et de former la zone de faiblesse par co-implantation de l'hydrogène et de l'hélium, comme revendiqué, pour obtenir cet avantage. D'autres avantages seraient des effets supplémentaires que l'homme du métier obtiendrait automatiquement.

La revendication 1 manque donc d'activité inventive.

Remarque supplémentaire: l'argumentation ci-dessus est basée sur le fait que la "seconde unité du dispositif" (4) ("second device unit" en anglais) de D1 peut être considérée comme une puce à semi-conducteur. Cependant, même si l'élément (4) de D1 n'était pas considéré comme une puce, la revendication 1 ne serait pas inventive au vu de D3, les figures 1, 4-7 et le texte correspondant, qui divulgue un procédé de formation d'une structure d'interconnexion incluant un dispositif (8) sur un support temporaire (1+3) suivie de l'attachement d'autres composants (14, 20, 21, 22, 31) et ensuite du détachement du support temporaire (1+3). Puisque ce procédé de D3 est similaire au celui de D1, les figures 14-15 et le texte correspondant (le dispositif (8) de D3 est un condensateur (alinéas [0173]-[0174]), un condensateur étant également mentionné dans D1 pour le composant fabriqué sur le support temporaire (col. 3, l. 45-48)), il serait évident pour l'homme du métier d'appliquer l'enseignement de D3 dans D1 (déjà modifié en tenant compte de D2, comme décrit ci-dessus) en ce qui concerne la forme des dispositifs attachés à la première couche des dispositifs, fabriquée sur le support temporaire, et d'arriver ainsi à l'objet de la revendication 1.

(Il pourrait être mentionné ici que la description de la présente demande divulgue un effet technique associé au choix des conditions d'implantation de l'hydrogène et de l'hélium, cf. p. 13, l. 16 - p. 14, l. 17. Ceci n'est pas pertinent pour la revendication 1 car lesdites conditions n'y sont pas revendiquées. De plus, cet effet n'est pas décrit en détail (la formulation "ce bilan thermique acceptable est plus large que celui qui aurait pu être appliqué sur un support temporaire muni d'une zone de faiblesse qui aurait été formée par les composés d'hydrogène seuls, les composés d'hélium seuls, ou tout autre composé" sur p. 14, l. 13-17 ne spécifie pas les conditions d'implantation de l'hydrogène seul ou de l'hélium seul auxquelles il est fait référence) et paraît contradictoire à l'enseignement de l'état de la technique, cf. D2, la figure 6 et le texte correspondant ainsi que les tableaux 1-3 et le texte correspondant ou D4, p. 3, l. 15-17 en conjonction avec p. 1, l. 11-16: D2 et D4 divulguent que l'implantation de l'hydrogène et de l'hélium mène à une diminution de l'énergie thermique nécessaire pour provoquer le détachement et non pas à une augmentation, comme mentionné dans la présente demande, D2 même supportant ce renseignement par des résultats expérimentaux (figure 6, tableaux 1-3), alors que la présente demande ne contient pas de données expérimentales supportant l'assertion sur p. 13, l. 16 - p. 14, l. 17 contre la divulgation de D2, figure 6, tableaux 1-3. L'effet mentionné dans la description, p. 14, l. 13-17

**ABSENCE D'UNITÉ D'INVENTION**  
**FEUILLE SUPPLÉMENTAIRE B**

Numéro de la demande

FA 825631  
 FR 1654831

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

semble donc incorrect.)

1.2. Il est aussi possible d'argumenter que la revendication 1 manque d'activité inventive au vu de D3, les figures 1, 4-7 et le texte correspondant en conjonction avec D1, les figures 14-15 et le texte correspondant, col. 7, l. 24-31, 34-35 et puis avec D2, p. 346, second alinéa en conjonction avec premier alinéa, la figure 6 et le texte correspondant ainsi que les tableaux 1-3 et le texte correspondant (cf. aussi point 1.1 ci-dessus): D3 divulgue la formation d'une couche d'interconnexion (interposeur) (4+5+9+10+11) comprenant un dispositif (8) sur un support temporaire (1) suivi de l'attachement d'une ou plusieurs puces (14, 20, 21, 22, 31) et ensuite du détachement du support temporaire (1), D1 divulgue une méthode alternative de fabrication d'une couche d'interconnexion (26+27a+27b+27c+28+29a+29b+29c) sur un dispositif (col. 3, l. 42 - col. 4, l. 18; figure 4D) sur un support temporaire (11) destiné à être détaché après l'attachement d'un autre composant (40) sur la couche d'interconnexion (26+27a+27b+27c+28+29a+29b+29c) avec formation d'une zone de faiblesse par l'implantation de l'hydrogène (col. 7, l. 24-31, 34-35) et D3 divulgue un avantage de co-implantation de l'hydrogène et de l'hélium pour former une zone de faiblesse à être rompue lors du détachement.

1.3. En particulier, D3 mentionne le problème de formation d'un interposeur avec un via traversant (alinéas [0007], [0009]), les solutions de figures 4-7 n'ayant pas de tels vias.

2. La revendication 1 est l'idée commune reliant les revendications dépendantes 2, 3, 4, 5, 8, 9, 10, 11 et 14. Puisque la revendication 1 manque d'activité inventive (cf. points 1.1-1.2 ci-dessus), cette idée commune manque également d'activité inventive. Les revendications 2-4, 5, 8, 9, 10, 11 et 14 ont des effets techniques différents, associés aux problèmes techniques à résoudre différents, cf. la liste des inventions 1.1-1.4, 2-4 ci-dessus. Ils n'ont donc pas d'idée commune inventive et manquent d'unité.

3. Malgré le manque d'unité, l'objet des revendications 5-7; 8; 9 dans leurs formulations présentes (et pas nécessairement en prenant en compte tous les détails supplémentaires divulgués dans la description, tels que le mode de réalisation de la figure 1) pouvait être recherché ensemble avec l'objet des revendications 1-4, ce dernier ayant été l'objet principal de la recherche. Les revendications 1-4; 5-7; 8; 9 sont alors associées dans un groupe d'inventions (groupe 1) en tant que les sous-groupes 1.1-1.4.

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1654831 FA 825631**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **31-01-2017**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6503778	B1	07-01-2003	DE 10047963 A1	29-03-2001
			JP 2001102523 A	13-04-2001
			KR 20010039935 A	15-05-2001
			TW 492067 B	21-06-2002
			US 6503778 B1	07-01-2003
-----				
US 2003219969	A1	27-11-2003	CN 1461050 A	10-12-2003
			KR 20030091022 A	01-12-2003
			TW 594958 B	21-06-2004
			US 2003219969 A1	27-11-2003
			US 2004232549 A1	25-11-2004
			US 2008261336 A1	23-10-2008
-----				
FR 2928031	A1	28-08-2009	FR 2928031 A1	28-08-2009
			WO 2009106177 A1	03-09-2009
-----				
EP 1014452	A1	28-06-2000	CN 1256794 A	14-06-2000
			DE 69931130 T2	30-11-2006
			EP 1014452 A1	28-06-2000
			EP 1686626 A2	02-08-2006
			JP 3809733 B2	16-08-2006
			JP H11312811 A	09-11-1999
			TW 412774 B	21-11-2000
			US 6700631 B1	02-03-2004
			US 2003008437 A1	09-01-2003
			WO 9944242 A1	02-09-1999
-----				
FR 2748851	A1	21-11-1997	DE 69738608 T2	30-04-2009
			EP 0807970 A1	19-11-1997
			EP 1768176 A2	28-03-2007
			FR 2748851 A1	21-11-1997
			JP 3517080 B2	05-04-2004
			JP 4220332 B2	04-02-2009
			JP H1050628 A	20-02-1998
			JP 2004048038 A	12-02-2004
			MY 125679 A	30-08-2006
			SG 52966 A1	28-09-1998
			US 6020252 A	01-02-2000
			US 6225192 B1	01-05-2001
			US 2001007789 A1	12-07-2001
			US 2004166651 A1	26-08-2004
			US 2006115961 A1	01-06-2006
			US 2009130392 A1	21-05-2009
			US 2012133028 A1	31-05-2012
-----				
EP 1517363	A2	23-03-2005	EP 1517363 A2	23-03-2005

EPO FORM P0465

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

