

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-123885

(P2012-123885A)

(43) 公開日 平成24年6月28日 (2012.6.28)

(51) Int.Cl.

G11C 11/15 (2006.01)

F I

G11C 11/15 150

G11C 11/15 180

テーマコード (参考)

審査請求 未請求 請求項の数 23 O L (全 19 頁)

(21) 出願番号 特願2011-121714 (P2011-121714)
 (22) 出願日 平成23年5月31日 (2011.5.31)
 (31) 優先権主張番号 10-2010-0124843
 (32) 優先日 平成22年12月8日 (2010.12.8)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 310024033
 ハイニックス セミコンダクター インク
 大韓民国 467-860 キョンギド
 イチョンシ プバルプ アミリ サン 1
 36-1
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 盧 光明
 大韓民国京畿道龍仁市器興区靈▲徳▼洞 1
 069番地 新東亜ファミリエ 1209
 -803

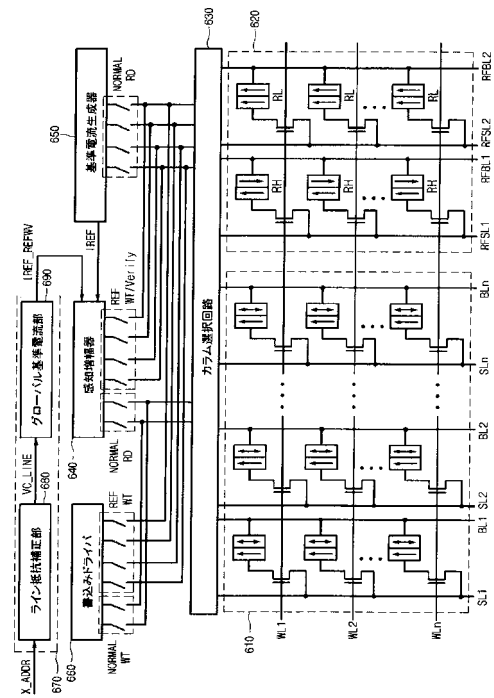
(54) 【発明の名称】 非揮発性メモリ装置

(57) 【要約】

【課題】本発明の実施形態は、非揮発性メモリ装置に関するものであって、読出し動作で発生し得る誤動作を防止し、動作の信頼性を高めることができるようにする技術を開示する。

【解決手段】このような本発明の実施形態は、抵抗値の変化に伴い単位セルにデータの読出し又は書込みが行われるセルアレイと、単位セルに流れる電流とグローバル基準電流を比べてデータを感知する感知増幅器と、アクセスされる単位セルの位置に従いグローバル基準電流のレベルを異に制御するグローバル基準電流生成回路とを含む。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

抵抗値の変化に伴い単位セルにデータの読出し又は書込みが行われるセルアレイと、前記単位セルに流れる電流とグローバル基準電流を比べてデータを感知する感知増幅器と、

アクセスされる前記単位セルの位置に従い前記グローバル基準電流のレベルを異に制御するグローバル基準電流生成回路と

を含むことを特徴とする非揮発性メモリ装置。

【請求項 2】

前記グローバル基準電流生成回路は、

前記単位セルの位置に従い相違する抵抗値を有するライン電圧を出力するライン抵抗補正部と、

前記ライン電圧に対応して前記グローバル基準電流のレベルを可変するグローバル基準電流部と

を含むことを特徴とする請求項 1 に記載の非揮発性メモリ装置。

【請求項 3】

前記ライン抵抗補正部は、

前記単位セルと連結されたビットライン、ソースラインの長さに対応して前記ライン電圧レベルを異に制御することを特徴とする請求項 2 に記載の非揮発性メモリ装置。

【請求項 4】

前記ライン抵抗補正部は、

前記単位セルの行住所を受信して複数個の位置信号を出力するセル位置判定部と、

前記複数個の位置信号に対応して互いに異なる電圧レベルを有する前記ライン電圧を出力する位置補正信号発生部と

を含むことを特徴とする請求項 2 に記載の非揮発性メモリ装置。

【請求項 5】

前記位置補正信号発生部は、

多数の抵抗が直列連結された電圧分配器と、

前記多数の抵抗と並列連結され、前記複数個の位置信号に応じて前記ライン電圧の抵抗を制御する多数のスイッチと、

前記位置補正信号発生部の活性化動作を制御する活性化部と

を含むことを特徴とする請求項 4 に記載の非揮発性メモリ装置。

【請求項 6】

前記グローバル基準電流部は、前記感知増幅器、前記セルアレイの各回路構成と同じ抵抗を有するように複製された回路を含むことを特徴とする請求項 2 に記載の非揮発性メモリ装置。

【請求項 7】

前記グローバル基準電流部は、

前記単位セルの位置に対応してチャンネル抵抗値が変わるライン電圧部と、

論理ハイレベル及び論理ローレベルの 2 つのデータの間値の固定抵抗値を有する抵抗素子と、

電流ミラーにより前記グローバル基準電流を出力する基準電流出力部と、

電圧抑制信号により制御されるクランプ電圧部と、

前記単位セルのトランジスタを複製するセルトランジスタ部と、

前記グローバル基準電流部の活性化状態を制御する活性化部と

を含むことを特徴とする請求項 6 に記載の非揮発性メモリ装置。

【請求項 8】

前記クランプ電圧部は、前記感知増幅器と同じ電源及びトランジスタが用いられることを特徴とする請求項 7 に記載の非揮発性メモリ装置。

【請求項 9】

10

20

30

40

50

前記セルトランジスタ部は、
ゲート端子を介しコア電圧が印加される第2トランジスタと、
ゲート端子を介しポンピング電圧が印加される第3トランジスタと
を含むことを特徴とする請求項7に記載の非揮発性メモリ装置。

【請求項10】

前記単位セルは、前記データに対応して互いに異なる抵抗値を有する可変抵抗素子を含むことを特徴とする請求項1に記載の非揮発性メモリ装置。

【請求項11】

前記可変抵抗素子は、磁場の方向変化を介しデータを書き込むことのできるMTJ (Magnetic Tunneling Junction) 素子を含むことを特徴とする請求項10に記載の非揮発性メモリ装置。

10

【請求項12】

抵抗値の変化に伴いデータの読出し又は書込みが行われる多数の単位セルを含むセルアレイと、

前記単位セルと同じ構造を有する多数の基準セルを含む基準セルアレイと、

前記基準セルアレイに格納されたデータを検証するため、前記基準セルの位置に対応するグローバル基準電流を生成するグローバル基準電流生成回路と、

前記基準セルアレイの書込み検証動作時に前記基準セルアレイに流れる電流と前記グローバル基準電流を比べてデータを感知する感知増幅器と

を含むことを特徴とする非揮発性メモリ装置。

20

【請求項13】

前記セルアレイのノーマル読出し動作時に、前記感知増幅器に基準電流を供給する基準電流生成器をさらに含むことを特徴とする請求項12に記載の非揮発性メモリ装置。

【請求項14】

前記グローバル基準電流生成回路は、

前記基準セルの位置に従い相違する抵抗値を有するライン電圧を出力するライン抵抗補正部と、

前記ライン電圧に対応して前記グローバル基準電流のレベルを可変するグローバル基準電流部と

を含むことを特徴とする請求項12に記載の非揮発性メモリ装置。

30

【請求項15】

前記ライン抵抗補正部は、

前記基準セルと連結されたビットライン、ソースラインの長さに対応して前記ライン電圧レベルを異に制御することを特徴とする請求項14に記載の非揮発性メモリ装置。

【請求項16】

前記ライン抵抗補正部は、

前記基準セルの行住所を受信して複数個の位置信号を出力するセル位置判定部と、

前記複数個の位置信号に対応して互いに異なる電圧レベルを有する前記ライン電圧を出力する位置補正信号発生部と

を含むことを特徴とする請求項14に記載の非揮発性メモリ装置。

40

【請求項17】

前記位置補正信号発生部は、

多数の抵抗が直列連結された電圧分配器と、

前記多数の抵抗と並列連結され、前記複数個の位置信号に応じて前記ライン電圧の抵抗を制御する多数のスイッチと、

前記位置補正信号発生部の活性化動作を制御する活性化部と

を含むことを特徴とする請求項16に記載の非揮発性メモリ装置。

【請求項18】

前記グローバル基準電流部は、前記感知増幅器、前記基準セルアレイの各回路構成と同じ抵抗を有するように複製された回路を含むことを特徴とする請求項14に記載の非揮発

50

性メモリ装置。

【請求項 19】

前記グローバル基準電流部は、
前記基準セルの位置に対応してチャンネル抵抗値が変わるライン電圧部と、
電流ミラーにより前記グローバル基準電流を出力する基準電流出力部と、
電圧抑制信号により制御されるクランプ電圧部と、
前記基準セルのトランジスタを複製するセルトランジスタ部と、
前記グローバル基準電流部の活性化状態を制御する活性化部と
を含むことを特徴とする請求項 18 に記載の非揮発性メモリ装置。

【請求項 20】

前記クランプ電圧部は、前記感知増幅器と同じ電源及びトランジスタが用いられることを特徴とする請求項 19 に記載の非揮発性メモリ装置。

【請求項 21】

前記セルトランジスタ部は、
ゲート端子を介しコア電圧が印加される第 2 トランジスタと、
ゲート端子を介しポンピング電圧が印加される第 3 トランジスタと
を含むことを特徴とする請求項 19 に記載の非揮発性メモリ装置。

【請求項 22】

前記単位セルは、前記データに対応して互いに異なる抵抗値を有する可変抵抗素子を含むことを特徴とする請求項 12 に記載の非揮発性メモリ装置。

【請求項 23】

前記可変抵抗素子は、磁場の方向変化を介しデータを書き込むことのできる M T J (Magnetic Tunneling Junction) 素子を含むことを特徴とする請求項 22 に記載の非揮発性メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は非揮発性メモリ装置に関するものであり、単位セルに格納されたデータを外部に出力する読出し動作中にデータの感知及び伝達が安定的に行われ得るよう、非揮発性メモリ装置の動作安定性を高める技術である。

【背景技術】

【0002】

半導体メモリ装置は、データを一時的又は永久に格納できるように発展してきた。このような半導体メモリ装置は、多様な電子装置或いは電子装備に用いられるか、個人用携帯型機器にも広範に用いられている。一般的な半導体メモリ装置は、データを自在に読み出すか書き込むことができ、既存のデータを更新することも容易にできる。

【0003】

半導体メモリ装置は、より多量のデータを格納することができるとともに、動作に必要な消費電力が小さく、動作速度は速くなるように開発されている。非揮発性メモリには、NORフラッシュメモリ装置又は NANDフラッシュメモリ装置が主に用いられてきたが、既存のフラッシュメモリ装置は動作速度が緩いと欠点がある。これの克服のため、マグネチックラム (Magnetic RAM) 又は磁気メモリと呼ばれる磁性体素子を利用した非揮発性固体メモリが提案された。

【0004】

磁性体素子を利用した非揮発性メモリは、資料処理速度が速いだけでなく、集積度が高く消費電力の少ない DRAM の特性と、電源が消えても資料が消滅しないフラッシュメモリの特性とを全て有する。電気充填方式で情報を格納する DRAM とは異なり、磁性体素子を利用した非揮発性メモリは、磁気抵抗効果を利用して情報を格納し、巨大磁気抵抗 (Giant Magneto Resistive、GMR) 素子とトンネリング磁気抵抗 (Tunneling Magneto Resistance、TMR) 素子をと利用することができる。

10

20

30

40

50

【 0 0 0 5 】

図 1 は、一般的な非揮発性メモリ装置の読出し動作を説明するための回路図である。

一般的な非揮発性メモリ装置は、単位セル 1 1 0、ビットライン 1 2 0、ソースライン 1 3 0、感知増幅器 1 4 0、第 1 スイッチング部 1 5 0、第 2 スイッチング部 1 6 0、第 3 スイッチング部 1 7 0 及び第 4 スイッチング部 1 8 0 を含む。

【 0 0 0 6 】

ここで、単位セル 1 1 0 は、M T J (Magnetic Tunneling Junction) 素子 1 1 2 及びセルトランジスタ 1 1 4 を含む。M T J 素子 1 1 2 は抵抗 R M T J 値を有し、セルトランジスタ 1 1 4 はワードライン W L により制御される。

【 0 0 0 7 】

ビットライン 1 2 0 は、M T J 素子 1 1 2 と連結されビットライン抵抗 R B L 値を有する。ソースライン 1 3 0 は、セルトランジスタ 1 1 4 の一端と第 2 スイッチング部 1 6 0 との間に連結され、ソースライン抵抗 R S L 値を有する。

【 0 0 0 8 】

感知増幅器 1 4 0 は、電流源 I R E F、スイッチング素子及び増幅器を含み、単位セル 1 1 0 に格納されたデータを感知及び増幅する。ここで、電流源 I R E F は、コア電圧 (V C O R E) に従いビットライン電流 I B I T を生成する。そして、増幅器は、電流源 I R E F により生成された電圧と基準電圧 V R E F とを比べて出力電圧 V O U T を出力する。スイッチング素子は、電圧抑制信号 V C M P により制御され、電流源 I R E F により生成されたビットライン電流 I B I T のレベルを制限する。

【 0 0 0 9 】

通常、メモリは構造的に単一セル状態でない多数のセルで構成されたアレイ形態を有することになる。これに伴い、特定単位セル 1 1 0 の情報を得るためには、特定単位セル 1 1 0 を選択するための第 1 スイッチング部 1 5 0、第 2 スイッチング部 1 6 0、第 3 スイッチング部 1 7 0 及び第 4 スイッチング部 1 8 0 と、共通信号線 1 2 0、1 3 0 の寄生抵抗を通らなければならない。

【 0 0 1 0 】

第 1 スイッチング部 1 5 0 は、デコーダの出力である選択信号 S E L に対応して単位セル 1 1 0 を選択するとき、ビットライン 1 2 0 と感知増幅器 1 4 0 の連結を制御する。さらに、第 2 スイッチング部 1 6 0 は、デコーダの出力である選択信号 S E L に対応して単位セル 1 1 0 を選択するとき、ソースライン 1 3 0 と第 4 スイッチング部 1 8 0 の連結を制御する。第 3 及び第 4 スイッチング部 1 7 0、1 8 0 は、外部から入力された読出し制御信号 R D E に対応して読出し動作を制御する。

【 0 0 1 1 】

図 1 では、非揮発性メモリ装置における読出し動作時に単位セル 1 1 0 を含む経路に流れる電流 I B I T を説明するため、全ての構成要素が有する抵抗値の観点で示している。

【 0 0 1 2 】

磁気メモリのような非揮発性メモリ装置で、データは M T J 素子 1 1 2 に抵抗値で格納される。一般に、M T J 素子 1 1 2 は 2 つの強磁性層の間に 1 つの絶縁層が含まれた 3 層構造で形成される。このような非揮発性メモリ装置は、M T J 素子 1 1 2 に印加される電流方向に沿って強磁性層の磁化方向が決定され、これに伴い別の抵抗値を有するのが特徴である。

【 0 0 1 3 】

このような磁気メモリに格納された情報を得ようとする場合、M T J 素子 1 1 2 の両端に一定の電圧を印加したあと流れる電流を測定し、M T J 素子 1 1 2 の状態が高い抵抗 R H なのか、低い抵抗 R L なのかを判別すればいい。

【 0 0 1 4 】

一例として、「0」又は「1」のデジタルデータは、M T J 素子 1 1 2 の抵抗値に従い決定され、M T J 素子 1 1 2 の抵抗値が一定の基準抵抗より大きい場合と小さい場合とに区分し、格納されたデータが何なのかを認知することができる。

10

20

30

40

50

【 0 0 1 5 】

即ち、M T J素子 1 1 2の抵抗 R M T J値が大きい場合は、M T J素子 1 1 2を構成する2つの磁性体の磁気方向が互いに正反対の状態である。一方、M T J素子 1 1 2の抵抗 R M T J値が小さい場合は、M T J素子 1 1 2を構成する2つの磁性体の磁気方向が互いに平行の状態である。

【 0 0 1 6 】

ここで、単位セル 1 1 0に含まれたM T J素子 1 1 2の抵抗 R M T Jはデータに応じて変化するが、抵抗 R M T Jを除いた他の構成要素等の抵抗値はデータに応じて変化しない。即ち、単位セル 1 1 0を選択するか、読出し動作を行うための第1～第4スイッチング部 1 5 0～1 8 0の抵抗、ビットライン 1 2 0及びソースライン 1 3 0の抵抗 R B L、R S Lは、データに従い変化しない固定値である。

10

【 0 0 1 7 】

読出し動作を行うと、単位セル 1 1 0の一端にデータを感知するためのセンシング電圧 V R Dを印加し、他の一端に接地電圧を印加し、単位セル 1 1 0に流れる電流 I B I Tを測定する。このとき、感知増幅器 1 4 0は、測定された電流 I B I Tにより生成された電圧を基準電圧 V R E Fと比べ、M T J素子 1 1 2の抵抗値が一定の基準より大きい状態なのか小さい状態なのかを判別する。

【 0 0 1 8 】

通常、非揮発性メモリ装置は、1つの単位セル 1 1 0に個別的に感知増幅器 1 4 0が連結されていないが、多数の単位セル 1 1 0を含むセルアレイの形態に感知増幅器 1 4 0が連結されている。

20

【 0 0 1 9 】

さらに、読出し動作時にセンシング電圧 V R Dは、単位セル 1 1 0の1つだけを通過するのではなく、それぞれ固有の抵抗値を有する多数の構成要素を経るため、読出し動作時に単位セル 1 1 0に流れる電流 I B I Tの値は非常に小さい。

【 0 0 2 0 】

電流 I B I Tの値が小さいということは、データに対応して出力される信号の強度が非常に小さいとこのことであるが、このような信号の強度を定義する数値として T M Rとの値を用いる。

【 0 0 2 1 】

T M Rは、M T J素子 1 1 2の2つの状態の抵抗値の差を小さい状態の抵抗値で分けたものと定義される。即ち、数式では $T M R = R H - R L / R L * 1 0 0 [\%]$ に示すことができる。

30

【 0 0 2 2 】

しかし、非揮発性メモリ装置では1つのM T J素子 1 1 2の T M Rが大凡 1 0 0 %程度であるとき、図 1 に示す通り、実際の非揮発性メモリ装置内に含まれたセルアレイで読出し経路に沿って T M Rを測定すれば、他の構成要素等の寄生抵抗による効果により 3 0 %水準まで低下することになる。

【 0 0 2 3 】

感知増幅器 1 4 0で、電圧抑制信号 (clamping control signal、V C M P) に対応してコア電圧 (V C O R E) を読出し経路に印加することができる。これはセンシング電圧 V R Dを一定のレベル以下に制限するためのものであるが、M T J素子 1 1 2に過度な電流が流れることになり、物性が破壊されるか劣化することを防止することができる。

40

【 0 0 2 4 】

図 2 は、図 1 に示した非揮発性メモリ装置の読出し動作時に流れる電流 I B I Tを説明するためのグラフである。

読出し動作を検討してみれば、電圧抑制信号 V C M Pに対応してセンシング電圧 V R Dが一定のレベル以下に制御される。そして、読出し制御信号 R D E及び単位セルを選択するための選択信号 S E L、ワードライン W Lが活性化されると、データに対応して電流 I B I Tが読出し経路に沿って流れることになる。

50

【 0 0 2 5 】

そうすると、M T J素子 1 1 2 に格納された情報に従い電流量が変わることになる。即ち、M T J素子 1 1 2 の抵抗が大きい場合、データに対応して流れる電流 I B I T は、基準電流 I R E F より小さい電流 I H が流れることになる。そして、M T J素子 1 1 2 の抵抗が小さい場合、データに対応して流れる電流 I B I T は、基準電流 I R E F より大きい電流 I L が流れることになる。ここで、小さい電流 I H と大きい電流 I L は、常に一定の値ではなく、動作環境に伴い変化する。

【 0 0 2 6 】

図 2 に示したグラフの横軸はデータ電流 I B I T の値を示し、縦軸はデータ電流 I B I T の値を有するセルの相対度数である $P(I)$ を示す。

10

【 0 0 2 7 】

図 2 に示す通り、感知増幅器 1 4 0 は電流 I B I T が基準電流 I R E F より大きい値なのか小さい値なのかを比べ、単位セル 1 1 0 に格納されたデータを認識する。このとき、読出し動作に誤謬が発生しなくするためには、基準電流 I R E F が常に小さい電流 I H と大きい電流 I L との間の範囲を維持しなければならない。そして、感知増幅器 1 4 0 の動作マージンが最も大きいためには、基準電流 I R E F が小さい電流 I H と大きい電流 I L の中間値を有しなければならない。

【 0 0 2 8 】

図 2 に示す通り、絶対基準電流方式を用いることになれば、基準電流 I R E F は常に一定の値を維持している。これに伴い、基準電流 I R E F を生成する回路を簡単に具現することができるようになる。このとき、感知増幅器 1 4 0 の動作マージンを最も大きくするためには、電流 I B I T の相対度数 (relative frequency) である $P(I)$ の分布が最大の場合になるようセルアレイを設計しなければならない。

20

【 0 0 2 9 】

しかし、 $P(I)$ の分布形態は常に一定の形態を維持するものではない。データ電流分布、即ち、 $P(I)$ の位置及び形態の変化を起こす要因中 1 つは、図 1 で説明された読出し経路上に存在する抵抗の変化である。

【 0 0 3 0 】

具体的に、読出し動作時に選択された特定単位セル 1 1 0 がセルアレイ内の何れの位置にあるのかに従い影響を受けることがある。即ち、ビットライン抵抗 R B L 及びソースライン抵抗 R S L や、各種のスイッチの役割を果たす第 1 ないし第 4 スイッチング部 1 5 0 ~ 1 8 0 でトランジスタの抵抗、及びセンシング電圧 V R D の供給から発生する抵抗などがその例になる。さらに、非揮発性メモリ装置の製造過程で、M T J素子 1 1 2 の工程変動に伴う抵抗値の変化も $P(I)$ の位置及び形態の変化をもたらすことがある。

30

【 0 0 3 1 】

前述の要因等により、 $P(I)$ の位置及び形態の変化が発生するにも拘わらず、一定値の基準電流 I R E F を利用してデータを検知 / 増幅する場合、感知増幅器 1 4 0 の動作マージンが減少することがある。最悪の場合、データを正確に感知することができない誤動作が起きることもある。

【 0 0 3 2 】

図 3 は、図 2 の問題点を改善するための非揮発性メモリ装置の読出し動作時に流れる電流 I B I T を説明するためのグラフである。

40

読出し動作時、単位セル 1 1 0 に流れる電流 I B I T を検知 / 増幅する感知増幅器 1 4 0 の動作マージンを大きくするため、基準電流 I R E F が一定値を有する絶対基準電流方式を用いるのではなく、相対基準電流方式を用いることになる。相対基準電流方式は、電流 I B I T の相対度数である $P(I)$ の変動に対応して基準電流 I R E F の電流値も変動させることになる。

【 0 0 3 3 】

このような相対基準電流方式はセンシングマージンを維持することができるので、小さい強度の単位セル 1 1 0 情報を読み出すことができるとの利点がある。しかし、基準電流

50

I R E F を変動させるため、基準電流 I R E F を生成する回路の面積がさらに増加することになり、電力消費も大きくなるとの欠点がある。

【0034】

図4は、図3で説明された相対基準電流方式を具現した非揮発性メモリ装置を説明するための回路図である。

従来の非揮発性メモリ装置は、単位セル410、ビットライン420、ソースライン430、感知増幅器440、第1スイッチング部450、第2スイッチング部460、第3スイッチング部470、第4スイッチング部480及び基準電流生成部490を含む。

【0035】

ここで、単位セル410はM T J (Magnetic Tunneling Junction) 素子412及びセルトランジスタ414を含む。M T J 素子412は抵抗 R M T J 値を有し、セルトランジスタ414はワードラインW Lにより制御される。ここで、抵抗 R M T J は抵抗 R H 又は抵抗 R L 値を有することができる。

10

【0036】

ビットライン420は、M T J 素子412と連結されビットライン抵抗 R B L 値を有する。ソースライン430は、セルトランジスタ414の一端と第2スイッチング部460との間に連結されソースライン抵抗 R S L 値を有する。

【0037】

感知増幅器440は、電流供給素子、スイッチング素子及び増幅器を含んで単位セル410に格納されたデータを感知及び増幅する。ここで、電流供給素子はコア電圧 (V C O R E) に応じて基準電流 I R E F を生成する。そして、増幅器は基準電流 I R E F により生成された電圧と基準電圧 V R E F を比べて出力電圧 V O U T を出力する。スイッチング素子は、電圧抑制信号 V C M P により制御され、基準電流 I R E F により生成されたビットライン電流 I B I T のレベルを制御する。

20

【0038】

さらに、第1スイッチング部450は、デコーダの出力である選択信号 S E L に対応して単位セル410を選択するとき、ビットライン420と感知増幅器440の連結を制御する。さらに、第2スイッチング部460は、デコーダの出力である選択信号 S E L に対応して単位セル110を選択するとき、ソースライン430と第4スイッチング部480の連結を制御する。第3及び第4スイッチング部470、480は、外部から入力された読出し制御信号 R D E に対応して読出し動作を制御する。

30

【0039】

図1に示されている非揮発性メモリ装置の感知増幅器140は、図2で説明したところのように、一定値の基準電流 I R E F を用いる絶対基準電流方式でデータを感知した。

【0040】

しかし、図3に示すように相対基準電流方式を具現した非揮発性メモリ装置は、図4に示すように基準電流生成部490をさらに備える。

【0041】

基準電流生成部490は、読出し動作が起こる経路を複製して形成する。読出し経路に含まれた多数の構成要素を複製したので、実際の読出し動作時に読出し経路で電流 I B I T の相対度数である P (I) の変動が誘発されても、基準電流生成部490内にも同様に適用され基準電流 I R E F を変動させることができる。

40

【0042】

基準電流生成部490には読出し経路を複製した2つの経路を含んでおり、デジタルデータに対応してその中1つに含まれたM T J 素子は抵抗 (R L) が高く、他の1つに含まれたM T J 素子の抵抗 (R H) は低いことが特徴である。

【0043】

2つの経路でデータが「0」又は「1」の時に対応して流れる大きい電流 (I L) と小さい電流 (I H) を具現することができ、電圧抑制信号 V C M P をゲート電圧で受ける2つのN M O S トランジスタのソース (Source) 端子を短絡させることになる。したがって

50

、基準電流生成部 490 は、感知増幅器 440 の動作マージンを最大にするため、小さい電流 (I_H) と大きい電流 (I_L) の中間値を基準電流 I_{REF} で出力することができる。

【0044】

図 5 は、図 3 で説明された相対基準電流方式を具現した非揮発性メモリ装置の他の例を説明するための構成を示す図である。

従来の非揮発性メモリ装置は、セルアレイ 510、基準セルアレイ 520、カラム選択回路 530、感知増幅器 540、基準電流生成器 550 及び書込みドライバ 560 を含む。

【0045】

ここで、セルアレイ 510 は、複数個のワードライン $WL_1 \sim WL_n$ と、複数個のソースライン $SL_1 \sim SL_n$ 及び複数個のビットライン $BL_1 \sim BL_n$ が交差する領域に多数の単位セルを含む。

【0046】

基準セルアレイ 520 は、複数個のワードライン $WL_1 \sim WL_n$ と、複数個の基準ソースライン $RFSL_1$ 、 $RFSL_2$ 及び複数個の基準ビットライン $RFBL_1$ 、 $RFBL_2$ が交差する領域に多数の基準セルを含み、セルアレイ 510 を複製して形成する。カラム選択回路 530 は、セルアレイ 510 及び基準セルアレイ 520 を選択的にアクセスする。

【0047】

感知増幅器 540 は、ノーマル読出し動作時又は基準セルの書込み/検証動作時に、セルアレイ 510 及び基準セルアレイ 520 内の選択された単位セルからデータを感知及び増幅する。基準電流生成器 550 は、基準セルアレイ 520 と連結されノーマル読出し動作時に感知増幅器 540 に基準電流 I_{REF} を供給する。

【0048】

書込みドライバ 560 は、ノーマル書込み動作時又は基準セルの書込み動作時にセルアレイ 510 及び基準セルアレイ 520 に書込み電圧を供給する。このとき、書込みドライバ 560 は、ノーマルセルの書込み動作時にスイッチング手段 (Normal WT) を利用してセルアレイ 510 にデータを書き込むことができるようにする。

【0049】

このような相対基準電流方式を採用した非揮発性メモリ装置で単位セルに格納されたデータを読み出すためには、基準電流 I_{REF} が明らかでなければならない。そして、基準電流 I_{REF} を生成するための基準セルアレイ 520 に含まれた多数の MTJ 素子には、データ「0」又はデータ「1」に対応して低い抵抗 (R_H) 又は高い抵抗 (R_L) 値が正確に格納されていなければならない。

【0050】

このとき、セルアレイ 510 内にデータを読み出すために基準セルアレイ 520 にデータ「0」又はデータ「1」のデータを格納するとき、書込みドライバ 560 は、スイッチング手段 (REF WT) を用いてセルアレイ 510 でない基準セルアレイ 520 にデータを書き込むことができる。

【0051】

ところが、基準セルアレイ 520 に書込み動作が完了した以後、基準セルアレイ 520 の単位セルに格納されたデータが正確な抵抗 (R_H 又は R_L) 値を有しているのか否かを検証することができる方法がない。

【0052】

感知増幅器 540 は、基準セルアレイ 520 に書込み動作が完了した以後、基準セルアレイ 520 の基準セルにデータが正常に書き込まれたか否かを検証するためスイッチング手段 (REF WT / Verify) がターンオンされる。このとき、基準セルアレイ 520 の検証動作時にスイッチング手段 (REF WT / Verify) がターンオンされると、感知増幅器 540 は基準セルアレイ 520 の電流と基準電流 I_{REF} を比べることになる。

10

20

30

40

50

【0053】

即ち、セルアレイ510に格納されたデータの場合、実際の読出し動作で発生する変数に対応し、基準セルアレイ520と基準電流生成器550を介し生成される基準電流IREFが変動し得る。

【0054】

しかし、非揮発性メモリ装置の動作環境により基準セルアレイ520に格納されたデータ等を明らかに判断しにくくなるとの問題が発生し得る。即ち、基準セルの位置に従いライン抵抗及び工程に変動が生じることになり、このような動作環境の変動に伴い基準セルアレイ520に格納されたデータの特性が変動される。しかし、このようなデータの特性を考慮せず、動作環境に対応して変化する変数を考慮しない場合、基準セルアレイ520に格納されたデータを明らかに判断することができなくなる。

10

【0055】

もし、基準セルアレイ520に格納されたデータを明らかに認識することができなければ、非揮発性メモリ装置の読出し動作に信頼性が低下することになる。

【発明の概要】

【発明が解決しようとする課題】

【0056】

本発明の実施形態は、単位セルのデータを判別するため、読出し動作時に用いられる基準電流を生成する基準セルアレイに格納されたデータが、既に設定されたところのように格納されているのかを明らかに検証することができるようにすることにその特徴がある。

20

【0057】

さらに、本発明の実施形態は、基準セルを用いる磁気メモリで、基準セルの書込み検証回路を付加して安定的なグローバル基準電流を生成できるようにすることにその特徴がある。

【0058】

さらに、本発明の実施形態は、単位セルアレイの動作環境に対応してグローバル基準電流を異に発生し、非揮発性メモリ装置の動作マージンを向上させることができるようにすることにその特徴がある。

【0059】

このような本発明の実施形態は、非揮発性メモリ装置の読出し動作で発生し得る誤動作を防止し、動作信頼性を高めることができるようにする。

30

【課題を解決するための手段】

【0060】

本発明の実施形態に係る非揮発性メモリ装置は、抵抗値の変化に伴い単位セルにデータの読出し又は書込みが行われるセルアレイと、単位セルに流れる電流とグローバル基準電流を比べてデータを感知する感知増幅器と、アクセスされる単位セルの位置に従いグローバル基準電流のレベルを異に制御するグローバル基準電流生成回路とを含むことを特徴とする。

【0061】

さらに、本発明の他の実施形態は、抵抗値の変化に伴いデータの読出し又は書込みが行われる多数の単位セルを含むセルアレイと、単位セルと同じ構造を有する多数の基準セルを含む基準セルアレイと、基準セルアレイに格納されたデータを検証するため、基準セルの位置に対応するグローバル基準電流を生成するグローバル基準電流生成回路と、基準セルアレイの書込み検証動作時に基準セルアレイに流れる電流とグローバル基準電流を比べてデータを感知する感知増幅器とを含むことを特徴とする。

40

【発明の効果】

【0062】

本発明の実施形態は次のような効果を有する。

第一、単位セル内に含まれた抵抗素子にデータを格納する非揮発性メモリ装置で、セルアレイの位置及び動作環境に従い変動される抵抗値を補正し、基準電流を生成する基準セ

50

ルアレイ内に格納されたデータの値を明らかに判別できるようにすることにより、非揮発性メモリ装置の動作信頼性を高めることができるとの利点がある。

第二、基準電流を生成するための基準セルアレイの位置に従い変化する抵抗値を補正できるようにし、多数の基準セルアレイの位置と係りなく1つのグローバル基準電流生成回路を具現することにより、非揮発性メモリ装置内で占める面積を縮小できるようにする。

第三、単位セルアレイの動作環境に対応してグローバル基準電流を異に発生し、非揮発性メモリ装置の動作マージンを向上させることができるようにする。

第四、非揮発性メモリ装置の読出し動作で発生し得る誤動作を防止し、動作信頼性を高めることができるようにする効果を提供する。

【図面の簡単な説明】

【0063】

【図1】一般的な非揮発性メモリ装置の読出し動作を説明するための回路図である。

【図2】図1に示した非揮発性メモリ装置の読出し動作時に流れる電流を説明するグラフである。

【図3】従来の非揮発性メモリ装置の読出し動作時に流れる電流を説明するグラフである。

【図4】図3で説明された相対基準電流方式を具現した非揮発性メモリ装置を説明するための回路図である。

【図5】図3で説明された相対基準電流方式を具現した非揮発性メモリ装置の他の例を説明するための構成を示す図である。

【図6】本発明の一実施形態に係る非揮発性メモリ装置の構成を示す図である。

【図7a】図6に示したライン抵抗補正部を説明するための構成を示す図である。

【図7b】図7aに示した位置補正信号発生部に関する回路図である。

【図7c】図6に示したグローバル基準電流部を説明するための回路図である。

【図8】本発明の他の実施形態に係る非揮発性メモリ装置の構成を示す図である。

【発明を実施するための形態】

【0064】

以下、図を参照しながら本発明の実施形態に対し詳しく説明する。

本発明の実施形態は、低電力環境で動作する非揮発性メモリ装置で安定的な読出し動作のためのマージンを確保するため、動作環境及び基準セルの位置に従いデータが伝達される読出し経路上に発生する抵抗値の変動を補正することにより、データに対応する信号の強度が弱いとしてもデータを明らかに判別できるようにする。

【0065】

図6は、本発明の一実施形態に係る非揮発性メモリ装置の構成を示す図である。

本発明の実施形態は、セルアレイ610、基準セルアレイ620、カラム選択回路630、感知増幅器640、基準電流生成器650、書込みドライバ660及びグローバル基準電流生成回路670を含む。ここで、グローバル基準電流生成回路670はライン抵抗補正部680、グローバル基準電流部690を含む。

【0066】

セルアレイ610は、複数個のワードライン $WL_1 \sim WL_n$ と、複数個のソースライン $SL_1 \sim SL_n$ 及び複数個のビットライン $BL_1 \sim BL_n$ が交差する領域に多数の単位セルを含む。

【0067】

基準セルアレイ620は、複数個のワードライン $WL_1 \sim WL_n$ と、複数個の基準ソースライン $RFSL_1$ 、 $RFSL_2$ 及び複数個の基準ビットライン $RFBL_1$ 、 $RFBL_2$ が交差する領域に多数の基準セルを含み、セルアレイ610を複製して形成する。カラム選択回路630は、セルアレイ610及び基準セルアレイ620を選択的にアクセスする。

【0068】

磁気メモリは、他のメモリより相対的に小さい信号の強度を有する。これに伴い、磁気

10

20

30

40

50

メモリでは安定的な読出し動作マージンを確保するため、読出し動作経路上の多様な抵抗成分の変動を補正できるよう、メインセルアレイ 6 1 0 とマッチングされる基準セルアレイ 6 2 0 を含むことになる。

【 0 0 6 9 】

感知増幅器 6 4 0 は、ノーマル読出し動作時にセルアレイ 6 1 0 内で選択された単位セルからデータを感知及び増幅する。さらに、感知増幅器 6 4 0 は、ノーマル読出し動作時に基準セルアレイ 6 2 0、基準電流生成器 6 5 0 で生成された基準電流 I R E F を感知増幅器 6 4 0 に出力する。

【 0 0 7 0 】

このとき、基準電流生成器 6 5 0 は基準セルアレイ 6 2 0 と連結され、ノーマル読出し動作時にスイッチング手段 (Normal R D) がターンオンされ感知増幅器 6 4 0 に基準電流 I R E F を供給する。

【 0 0 7 1 】

さらに、感知増幅器 6 4 0 は、基準セルアレイ 6 2 0 に書込み動作が完了した以後、基準セルアレイ 6 2 0 の基準セルにデータが正常に書き込まれたか否かを検証するためスイッチング手段 (R E F W T / Verify) がターンオンされる。このとき、基準セルアレイ 6 2 0 の検証動作時にスイッチング手段 (R E F W T / Verify) がターンオンされると、感知増幅器 6 4 0 は、基準電流 I R E F を選択するのではなく、グローバル基準電流 I R E F _ R E F W V を選択することになる。

【 0 0 7 2 】

書込みドライバ 6 6 0 は、ノーマル書込み動作時又は基準セルの書込み動作時にセルアレイ 6 1 0 及び基準セルアレイ 6 2 0 に書込み電圧を供給する。このとき、書込みドライバ 6 6 0 は、ノーマルセルの書込み動作時にスイッチング手段 (Normal W T) を利用してセルアレイ 6 1 0 にデータを書き込むことができるようにする。一方、書込みドライバ 6 6 0 は、基準セルの書込み動作時にスイッチング手段 (R E F W T) を利用して基準セルアレイ 6 2 0 にデータを書き込むことができるようにする。

【 0 0 7 3 】

磁気メモリが正常に動作するためには、セルアレイ 6 1 0 が動作する以前に基準セルアレイ 6 2 0 に適宜な基準データを格納することが必要である。これに伴い、基準セルアレイ 6 2 0 の書込み検証動作時に基準セルアレイ 6 2 0 にデータが正常に格納されたのか否かを判別するためグローバル基準電流生成回路 6 7 0 が必要になる。

【 0 0 7 4 】

このようなグローバル基準電流生成回路 6 7 0 は、基準セルアレイ 6 2 0 で基準セルの位置に伴う基準電流補正機能を含むことになる。さらに、グローバル基準電流生成回路 6 7 0 は、読出し動作中の制御信号、選択信号を受信するトランジスタの工程変動に伴う基準電流補正機能を含むことになる。

【 0 0 7 5 】

ライン抵抗補正部 6 8 0 は、基準セルアレイ 6 2 0 の書込み検証動作時に基準セルの位置に伴い変化するビットライン、ソースライン、グローバルビットラインなどの多数の配線の長さに伴う抵抗値の変化を補正する。このようなライン抵抗補正部 6 8 0 は、行住所 X _ A D D R に従い抵抗値の変化を補正してライン電圧 V C _ L I N E を出力する。

【 0 0 7 6 】

さらに、グローバル基準電流部 6 9 0 は、ライン抵抗補正部 6 8 0 のライン電圧 V C _ L I N E 値に対応し、データ「 0 」及びデータ「 1 」を判別するためのグローバル基準電流 I R E F _ R E F W V を生成して感知増幅器 6 4 0 に出力する。

【 0 0 7 7 】

グローバル基準電流生成回路 6 7 0 は感知増幅器 6 4 0 と連結され、基準セルアレイ 6 2 0 に「 0 」及び「 1 」のデータが正常に格納されているのかを感知増幅器 6 4 0 が判別できるようにする。このようなグローバル基準電流生成回路 6 7 0 は、基準セルアレイ 6 2 0 に格納されたデータの適合性を判別するためのものである。

10

20

30

40

50

【 0 0 7 8 】

ライン抵抗補正部 6 8 0 は、アクセスされる単位セルの住所を受信し、単位セルと感知増幅器 6 4 0 又はカラム選択回路 6 3 0 の間の距離に従い変わるビットライン B L の長さに伴う抵抗値の変化を出力する。

【 0 0 7 9 】

このとき、ビットライン B L は列単位の多数の単位セルにより共有され、単位セルの住所は行 (row) 住所 X _ A D D R に従い変わることになる。さらに、セルアレイ 6 1 0 内の行住所 X _ A D D R だけで単位セルと連結されたビットラインの距離、ソースラインの距離などは設計から定められている。そして、単位セルと連結されたビットラインの距離、ソースラインの距離などは単位セルの位置に従い比例して変化する。さらに、各配線の抵抗は長さが長くなるほど大きくなり、それに伴う抵抗値の変化は漸次増加する。

10

【 0 0 8 0 】

図 7 a は、図 6 に示したライン抵抗補正部 6 8 0 に関する構成を示す図である。

ライン抵抗補正部 6 8 0 は、セル位置判定部 6 8 1、位置補正信号発生部 6 8 2 を含む。

【 0 0 8 1 】

セル位置判定部 6 8 1 は、行住所 X _ A D D R を受信してアクセスしようとする単位セルの位置情報を含む複数個の位置信号 P O S _ 1 ~ P O S _ m を出力する。そして、位置補正信号発生部 6 8 2 は、複数個の位置信号 P O S _ 1 ~ P O S _ m に対応する抵抗値が反映されたライン電圧 V C _ L I N E を出力する。

20

【 0 0 8 2 】

セル位置判定部 6 8 1 は、単位セルの行住所 X _ A D D R、即ち、活性化されるワードラインの住所をデコーディングして複数個の位置信号 P O S _ 1 ~ P O S _ m を出力する。ここで、セル位置判定部 6 8 1 は、単位セルが含まれたセルアレイ 6 1 0 の行 (row) の数に対応するビットほどの行住所 X _ A D D R を受信する。

【 0 0 8 3 】

そして、セル位置判定部 6 8 1 は、順次整列された複数個の位置信号 P O S _ 1 ~ P O S _ m のうち 1 つを活性化させることで簡単なロジック回路を介し具現可能なので、当業者にデコーディングアルゴリズム及び具現は非常に簡単なため詳しい回路は省略する。

【 0 0 8 4 】

図 7 b は、図 7 a の位置補正信号発生部 6 8 2 に関する詳細な回路図である。

位置補正信号発生部 6 8 2 は、電圧分配器と、位置信号制御部及び活性化部を含む。

30

【 0 0 8 5 】

ここで、電圧分配器は、コア電圧 (V C O R E) 印加端と活性化部との間に直列連結された多数の抵抗 R 1 ~ R m + 1 を含む。

【 0 0 8 6 】

そして、位置信号制御部は、多数の抵抗 R 1 ~ R m + 1 とライン電圧 V C _ L I N E 出力端との間に並列連結された複数個の N M O S トランジスタ N 1 ~ N m を含む。複数個の N M O S トランジスタ N 1 ~ N m は、複数個の位置信号 P O S _ 1 ~ P O S _ m によりスイッチング動作が制御される。即ち、複数個の位置信号 P O S _ 1 ~ P O S _ m のうち活性化される信号に対応して複数個の N M O S トランジスタ N 1 ~ N m が選択的にターンオンされると、コア電圧 (V C O R E) と接地電圧 (V S S) との間に該当する電圧レベルがライン電圧 V C _ L I N E に出力される。

40

【 0 0 8 7 】

一例として、位置補正信号発生部 6 8 2 は、多数の単位セルが連結されたビットライン B L をモデリングしたものである。多数の単位セルごとにビットライン (B L) の長さが異なり、このような長さに伴う抵抗値の変化を多数の抵抗 R 1 ~ R m + 1 を介しモデリングしたライン電圧 V C _ L I N E を出力する。

【 0 0 8 8 】

即ち、感知増幅器 6 4 0 から最も遠く離れた基準セルに格納されたデータを検証する場

50

合を仮定する。セル位置判定部 681 は、行住所 X_ADDR に対応して複数個の位置信号 $POS_1 \sim POS_m$ のうち最後の位置信号 POS_m を論理ハイレベル (H) で出力し、その他の他の位置信号 $POS_1 \sim POS_m - 1$ は論理ローレベル (L) で出力する。

【0089】

このような場合、位置信号 POS_m に応じて NMOS トランジスタ N_m がターンオンされる。これに伴い、位置補正信号発生部 682 から出力されるライン電圧 VC_LINE は、抵抗分配器の最下端抵抗 R_{m+1} にかかった最小電圧値が出力される。

【0090】

このように最小電圧値を有するライン電圧 VC_LINE に応じて後述する NMOS トランジスタ N_{51} のチャンネル抵抗を増加させ、ビットライン抵抗 R_{BL} 、ソースライン抵抗 R_{SL} を増加させる補正を行う。

10

【0091】

逆に、感知増幅器 640 から最も近い基準セルに格納されたデータを確認する場合を仮定する。セル位置判定部 681 は、行住所 X_ADDR に対応して複数個の位置信号 $POS_1 \sim POS_m$ のうち第一の位置信号 POS_1 を論理ハイレベル (H) で出力し、その他の他の位置信号 $POS_2 \sim POS_m$ は論理ローレベル (L) で出力する。

【0092】

このような場合、位置信号 POS_1 に応じて NMOS トランジスタ N_1 がターンオンされる。これに伴い、位置補正信号発生部 682 から出力されるライン電圧 VC_LINE は、抵抗分配器の最上端抵抗 R_1 にかかった最大電圧値が出力される。

20

【0093】

このように最大電圧値を有するライン電圧 VC_LINE に応じて後述する NMOS トランジスタ N_{51} のチャンネル抵抗を減少させ、ビットライン抵抗 R_{BL} 、ソースライン抵抗 R_{SL} を減少させる補正を行う。

【0094】

一方、活性化部は位置補正信号発生部 682 の抵抗分配器の下端に連結された NMOS トランジスタ N_{M1} を含む。NMOS トランジスタ N_{M1} は抵抗分配器と接地電圧 (V_{SS}) 印加端との間に連結され、ゲート端子を介しイネーブル信号 EN が印加される。活性化部は、イネーブル信号 EN に応じて必要時にのみ動作するようにして電力の浪費を防止することができる。

30

【0095】

図 7c は、図 6 に示したグローバル基準電流部 690 を説明するための詳細な回路図である。

グローバル基準電流部 690 は、基準電流出力部 691、クランプ電圧部 692、ライン電圧部 693、MTJ 抵抗部 694、セルトランジスタ部 695 及び活性化部 696 を含む。

【0096】

ここで、基準電流出力部 691 は PMOS トランジスタ P_1 、 P_2 を含む。PMOS トランジスタ P_1 、 P_2 は、コア電圧 (V_{CORE}) に応じて抵抗 R_{MTJ} に流れる電流をミラーリングし、グローバル基準電流 I_{REF_REFWV} として出力する。

40

【0097】

クランプ電圧部 692 は、基準電流出力部 691 とライン電圧部 693 との間に連結され、電圧抑制信号 V_{CMP} により制御される NMOS トランジスタ N_{50} を含む。NMOS トランジスタ N_{50} は、過電流が流れることを防止するための電圧抑制信号 V_{CMP} に対応してスイッチング動作する。ここで、NMOS トランジスタ N_{50} は、感知増幅器 640 のセンスアンプブロックと同じ電源及びトランジスタを用いるようにモデリングする。

【0098】

そして、ライン電圧部 693 はクランプ電圧部 692 と MTJ 抵抗部 694 との間に連

50

結され、ライン電圧 V_{C_LINE} により制御される NMOS トランジスタ N51 を含む。NMOS トランジスタ N51 は、位置補正信号発生部 682 から出力されたライン電圧 V_{C_LINE} に対応する抵抗の役割を果たす。

【0099】

ここで、NMOS トランジスタ N51 は、書込み検証対象となる基準セルの位置に伴うライン抵抗の変動を考慮してモデリングする。即ち、ビットライン抵抗 (RBL)、ソースライン抵抗 (SBL) の変動は、ライン電圧 V_{C_LINE} を受信する NMOS トランジスタ N51 のチャンネル抵抗を介し補正することになる。

【0100】

さらに、MTJ 抵抗部 694 は、ライン電圧部 693 とセルトランジスタ部 695 との間に連結された固定抵抗 R_{MTJ} を含む。固定抵抗 R_{MTJ} は、データ「0」に対応する抵抗 (RH) とデータ「1」に対応する抵抗 (RL) の中間値 ($(RH + RL) / 2$) を有する。

10

【0101】

さらに、セルトランジスタ部 695 は NMOS トランジスタ N52、N53 を含む。ここで、NMOS トランジスタ N52 は MTJ 抵抗部 694 と NMOS トランジスタ N53 との間に連結され、ゲート端子を介しコア電圧 (V CORE) が印加される。そして、NMOS トランジスタ N53 は NMOS トランジスタ N52 と活性化部 696 との間に連結され、ゲート端子を介しポンピング電圧 VPP が印加される。

【0102】

このような NMOS トランジスタ N52、N53 は、単位セルが含まれた読出し経路でセルトランジスタスイッチをモデリングする。ここで、NMOS トランジスタ N52 は読出し制御信号 (RDE) を受信する NMOS トランジスタをモデリングしたものであり、NMOS トランジスタ N53 はセルトランジスタをモデリングしたものである。

20

【0103】

このとき、書込み検証制御信号、基準カラム選択信号等を受信し、その動作を制御するトランジスタ等の抵抗変動は、NMOS トランジスタ N52、N53 のチャンネル抵抗を利用して補正する。

【0104】

さらに、活性化部は、セルトランジスタ部 695 と接地電圧 (VSS) 印加端との間に連結され、ゲート端子を介しイネーブル信号 EN が印加される NMOS トランジスタ N54 を含む。

30

【0105】

前述の NMOS トランジスタ N50 ~ N54 は、単位セルの特性分析を介し単位セルのトランジスタの変動を平均的に代弁することができるようにトランジスタのチャンネル幅及び長さを選択させる。

【0106】

このような構成を有するグローバル基準電流部 690 は、読出し経路に含まれたトランジスタ等を複製する。そして、基準セルの位置に対応して変化する配線の抵抗値は、位置補正信号発生部 682 から出力されたライン電圧 V_{C_LINE} に応じてソース及びドレインの間に抵抗値を変化させることのできる NMOS トランジスタ N51 で代替する。

40

【0107】

一例として、感知増幅器 640 に近い基準セルに格納されたデータを判別する場合を仮定する。位置補正信号発生部 682 から出力されたライン電圧 V_{C_LINE} は最大値となり、グローバル基準電流部 690 内の NMOS トランジスタ N51 の抵抗値は小さくなる。

【0108】

逆に、感知増幅器 640 から最も遠く離れた基準セルに格納されたデータを判別する場合は、位置補正信号発生部 682 から出力されたライン電圧 V_{C_LINE} が最小値となり、グローバル基準電流部 690 内の NMOS トランジスタ N51 はターンオンされるが

50

抵抗値は大きくなる。

【0109】

本発明の実施形態では、アクセスされる基準セルの位置に伴い変わる配線の抵抗値を反映したグローバル基準電流 I_{REF_REFWV} を生成することができる。さらに、グローバル基準電流部 690 が読み出し経路をモデリングして形成されただけに、非揮発性メモリ装置の動作環境に対応してグローバル基準電流 I_{REF_REFWV} を生成することが可能である。

【0110】

このような本発明の実施形態は、基準セルの位置に伴いライン抵抗が変動されることと、工程変動によるトランジスタ特性を補正し、基準セルアレイ 620 に格納されたデータを明らかに判別することができる。

10

【0111】

これは読み出し動作時にセルアレイ 610 に格納されたデータを読み出すための基準電流が、単位セルの位置と動作環境に伴い適切に変化し得ることを意味する。結果的に、非揮発性メモリ装置の読み出し動作の遂行時に動作マージンが最大に確保され得る。

【0112】

図 8 は、本発明の他の実施形態に係る非揮発性メモリ装置の構成を示す図である。

本発明の実施形態は、セルアレイ 810、カラム選択回路 830、感知増幅器 840、書込みドライバ 860、グローバル基準電流生成回路 870 を含む。

【0113】

ここで、セルアレイ 810 は、複数個のワードライン $WL_1 \sim WL_n$ と、複数個のソースライン $SL_1 \sim SL_n$ 及び複数個のビットライン $BL_1 \sim BL_n$ が交差する領域に多数の単位セルを含む。カラム選択回路 830 は、セルアレイ 810 を選択的にアクセスする。

20

【0114】

感知増幅器 840 は、ノーマルリード動作時にセルアレイ 810 内で選択された単位セルからデータを感知及び増幅する。書込みドライバ 860 は、ノーマル書込み動作時にセルアレイ 810 に書込み電圧を供給する。

【0115】

グローバル基準電流生成回路 870 は、感知増幅器 840 にグローバル基準電流 I_{REF_REFWV} を供給する。グローバル基準電流生成回路 870 は、図 6 に示したグローバル基準電流生成回路 670 と同じなので、その詳細な構成の説明は省略する。

30

【0116】

図 6 の実施形態と異なり、本発明の他の実施形態に係る非揮発性メモリ装置は基準セルアレイ 620 を含まない。そして、本発明の実施形態は、グローバル基準電流生成回路 870 から出力されたグローバル基準電流 I_{REF_REFWV} をセルアレイ 810 内の単位セルに格納されたデータを判別する用途で用いることが特徴である。

【0117】

図 8 に示したグローバル基準電流生成回路 870 は、図 6 で説明されたグローバル基準電流生成回路 670 を基準セルでないセルアレイ 810 内の単位セルの位置に対応してグローバル基準電流 I_{REF_REFWV} を出力させる。

40

【0118】

これに伴い、グローバル基準電流生成回路 870 が従来の基準セルアレイ 520 と基準電流生成器 550 の役割を全て果たすことができる。グローバル基準電流生成回路 870 を利用して単位セルに格納されたデータを読み出す場合、別途の基準セルアレイ 520 が不要であるだけでなく、基準セルアレイ 520 内のデータが正常に格納されているのかを確認する必要がなくなる。

【0119】

これにより、非揮発性メモリ装置内の書込みドライバ 860 及び感知増幅器 840 の構造も単純になり、基準セルアレイ 520 が占めていた面積を縮小させることができるので

50

、非揮発性メモリ装置の集積度を向上させることができる。

【0120】

前述のように、本発明の実施形態では、読出し動作時に動作環境（温度、電圧など）だけでなく、アクセスされる単位セルの位置に伴い変わるデータ信号の強度を勘案してデータを判別することができる。

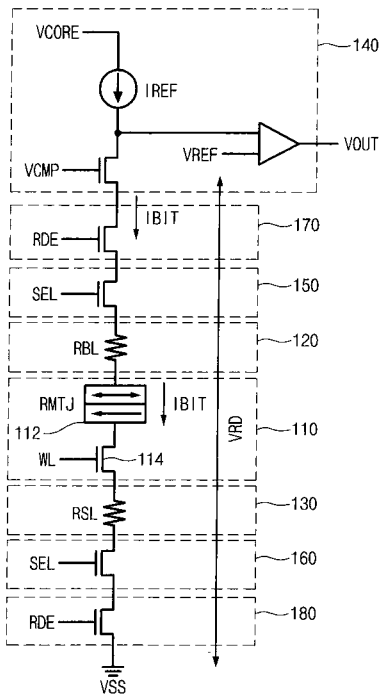
【0121】

特に、単位セルの位置と動作環境に伴い変化する内部抵抗を反映した基準電流を生成することができる回路を介し、非揮発性メモリ装置の読出し動作マージンを増加させて動作の安定性を高める。

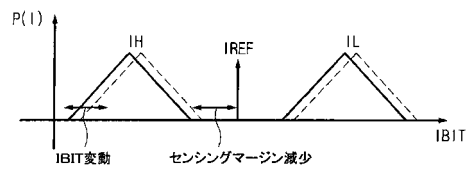
【0122】

以上、本発明に関する好ましい実施形態を説明したが、本発明は前記実施形態に限定されず、本発明の属する技術範囲を逸脱しない範囲での全ての変更が含まれる。

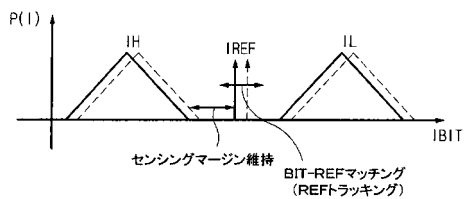
【図1】



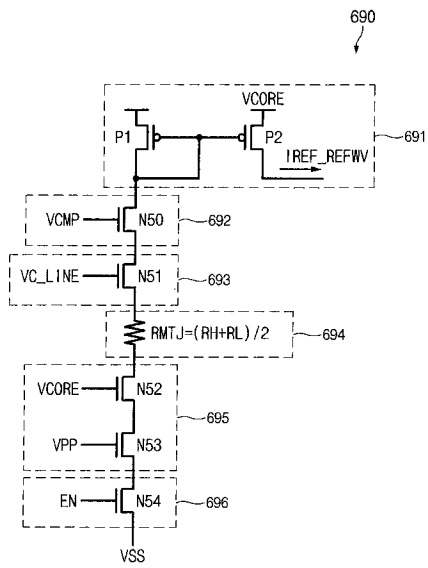
【図2】



【図3】



【図7c】



【図8】

