

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成26年2月13日 (2014.2.13)

【公開番号】特開2011-150322(P2011-150322A)

【公開日】平成23年8月4日 (2011.8.4)

【年通号数】公開・登録公報2011-031

【出願番号】特願2010-284286(P2010-284286)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

【 F I 】

G 0 9 G 3/36

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 4 1 E

G 0 9 G 3/20 6 4 1 K

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 1 1 J

G 0 2 F 1/133 5 7 5

G 0 2 F 1/1368

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 8 Z

【手続補正書】

【提出日】平成25年12月18日 (2013.12.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

トランジスタ及び液晶素子を有する画素がマトリクス状に配置された画素部と、
前記トランジスタのゲートに電氣的に接続されたゲートドライバと、
前記トランジスタのソース又はドレインに電氣的に接続されたソースドライバと、
前記ソースドライバに信号を出力するデータ処理回路とを有し、
前記トランジスタは、酸化物半導体を有し、
前記データ処理回路は、入力される m ビットのデジタルデータのうち、n ビット (m、
n は共に正の整数、かつ $m > n$) を電圧階調に用い、(m - n) ビットを時間階調に用い
ることを特徴とする表示装置。

【請求項 2】

トランジスタ及び液晶素子を有する画素がマトリクス状に配置された画素部と、
前記トランジスタのゲートに電氣的に接続されたゲートドライバと、
前記トランジスタのソース又はドレインに電氣的に接続されたソースドライバと、
前記ソースドライバに信号を出力するデータ処理回路とを有し、
前記トランジスタは、真性又は実質的に真性な酸化物半導体を有し、

前記データ処理回路は、入力される m ビットのデジタルデータのうち、 n ビット(m 、 n は共に正の整数、かつ $m > n$)を電圧階調に用い、($m - n$)ビットを時間階調に用いることを特徴とする表示装置。

【請求項 3】

トランジスタ及び液晶素子を有する画素がマトリクス状に配置された画素部と、
前記トランジスタのゲートに電氣的に接続されたゲートドライバと、
前記トランジスタのソース又はドレインに電氣的に接続されたソースドライバと、
前記ソースドライバに信号を出力するデータ処理回路とを有し、
前記トランジスタは、真性又は実質的に真性な酸化物半導体を有し、かつオフ電流が $1 \text{ aA} / \mu\text{m}$ 以下であり、

前記データ処理回路は、入力される m ビットのデジタルデータのうち、 n ビット(m 、 n は共に正の整数、かつ $m > n$)を電圧階調の情報として処理し、($m - n$)ビットを時間階調の情報として処理することを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記トランジスタは、
酸化物半導体層と、
ゲート絶縁層を介して前記酸化物半導体層と重なる領域を有するゲート電極と、
前記酸化物半導体層と電氣的に接続された第 1 の導電層と、
前記酸化物半導体層と電氣的に接続された第 2 の導電層と、を有し、
前記ゲート電極と、前記第 1 の導電層と、前記第 2 の導電層とは、同一の導電膜を加工する工程を経て形成されたものであることを特徴とする表示装置。