

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6733425号
(P6733425)

(45) 発行日 令和2年7月29日(2020.7.29)

(24) 登録日 令和2年7月13日(2020.7.13)

(51) Int. Cl.	F I	
HO 1 L 27/088 (2006.01)	HO 1 L 27/088	3 3 1 E
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	H
HO 1 L 27/04 (2006.01)	HO 1 L 25/04	C
HO 1 L 25/07 (2006.01)	HO 1 L 27/092	B
HO 1 L 25/18 (2006.01)	HO 1 L 27/06	1 O 2 A
請求項の数 10 (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2016-166804 (P2016-166804)	(73) 特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成28年8月29日(2016.8.29)	(74) 代理人	100105854 弁理士 廣瀬 一
(65) 公開番号	特開2018-37443 (P2018-37443A)	(74) 代理人	100103850 弁理士 田中 秀▲てつ▼
(43) 公開日	平成30年3月8日(2018.3.8)	(72) 発明者	菅野 博 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
審査請求日	令和1年7月12日(2019.7.12)	(72) 発明者	山路 将晴 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		最終頁に続く	

(54) 【発明の名称】 半導体集積回路及び半導体モジュール

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、
前記半導体基板の上部に設けられた第2導電型の第1ウェル領域と、
前記第1ウェル領域の上部に設けられた第1導電型の第2ウェル領域と、
前記第1ウェル領域の直下の前記半導体基板の下部に前記第1ウェル領域から離間して設けられた絶縁層と、
前記絶縁層の下に設けられた裏面電極層と、を有し、
さらに、前記第1ウェル領域の上部に設けられた第1導電型の第1主電極領域及び第2主電極領域を有する第1能動素子と、前記第2ウェル領域の上部に設けられた第2導電型の第3主電極領域及び第4主電極領域を有する第2能動素子と、を備え、
前記第1能動素子及び前記第2能動素子によって、電力変換用ブリッジ回路のハイサイド駆動回路が構成されていることを特徴とする半導体集積回路。

【請求項2】

前記半導体基板の上部に前記第1ウェル領域から離間して設けられ、かつ基準電位が印加される第1導電型の分離領域を更に備えることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】

第1導電型の半導体基板と、
前記半導体基板の上部に設けられた第2導電型の第1ウェル領域と、

前記第 1 ウェル領域の上部に設けられた第 1 導電型の第 2 ウェル領域と、
 前記第 1 ウェル領域の直下の前記半導体基板の下部に前記第 1 ウェル領域から離間して
 設けられた絶縁層と、
 前記絶縁層の下に設けられた裏面電極層と、を備え、
さらに、前記半導体基板の上部に前記第 1 ウェル領域から離間して設けられ、かつ基準
 電位が印加される第 1 導電型の分離領域を備えることを特徴とする半導体集積回路。

【請求項 4】

前記半導体基板の上部の前記第 1 ウェル領域と前記分離領域の間に設けられた第 2 導電
 型の耐圧領域を更に備えることを特徴とする請求項 2 又は請求項 3 に記載の半導体集積回
 路。

10

【請求項 5】

前記第 1 ウェル領域には第 1 電位が印加され、
 前記第 2 ウェル領域には第 1 電位とは異なる第 2 電位が印加されることを特徴とする請
 求項 1 から請求項 4 のいずれか一項に記載の半導体集積回路。

【請求項 6】

前記第 1 ウェル領域と前記絶縁層との間の距離は、前記第 1 ウェル領域に前記第 1 電位
 を印加し、前記第 2 ウェル領域に第 2 電位を印加したときに、前記半導体基板と前記第 1
 ウェル領域との p n 接合界面部から広がる空乏層が、前記絶縁層から離間する長さである
 ことを特徴とする請求項 5 に記載の半導体集積回路。

【請求項 7】

第 1 導電型の半導体基板と、
 前記半導体基板の上部に設けられた第 2 導電型の第 1 ウェル領域と、
 前記第 1 ウェル領域の上部に設けられた第 1 導電型の第 2 ウェル領域と、
 前記第 1 ウェル領域の直下の前記半導体基板の下部に前記第 1 ウェル領域から離間して
 設けられた絶縁層と、
 前記絶縁層の下に設けられた裏面電極層と、を有する半導体集積回路と、
 前記半導体集積回路を、表面に設けられた導電層の上に搭載する絶縁回路基板と、
 前記導電層及び前記裏面電極層の間に介在し前記裏面電極層及び前記導電層を接合する
 接合層と、
 を備えることを特徴とする半導体モジュール。

20

30

【請求項 8】

前記第 1 ウェル領域の上部に設けられた第 1 導電型の第 1 主電極領域及び第 2 主電極領
 域を有する第 1 能動素子と、
 前記第 2 ウェル領域の上部に設けられた第 2 導電型の第 3 主電極領域及び第 4 主電極領
 域を有する第 2 能動素子と、
 を更に備えることを特徴とする請求項 7 に記載の半導体モジュール。

【請求項 9】

前記絶縁回路基板の上に搭載され、前記第 1 能動素子及び前記第 2 能動素子によって駆
 動制御されるスイッチング素子を更に備えることを特徴とする請求項 8 に記載の半導体モ
 ジュール。

40

【請求項 10】

前記半導体集積回路及び前記スイッチング素子は、同じ高さで搭載されていることを特
 徴とする請求項 9 に記載の半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路、特に電力用スイッチング素子の制御用 IC として用いるこ
 とができる高耐圧 IC (以下「HVIC」と称する。)を備えた電力用の半導体集積回路
 及びこの半導体集積回路を搭載した半導体モジュールに関する。

【背景技術】

50

【 0 0 0 2 】

従来、低容量のインバータでは、主に、電力変換用ブリッジ回路のスイッチング素子を H V I C により駆動する。H V I C は、一般に、ハイサイド駆動回路、ローサイド駆動回路、レベルシフタ、制御回路等を備える。H V I C は、例えば電力変換用ブリッジ回路の高圧側のスイッチング素子に接続され、入力端子から入力された信号に応じて、スイッチング素子のゲートをオン・オフして駆動する駆動信号を出力端子から出力する。電力変換用ブリッジ回路では、H V I C からの信号を受けた高圧側のスイッチング素子が動作することで電力変換が行われる。

【 0 0 0 3 】

電力変換用ブリッジ回路による電力変換の過程で、例えばマイナス電位から数百 V にも及ぶ非常に変動幅の大きな電位が H V I C に印加されると、H V I C に様々なノイズが入力され、H V I C の誤動作や動作不能、或いは破壊等が引き起こされる場合がある。そのため H V I C の設計では、こうしたノイズに耐えられるノイズ耐量を実現し、信頼性を向上させることが重要である。

【 0 0 0 4 】

半導体集積回路の信頼性を向上させる技術として、高耐圧 I C チップを、絶縁性接着剤を介して、回路基板のアイランド(ダイパッド)に搭載する方法が開示されている(特許文献 1 参照)。特許文献 1 の場合、寄生トランジスタがオンして短絡状態となり、半導体基板の縦方向に貫通電流が流れても、高耐圧 I C チップが絶縁性接着剤によりアイランドと電氣的に絶縁されているので、貫通電流がアイランド側に流れないとされている。しかし特許文献 1 の場合、絶縁性接着剤の層と金属性のアイランドとの接着性が十分に考慮されていないため、高耐圧 I C チップを回路基板に接合してモジュール化した際の一体性が弱いという問題がある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【特許文献 1】特開 2 0 1 5 - 0 8 8 6 0 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明は上記した問題に着目して為されたものであって、モジュール化した際の一体性を高めつつ、信頼性を向上させた半導体集積回路、及びこの半導体集積回路を搭載した半導体モジュールを提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

上記課題を解決するために、本発明に係る半導体集積回路のある態様は、(a) 第 1 導電型の半導体基板と、(b) 半導体基板の上部に設けられた第 2 導電型の第 1 ウェル領域と、(c) 第 1 ウェル領域の上部に設けられた第 1 導電型の第 2 ウェル領域と、(d) 第 1 ウェル領域の直下の半導体基板の下部に第 1 ウェル領域から離間して設けられた絶縁層と、(e) 絶縁層の下に設けられた裏面電極層と、を有し、さらに、第 1 ウェル領域の上部に設けられた第 1 導電型の第 1 主電極領域及び第 2 主電極領域を有する第 1 能動素子と、第 2 ウェル領域の上部に設けられた第 2 導電型の第 3 主電極領域及び第 4 主電極領域を有する第 2 能動素子と、を備え、第 1 能動素子及び第 2 能動素子によって、電力変換用ブリッジ回路のハイサイド駆動回路が構成されていることを要旨とする。

【 0 0 0 8 】

また本発明に係る半導体モジュールのある態様は、(f) 第 1 導電型の半導体基板と、半導体基板の上部に設けられた第 2 導電型の第 1 ウェル領域と、第 1 ウェル領域の上部に設けられた第 1 導電型の第 2 ウェル領域と、第 1 ウェル領域の直下の半導体基板の下部に第 1 ウェル領域から離間して設けられた絶縁層と、絶縁層の下に設けられた裏面電極層と

10

20

30

40

50

、を有する半導体集積回路と、(g)半導体集積回路を、表面に設けられた導電層の上に搭載する絶縁回路基板と、(h)導電層及び裏面電極層の間に介在し裏面電極層及び導電層を接合する接合層と、を備えることを要旨とする。

【発明の効果】

【0009】

従って本発明によれば、モジュール化した際の一体性を高めつつ、信頼性を向上させた半導体集積回路、及びこの半導体集積回路を搭載した半導体モジュールを提供できる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施の形態に係る半導体集積回路の構成の概略を模式的に説明する断面図である。

10

【図2】本発明の実施の形態に係る半導体集積回路のハイサイド駆動回路の構成の概略を模式的に説明する断面図である。

【図3】本発明の実施の形態に係る半導体集積回路のハイサイド駆動回路にV_S電位及びV_B電位を印加した際の空乏層の状態を模式的に説明する断面図である。

【図4】本発明の実施の形態に係る半導体集積回路を搭載した半導体モジュールの内部構成の概略を、上側のケースを除いた状態で模式的に説明する平面図である。

【図5】図4中のA-A線方向から見た断面図である。

【図6】本発明の実施の形態に係る半導体集積回路が接続された電力変換部の概略を模式的に説明する回路図である。

20

【図7】本発明の実施の形態に係る半導体集積回路の寄生素子を流れる電流の状態を説明する断面図である。

【図8】比較例に係る半導体集積回路の寄生素子を流れる電流の状態を説明する断面図である。

【発明を実施するための形態】

【0011】

以下に本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各装置や各部材の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判定すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

30

【0012】

また、以下の説明における「左右」や「上下」の方向は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。よって、例えば、紙面を90度回転すれば「左右」と「上下」とは交換して読まれ、紙面を180度回転すれば「左」が「右」に、「右」が「左」になることは勿論である。

【0013】

また本明細書において「第1主電極領域」及び「第3主電極領域」とは、電界効果トランジスタ(FET)や静電誘導トランジスタ(SIT)においてソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。絶縁ゲート型バイポーラトランジスタ(IGBT)においてはエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を、静電誘導サイリスタ(SIサイリスタ)やゲートターンオフサイリスタ(GTO)においてはアノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。

40

【0014】

「第2主電極領域」及び「第4主電極領域」とは、FETやSITにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる半導体領域を、IGBTにおいては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる領域を、SIサイリスタやGTOにおいては上記第1主電極領域及び第3主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる領域を

50

意味する。

【0015】

また以下の説明では、第1導電型がp型、第2導電型がn型の場合について例示的に説明するが、導電型を逆の関係に選択して、第1導電型をn型、第2導電型をp型としても構わない。また本明細書及び添付図面においては、nやpに付す+や-は、+及び-が付記されていない半導体領域に比して、それぞれ相対的に不純物濃度が高い又は低い半導体領域であることを意味する。またn⁺とn⁻のように同じ表記であっても、必ずしも同じ不純物濃度であることが示されている訳ではない。

【0016】

(半導体集積回路の構造)

本発明の実施の形態に係る半導体集積回路40aは、比較的低容量のインバータ等において用いられるHVICであり、例えば600V～1200V程度の電圧に耐えて動作する電力変換用ブリッジ回路の制御用ICである。半導体集積回路40aは、図1に示すように、低濃度の第1導電型(p⁻型)の半導体基板1と、図1中の左上側に示すように、この半導体基板1の上部に設けられた第2導電型(n型)の第1ウェル領域2と、を備える。

10

【0017】

更に本発明の実施の形態に係る半導体集積回路40aは、第1ウェル領域2の上部に設けられたp型の第2ウェル領域3と、第1ウェル領域2の直下の半導体基板1の下部に第1ウェル領域2から離間して設けられた絶縁層10と、絶縁層10の下に設けられた裏面電極層11と、を備える。また半導体集積回路40aは、図1中の右上側に示すように、半導体基板1の上部に第1ウェル領域2から離間して設けられたn型の第3ウェル領域22と、この第3ウェル領域22の上部に設けられたp型の第4ウェル領域23と、を備える。

20

【0018】

第1ウェル領域2の周囲には、比較的低濃度のn型(n⁻)の耐圧領域4が設けられている。また第1ウェル領域2と第3ウェル領域22との間には、いずれもp型の第1分離領域5及び第2分離領域6が設けられている。すなわち本発明の実施の形態に係る半導体集積回路40aは、半導体基板1上に自己分離技術及び接合分離技術を用いて作製されている。なお、第2分離領域6は必須ではない。

30

【0019】

半導体基板1は、例えば比抵抗が100 cm程度以上の単結晶シリコン(Si)のバルク基板である。第1ウェル領域2の上部の一部には、高濃度(n⁺)のn型の第1コンタクト領域8が、第2ウェル領域3と離間して選択的に設けられている。第1コンタクト領域8の上面には、層間絶縁膜20を貫通して設けられた導電性プラグを介して、第1コンタクト電極8aが設けられている。導電性プラグの符号の表示は省略する。

【0020】

第2ウェル領域3の上部には、図2に示すように、高濃度のn型の第1主電極領域(ソース領域)61及び第2主電極領域(ドレイン領域)62がそれぞれ設けられている。第2ウェル領域3のソース領域61及びドレイン領域62のそれぞれの上面には、層間絶縁膜20を貫通して設けられた導電性プラグを介して、ソース電極63及びドレイン電極64が設けられている。またソース領域61及びドレイン領域62の間に位置する第2ウェル領域3の上の層間絶縁膜20の内側には、ゲート電極65がゲート絶縁膜を介して設けられ、pMOSFETが実現されている。ゲート絶縁膜の符号の表示は省略する。

40

【0021】

また第1ウェル領域2の上部で、第2ウェル領域3と離間した位置には、高濃度のp型の第3主電極領域(ソース領域)71及び第4主電極領域(ドレイン領域)72がそれぞれ設けられている。第1ウェル領域2のソース領域71及びドレイン領域72のそれぞれの上面には、層間絶縁膜20を貫通して設けられた導電性プラグを介して、ソース電極73及びドレイン電極74が設けられている。またソース領域71及びドレイン領域72の

50

間に位置する第1ウェル領域2の上の層間絶縁膜20の内側には、ゲート電極75がゲート絶縁膜を介して設けられ、nMOSFETが実現されている。

【0022】

第1ウェル領域2のnMOSFETと第2ウェル領域3のpMOSFETとからなるCMOS回路でハイサイド駆動回路が構成されている。第1コンタクト電極8aにはVB電位が印加され、第2コンタクト電極14aにはVS電位が印加される。ハイサイド駆動回路は、VS電位を基準電位とすると共にVB電位を電源電位として動作する。

【0023】

第2ウェル領域3の上部の一部には、第2コンタクト領域14が選択的に設けられている。第2コンタクト領域14の上面には、第1コンタクト電極8aと同様に、第2コンタクト電極14aが、層間絶縁膜20を貫通して設けられた導電性プラグを介して設けられている。

10

【0024】

第1ウェル領域2は、例えばリン(P)等のn型の不純物元素が、半導体基板1の上面側に比較的深い厚みで拡散された半導体層である。第1ウェル領域2の不純物濃度は、例えば $1 \times 10^{14} \sim 10^{17} / \text{cm}^3$ 程度である。第2ウェル領域3は、例えばホウ素(B)等のp型の不純物元素が、半導体基板1の上面側に比較的浅い厚みで拡散された半導体層である。第2ウェル領域3の不純物濃度は、例えば $1 \times 10^{14} \sim 10^{18} / \text{cm}^3$ 程度である。

【0025】

第1コンタクト領域8は、第1ウェル領域2よりも高い不純物濃度(n^+)のn型の半導体層である。第2コンタクト領域14は、第2ウェル領域3よりも高い不純物濃度(p^+)のp型の半導体層である。第1コンタクト電極8a及び第2コンタクト電極14aは、例えばアルミニウム(Al)膜等の導電性膜を採用できる。

20

【0026】

第3ウェル領域22の上部の一部には、p型の第4ウェル領域23が設けられている。また第3ウェル領域22の上部の一部には、高濃度(n^+)のn型の第3コンタクト領域28が、第4ウェル領域23と離間して選択的に設けられている。第3コンタクト領域28の上面には、層間絶縁膜20を貫通して設けられた導電性プラグを介して、第3コンタクト電極28aが設けられている。

30

【0027】

また図示を省略するが、第3ウェル領域22の内側の第4ウェル領域23と離間した位置にはnMOSFETが設けられると共に、第4ウェル領域23の内部にはpMOSFETが設けられ、ハイサイド駆動回路と同様にCMOS回路が実現されている。第3ウェル領域22の内部のCMOS回路により、ローサイド駆動回路が構成される。ローサイド駆動回路の第3コンタクト電極28aにはVCC電位が印加され、第4コンタクト電極24aにはGND電位が印加される。ローサイド駆動回路は、GND電位を基準電位とすると共にVCC電位を電源電位として動作する。

【0028】

第4ウェル領域23の上部の一部には、第4コンタクト領域24が選択的に設けられている。第4コンタクト領域24の上面には、第3コンタクト電極28aと同様に、第4コンタクト電極24aが、層間絶縁膜20を貫通して設けられた導電性プラグを介して設けられている。

40

【0029】

第3ウェル領域22は、第1ウェル領域2と同様に、リン(P)等のn型の不純物元素が、半導体基板1の上面側に比較的深い厚みで拡散された半導体層である。第3ウェル領域22の不純物濃度は、例えば $1 \times 10^{14} \sim 10^{17} / \text{cm}^3$ 程度である。第4ウェル領域23は、第2ウェル領域3と同様に、ホウ素(B)等のp型の不純物元素が、半導体基板1の上面側に比較的浅い厚みで拡散された半導体層である。第4ウェル領域23の不純物濃度は、例えば $1 \times 10^{14} \sim 10^{18} / \text{cm}^3$ 程度である。

50

【0030】

第3コンタクト領域28は、第3ウェル領域22よりも高い不純物濃度(n^+)のn型の半導体層である。第4コンタクト領域24は、第4ウェル領域23よりも高い不純物濃度(p^+)のp型の半導体層である。第3コンタクト電極28a及び第4コンタクト電極24aは、いずれも第1コンタクト電極8aと同様に、例えばAl膜等を採用できる。尚、説明の便宜のため、図1中では、半導体基板1の上面に設けられた層間絶縁膜20の上側に位置するパッシベーション膜等の図示を省略する。

【0031】

耐圧領域4は、例えば平面パターンでリング状又は額縁状であって内側のハイサイド駆動回路を囲むように設けられている。耐圧領域4は、ハイサイド駆動回路で用いられる第1ウェル領域2よりも低い不純物濃度に設定されている。

10

【0032】

第1分離領域5は、耐圧領域4と同様に、例えば平面パターンでリング状又は額縁状であって内側のハイサイド駆動回路を囲むように設けられている。第1分離領域5は、半導体基板1よりも高い不純物濃度に設定されている。第1分離領域5の上部の一部には、高濃度(p^+)のp型の第1分離コンタクト領域15が設けられている。

【0033】

第1分離コンタクト領域15の上面には、層間絶縁膜20を貫通して設けられた導電性プラグを介して、第1分離コンタクト電極15aが設けられている。第1分離コンタクト電極15aは、第1コンタクト電極8aと同様に、例えばAl膜等である。耐圧領域4及び第1分離領域5により高耐圧接合終端領域(HVJT)が実現されている。

20

【0034】

第2分離領域6は、第1分離領域5と同様に、第1分離領域5と、ローサイド駆動回路で用いられる第3ウェル領域22とから離間して設けられている。第2分離領域6の上部の一部には、高濃度(p^+)のp型の第2分離コンタクト領域16が設けられている。第2分離コンタクト領域16の上面には、層間絶縁膜20を貫通して設けられた導電性プラグを介して、第2分離コンタクト電極16aが設けられている。第2分離コンタクト電極16aは、第1分離コンタクト電極15aと同様に、例えばAl膜等である。第1分離コンタクト電極及び第2分離コンタクト電極は接地される。

【0035】

絶縁層10は、例えば酸化シリコン膜(Si_xO_y)、窒化シリコン膜(Si_xN_y)、ポリイミド膜等の絶縁体を含む膜で実現でき、本発明の実施の形態に係る半導体集積回路40aでは SiO_2 膜が採用されている。絶縁層10は、半導体基板1の内部で裏面電極層11の上に配置されることにより、HVICの寄生素子の裏面電極層11を介した電流を低減する。絶縁層10は、例えばプラズマCVDや常圧CVD等の成膜技術を用いて作製できる。

30

【0036】

図3に示すように、第1ウェル領域2と絶縁層10との間の距離dは、半導体基板1と第1ウェル領域2とのpn接合界面から広がる空乏層80が、絶縁層10から離間する長さとなるように設定される。図3中には、第1ウェル領域2にVB電位を印加し、第2ウェル領域3にVS電位を印加したときに広がる空乏層80の状態が、破線で例示されている。なお、耐圧低下の恐れを許容できる場合は、空乏層80が絶縁層10に届く構成とすることもできる。

40

【0037】

ここでHVICの耐圧仕様としては、主に600V仕様と1200V仕様とがある。VS電位が600Vの場合の空乏層の長さは150 μ m程度であり、VS電位が1200Vの場合の空乏層の長さは200 μ m程度である。そのため、第1ウェル領域2の底面と絶縁層10との間の距離dを、600V仕様の場合には150 μ m程度以上とし、1200V仕様の場合には200 μ m程度以上とすることが好ましい。

【0038】

50

すなわち、例えば第1ウェル領域2の深さが10 μ m程度であれば、HVICが600V仕様の場合、半導体基板1の厚さを160 μ m程度以上とすることが好ましい。またHVICが1200V仕様の場合、半導体基板1の厚さを210 μ m程度以上とすることが好ましい。

【0039】

裏面電極層11は、HVICの裏面全面に、例えばスパッタリング法等により形成されている。裏面電極層11は、HVICと絶縁回路基板30との接合性を高めるバッファとして機能する。裏面電極層11は、Al層、チタン(Ti)層、ニッケル(Ni)層及び金(Au)層を有する。Al層、Ti層およびNi層は、それぞれ、アルミニウム、チタン、ニッケルをそれぞれ主成分として含む合金層も含むものとする。

10

【0040】

Ti層は、Siとの接着性に優れ、Siと電氣的にオーミック接合を形成する。Ni層は、下面側の接合層32aとの接合に用いられる。Au層は、はんだ付けが完了するまでの間、Ni層の酸化を防止するために用いられる。本発明の実施の形態に係る裏面電極層11は、Ti層、Ni層及びAu層にAl層を加え、上から下にAl/Ti/Ni/Au層として形成されている。

【0041】

本発明の実施の形態に係る半導体集積回路40aは、図1に示したように、上面に導体層31aを有する絶縁回路基板30の上に、接合層32aを介して搭載されている。図4中には、図1に示した半導体集積回路40aと等価な4個の半導体集積回路40a~40dを搭載した絶縁回路基板30の上面が例示されている。

20

【0042】

絶縁回路基板30は、図5に示すように、各種の素子が上側に配置される複数の導体層31a~31cを、回路パターンとして備えるプリント基板である。素子は、接合層32a~32cによって導体層31a~31cと電氣的に接続される。接合層32aは、はんだや銀ペースト等の導電性を有する接合部材を採用できる。本発明の実施の形態に係る半導体集積回路の接合層32aは、はんだ層である。

【0043】

図4中の左側に示すように、4個の半導体集積回路40a~40dは、6個のスイッチング素子S1~S6を駆動制御するために、絶縁回路基板30上で、半導体集積回路40a~40d用の導体層31aの上に、接合層32aを介して搭載されている。6個のスイッチング素子S1~S6は電力用のIGBTであり、図4中の右側に示すように、3相の電力変換用ブリッジ回路を構成するように絶縁回路基板30上でスイッチング素子S1~S6用の導体層及び接合層32bを介して搭載されている。

30

【0044】

6個のスイッチング素子S1~S6には、それぞれ対応する6個の還流ダイオードFWD1~FWD6が接続して設けられている。尚、スイッチング素子S1~S6及び還流ダイオードFWD1~FWD6をそれぞれ接続するボンディングワイヤーや回路パターンの図示は省略する。

【0045】

6個の還流ダイオードFWD1~FWD6は、図4及び図5に示すように、絶縁回路基板30の上で、還流ダイオード用の導体層31c及び接合層32cを介して搭載される。6個のスイッチング素子S1~S6及び6個の還流ダイオードFWD1~FWD6は電力変換用のブリッジ回路を構成する。

40

【0046】

このように1枚の絶縁回路基板30上に半導体集積回路40a、スイッチング素子S1~S6及び還流ダイオードFWD1~FWD6が実装されることによりインテリジェントパワーモジュール(IPM)が実現される。図5に示したように、半導体集積回路40a用の導体層31a、スイッチング素子S1用の導体層31b及び還流ダイオードFWD1用の導体層31cは、いずれもほぼ同じ厚みである。絶縁回路基板30上には、半導体集

50

積回路40a~40d、スイッチング素子S1~S6及び還流ダイオードFWD1~FWD6が、いずれもほぼ同じ高さに搭載される。

【0047】

図6中には、ブリッジ回路の一相分である電力変換部を実現する高圧側（ハイサイド側）のスイッチング素子S1及び低圧側（ローサイド側）のスイッチング素子S2が例示されている。高圧側のスイッチング素子S1及び低圧側のスイッチング素子S2は正極側である高圧の主電源V(H)と、この主電源V(H)の負極側であるグランド(GND)電位との間に直列に接続されている。

【0048】

高圧側のスイッチング素子S1及び低圧側のスイッチング素子S2には、それぞれ対応する還流ダイオードFWD1, FWD2が逆並列に接続されている。高圧側のスイッチング素子S1と低圧側のスイッチング素子S2の接続点51は電力変換部の出力点である。接続点51には、負荷57として例えばモータ等が接続される。

【0049】

図6に示すように、半導体集積回路40aには、入力端子41、出力端子42、VS端子43、VB端子44、VCC端子45及びGND端子46が接続されている。入力端子41には図示を省略するマイコン等が接続されており、入力信号が入力される。出力端子42は、高圧側のスイッチング素子S1のゲートに接続されている。図6中の半導体集積回路40aは、高圧側のスイッチング素子S1のみを駆動し、低圧側のスイッチング素子S2を駆動しない駆動回路として機能する。

【0050】

VB端子44には第1電位としてのVB電位が印加される。VB電位は、半導体集積回路40aに印加される最高電位である。VB電位は、ノイズの影響を受けていない通常状態では、半導体集積回路40aのVB端子44とVS端子43に接続されたブートストラップコンデンサ等の電源により、VS電位よりも15V程度高く保たれている。

【0051】

VS端子43は、高圧側のスイッチング素子S1と低圧側のスイッチング素子S2との接続点51に接続される。VS端子43には第2電位としてのVS電位が印加される。VS電位は、電力変換の過程で、0Vから数百Bの間で変化し、マイナスの電位になる場合もある。GND端子46にはGND電位が印加される。GND電位は半導体集積回路40aにおける共通電位であると共に、基準電位とされる。VCC端子45にはVCC電位が印加される。VCC電位は半導体集積回路40aにおける電源電位とされる。

【0052】

図示を省略するが、半導体集積回路40aにはローサイドレベルの信号を生成するための制御回路が内部に搭載されている。GND電位及びVCC電位により、高圧側のスイッチング素子S1をオン・オフするためのローサイドレベルの信号が生成される。このローサイドレベルの信号は、図1中の右側に示したローサイド駆動回路を介して出力される。また図1中の左側に示したハイサイド駆動回路は、ローサイド駆動回路と接続され、ローサイド駆動回路から受け取った信号を元に出力端子42から駆動信号を出力する。

【0053】

次に、本発明の実施の形態に係る半導体集積回路40aの動作を説明する。まず、高圧側のスイッチング素子S1がオンからオフに変わった直後、VS端子43がGND電位より低いマイナス電位になり、HVICの誤動作や動作不能、或いは破壊を引き起こすノイズが入力される場合がある。この場合のVS端子43に印加されるマイナス電位を「負電圧サージ」と称する。負電圧サージの絶対値は、スイッチング素子を流れる電流が大きいほど大きくなる。そのため、大電流を扱うスイッチング素子に対応するには、HVICの負電圧サージ耐量を向上させる必要がある。

【0054】

一方、図7に示すように、自己分離技術を用いた本発明の実施の形態に係る半導体集積回路40aには、第1分離領域5及び耐圧領域4間に形成された第1寄生ダイオードPD

10

20

30

40

50

1、及び、半導体基板1及び第1ウェル領域2間に形成された第2寄生ダイオードPD2が存在する。負電圧サージにより、第1寄生ダイオードPD1及び第2寄生ダイオードPD2がオンした場合、半導体集積回路40aの上面側及び下面側のそれぞれの電流経路において、第1寄生ダイオードPD1及び第2寄生ダイオードPD2に流れる電流が生じようとする。

【0055】

図7中には、裏面電極層11を経由しない電流経路として、第1経路R1、第2経路R2及び第3経路R3が、それぞれ破線で例示されている。第1経路R1では、電流は、基板表面上のGND端子46から金属等の配線を経由して第1寄生ダイオードPD1に到達する。

10

【0056】

第2経路R2では、電流は、第2分離領域6側から、半導体基板1及び第1分離領域5を経由して、第1寄生ダイオードPD1に到達する。第3経路R3では、電流は、第1分離領域5側から耐圧領域4の下の半導体基板1の領域を経由して、第1ウェル領域2に到達する。負電圧サージが生じると、裏面電極層11を経由しない第1経路R1～第3経路R3においては、一定の電流が流れる。

【0057】

一方、図7中には、裏面電極層11を経由する電流経路として、第4経路R4、第5経路R5及び第6経路R6が、それぞれ白抜き矢印で例示されている。第4経路R4は、図8に示すように、絶縁層10が無い場合には、電流がp型の第1分離領域5側から、半導体基板1及び周囲より低抵抗である裏面電極層11を経由して第2寄生ダイオードPD2に到達する経路である。

20

【0058】

第5経路R5は、第4経路R4の場合と同様に、絶縁層10が無い場合には、電流がp型の第2分離領域6側から、半導体基板1及び周囲より低抵抗である裏面電極層11を経由して第2寄生ダイオードPD2に到達する経路である。第6経路R6は、絶縁層10が無い場合には、電流が絶縁回路基板30側から裏面電極層11を経由して第2寄生ダイオードPD2に到達する経路である。図7に示すように、第4経路R4、第5経路R5及び第6経路R6には、いずれも経路の途中に絶縁層10が設けられていることにより、負電圧サージにより裏面電極層11を介して流れる電流が低減される。

30

【0059】

(比較例)

一方、比較例に係る半導体集積回路40zの場合、図8に示すように、半導体基板1と裏面電極層11の間に絶縁層10が設けられていない。そのため、負電圧サージの絶対値が大きいと、第1寄生ダイオードPD1及び第2寄生ダイオードPD2がオンし、第4経路R4、第5経路R5及び第6経路R6を介して、GND端子46側やVB端子44側へ流れる電流が大きくなる。

【0060】

図8中には、第4経路R4を流れる第1分離領域5側からの電流と、第5経路R5を流れる第2分離領域6側からの電流とが、周囲より低抵抗である裏面電極層11を経由して、いずれも第2寄生ダイオードPD2に到達した状態が例示されている。また第6経路R6を流れる絶縁回路基板30側からの電流が、裏面電極層11を経由して第2寄生ダイオードPD2に到達している。

40

【0061】

このように大きなサージ電流が流れると、ハイサイド駆動回路の中に構造的に形成される寄生トランジスタや寄生サイリスタがオンすることにより、回路の誤動作が生じる場合や局所的な破壊に至る場合がある。またこのサージ電流が半導体集積回路40aのローサイド駆動回路に流れ込み、ローサイド駆動回路の誤動作や破壊を引き起こす場合もある。

【0062】

本発明の実施の形態に係る半導体集積回路40aによれば、半導体基板1と裏面電極層

50

11の間に絶縁層10が設けられているため、負電圧サージにより生じる、裏面電極層11を介して流れる電流を低減できる。また絶縁層10及び接合層32aの間に接着性を高めるバッファとして機能する裏面電極層11が設けられているため、HVICを絶縁回路基板30に搭載した際の一体性が高められている。よってモジュール化した際の一体性を高めつつ、ノイズ耐量を高めて回路の誤動作や破壊が抑制された、高い信頼性を備えた半導体集積回路40aを提供できる。

【0063】

ここで負電圧サージによるサージ電流が大きい程、回路に引き起こす不具合の程度が大きくなる。特に、図7中に第2寄生ダイオードPD2として示したような、基板縦方向の寄生素子は面積が比較的大きく大電流が流れ易い。本発明の実施の形態に係る半導体集積回路40aによれば、ハイサイド駆動回路の直下の位置に絶縁層10が設けられているので、基板縦方向に形成される寄生素子の動作が確実に抑制され、不具合の程度を軽減できる。

10

【0064】

また、絶縁回路基板30の導体層のパターンがGNDに配線された状態で、サージ等において、 $V_B < V_S$ の電位関係が生じた場合、第2ウェル領域3をエミッタ、第1ウェル領域2をベース及び半導体基板1をコレクタとした寄生PNPトランジスタがオンする。そのため、ハイサイド駆動回路の基板縦方向に大電流が流れ、HVICが破壊される可能性が生じる。

【0065】

しかし本発明の実施の形態に係る半導体集積回路40aによれば、絶縁層10によって基板縦方向の電流を低減し、基板横方向の基板抵抗を介して電流が流れるように制御される。すなわち寄生PNPトランジスタのコレクタ抵抗が増加するため、 $V_B < V_S$ の電位関係が生じた場合に、HVICの破壊を効果的に抑制できる。

20

【0066】

また絶縁層10を設けなくても、例えばハイサイド駆動回路をHVJTから離間して配置したり、HVJTとローサイド駆動回路との間にGNDピックアップを設けたりといった、レイアウト調整を行うことにより、負電圧サージ耐量を向上させる方法がある。しかしこの方法ではレイアウトルールが複雑化し、レイアウト制約が多くなる等の煩雑さが生じるという問題がある。本発明の実施の形態に係る半導体集積回路40aによれば、半導体基板1と裏面電極層11の間に絶縁層10を設けることにより、負電圧サージ耐量を向上できるので、半導体基板1の表面構造の既存レイアウトを変更する必要がない。

30

【0067】

また本発明の実施の形態に係る半導体集積回路40aによれば、図5に示したように、半導体集積回路40aを、絶縁回路基板30上でスイッチング素子S1及び還流ダイオードFWD1と同じ階層に接合可能である。また裏面電極層11をバッファとして用いることにより、接合層32aとしてはんだが採用できるので、スイッチング素子S1及び還流ダイオードFWD1等と同じはんだ付けプロセスを実行できる。

【0068】

はんだ付けプロセスは、実装作業上で汎用性の高いAl等を導電層とした回路パターンとの相性がよい。すなわち半導体集積回路40aの実装作業と、スイッチング素子S1～S6等の実装作業との共通化が促進されることにより、不要な接合作業を削減し、製造作業の効率化を図ることができる。

40

【0069】

また本発明の実施の形態に係る半導体集積回路40aの絶縁層10は、SOI(Silicon On Insulator)基板又は通常のSiの半導体基板1のいずれを用いても実現可能である。しかし通常の半導体基板1の裏面に公知の成膜技術を用いて絶縁層10を形成する方が、SOI基板を使用する場合より低コストであるため好ましい。

【0070】

またSOI基板を用いて、例えば600V程度以上の高耐圧のパワーICであるHVI

50

Cを作製すると、5 μm程度の厚い厚みを有する埋め込み絶縁膜（BOX）が必要となる。そのため基板の反りが顕著になり、アライメントの不良、フォーカスぼけ等、半導体集積回路40aの製造工程上の不具合が誘発される場合がある。

【0071】

またSOI基板の場合、通常、予め、埋め込み絶縁膜に空乏層が届く状態、すなわち埋め込み絶縁膜に耐圧を背負わせた状態で、半導体基板1としての目標とする耐圧が達成されるように設計されている。そのため、耐圧を背負わせない通常の半導体基板1に絶縁層10を設ける方が、絶縁層10をサージ電流の防止用としてシンプルに実現して強度を高める点で有利である。

【0072】

（その他の実施の形態）

本発明は上記の開示した実施の形態によって説明したが、この開示の一部をなす論述及び図面は、本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかになると考えられるべきである。

【0073】

例えば、図1～図8に示した半導体集積回路40aの半導体基板1としては、Siの半導体基板1を用いたが、これに限定されず、SiC、GaN等のワイドバンドギャップ半導体を用いた半導体基板1が用いられてもよい。また図4中では、電力用のスイッチング素子S1～S6としてIGBTを例示したが、スイッチング素子としてはIGBTに限定されず、MOSFET等の電力用スイッチング素子でも構わない。

【0074】

また図1に示したように本発明の実施の形態に係る半導体集積回路40aの絶縁層10は、半導体基板1の下面の全面に設けられていたが、これに限定されず、半導体基板1の下面のうちハイサイド駆動回路の直下に対応する領域にのみ設けてもよい。図1中の左右方向の両端に位置する、HVJTの下側やローサイド駆動回路の下側に設けられることを必須としない。図7で説明したように、半導体基板1と第1ウェル領域2の間の寄生素子に流れるサージ電流の経路のうちハイサイド駆動回路の直下を流れる電流を阻害できるように、少なくとも半導体基板1の下面のハイサイド駆動回路の直下に絶縁層10が設けられることが好ましい。

【0075】

また本発明の実施の形態に係る裏面電極層11はAl/Ti/Ni/Auの複合層として説明したが、これに限定されず、例えばTi層のみからなる単層構造であっても裏面電極層11を実現できる。また裏面電極層11は3層構造又は4層構造に限定されず、例えばTiN層等の2層構造でもよいし、或いは5層以上の構造でもよい。またAlは裏面電極層11の構成に必須な材料ではない。裏面電極層11を構成する材料としては、上側で裏面電極層11と接合する絶縁層10との密着性或いは接合性を考慮して設定することが好ましい。

【0076】

以上のとおり本発明は、上記に記載していない様々な実施の形態等を含むとともに、本発明の技術的範囲は、上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【符号の説明】

【0077】

- 1 半導体基板
- 2 第1ウェル領域
- 3 第2ウェル領域
- 4 耐圧領域
- 5 第1分離領域
- 6 a 第2分離領域
- 8 第1コンタクト領域

10

20

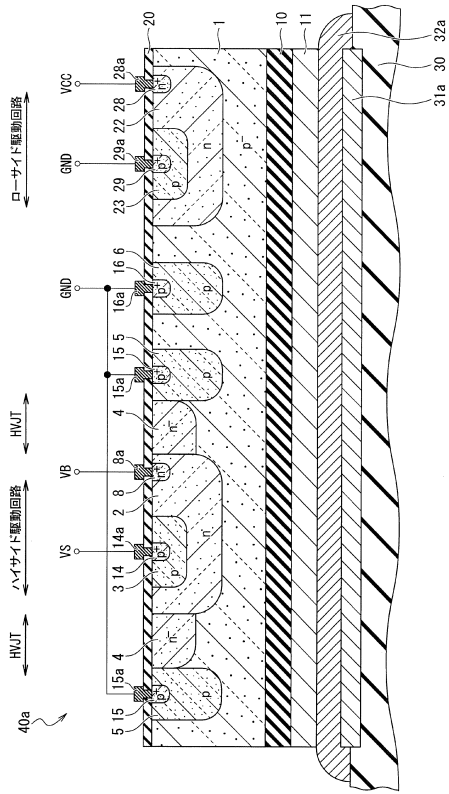
30

40

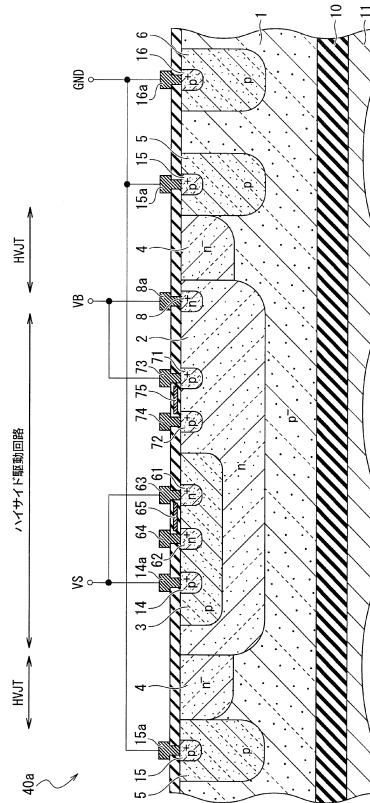
50

8 a	第 1 コンタクト電極	
1 0	絶縁層	
1 1	裏面電極層	
1 4	第 2 コンタクト領域	
1 4 a	第 2 コンタクト電極	
1 5	第 1 分離コンタクト領域	
1 5 a	第 1 分離コンタクト電極	
1 6	第 2 分離コンタクト領域	
1 6 a	第 2 分離コンタクト電極	
2 0	層間絶縁膜	10
2 2	第 3 ウェル領域	
2 3	第 4 ウェル領域	
2 4	第 4 コンタクト領域	
2 4 a	第 4 コンタクト電極	
2 8	第 3 コンタクト領域	
2 8 a	第 3 コンタクト電極	
3 0	絶縁回路基板	
3 1 a ~ 3 1 c	導体層	
3 2 a ~ 3 2 c	接合層	
4 0 a ~ 4 0 d , 4 0 z	半導体集積回路	20
4 1	入力端子	
4 2	出力端子	
4 3	V S 端子	
4 4	V B 端子	
4 5	V C C 端子	
4 6	G N D 端子	
5 1	接続点	
5 7	負荷	
6 1	ソース領域	
6 2	ドレイン領域	30
6 3	ソース電極	
6 4	ドレイン電極	
6 5	ゲート電極	
7 1	ソース領域	
7 2	ドレイン領域	
7 3	ソース電極	
7 4	ドレイン電極	
7 5	ゲート電極	
8 0	空乏層	
F W D 1 ~ F W D 6	還流ダイオード	40
P D 1	第 1 寄生ダイオード	
P D 2	第 2 寄生ダイオード	
R 1 ~ R 6	第 1 経路 ~ 第 6 経路	
S 1 ~ S 6	スイッチング素子	
d	距離	

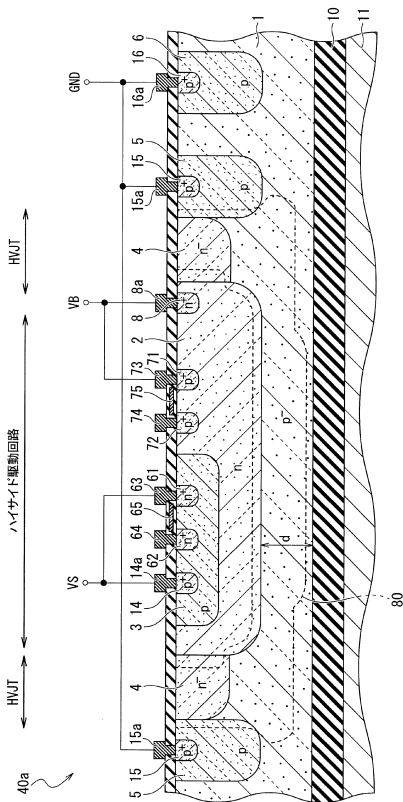
【図 1】



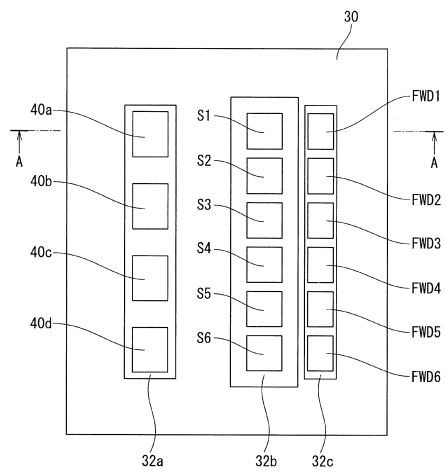
【図 2】



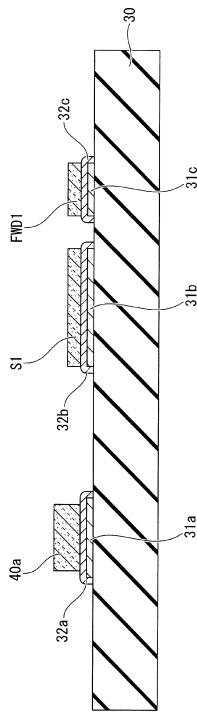
【図 3】



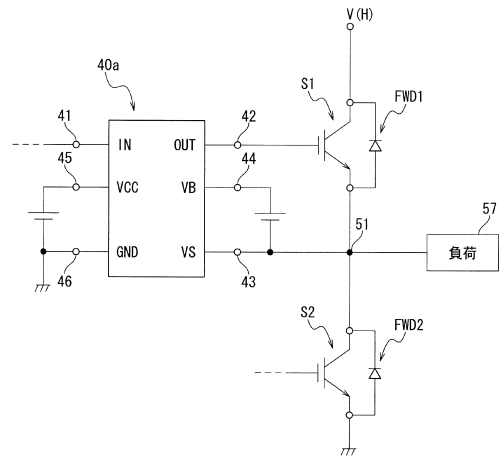
【図 4】



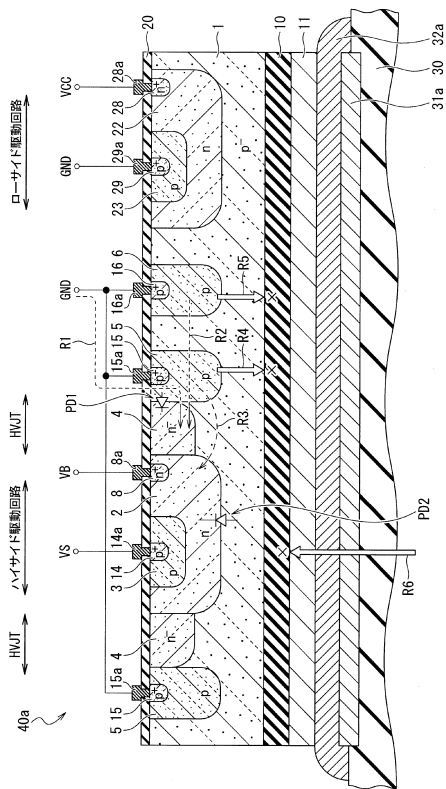
【図5】



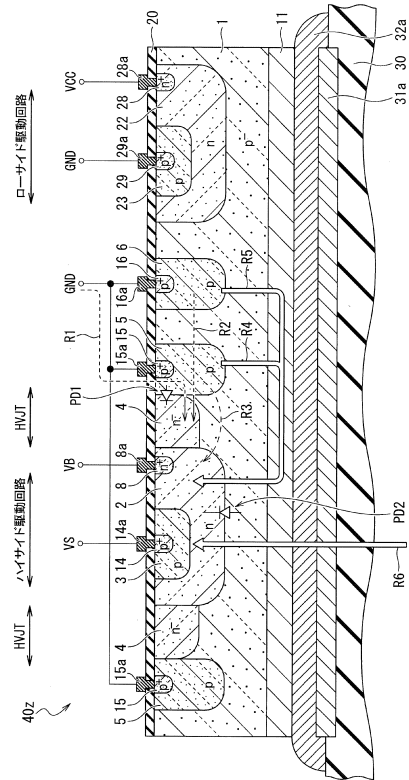
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/8238 (2006.01)
H 0 1 L 27/092 (2006.01)
H 0 1 L 21/8234 (2006.01)
H 0 1 L 27/06 (2006.01)

(72)発明者 上西 顕寛
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 市川 武宜

(56)参考文献 特開2006-179632(JP,A)
国際公開第2016/132418(WO,A1)
特表2009-516361(JP,A)
特開2006-019612(JP,A)
特開2006-332478(JP,A)
特開2004-349537(JP,A)
特開2003-280553(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 27/088
H 0 1 L 21/822
H 0 1 L 21/8234
H 0 1 L 21/8238
H 0 1 L 25/07
H 0 1 L 25/18
H 0 1 L 27/04
H 0 1 L 27/06
H 0 1 L 27/092